2023年
演算増幅器設計コンテスト発表会

2024年1月26日

入賞者一覧　シミュレーションの部

部門1
1位　森下航（東京都市大学）
2位　金杉隆広（芝浦工業大学）
3位　道音洸樹（有明工業高等専門学校）
4位　山本和弥（京都工芸繊維大学大学院）
5位　山根勝成（芝浦工業大学）
6位　木原滉貴（防衛大学校）
7位　佐野響紀（芝浦工業大学）

部門2
1位　木原滉貴（防衛大学校）
2位　山本和弥（京都工芸繊維大学大学院）
3位　森光平（明治大学）
4位　西崇志（防衛大学校）
5位　西野智大（明治大学）
6位　成田裕紀（明治大学）
7位　野々村元（明治大学）

部門3
1位　森光平（明治大学）
2位　森下航（東京都市大学）
3位　木原滉貴（防衛大学校）
4位　山本和弥（京都工芸繊維大学大学院）
5位　成田裕紀（明治大学）
6位　道久拓海（有明工業高等専門学校）
7位　待鳥維吹（有明工業高等専門学校）

部門4
受賞者なし

(敬称略)

入賞者一覧　試作の部・最優秀賞

試作の部

1位　森下航（東京都市大学）
2位　待鳥維吹（有明工業高等専門学校）
3位　尾川侑希（津山高専）
4位　安田大翔（宮崎大学）
5位　山田恭一（有明工業高等専門学校）
6位　岡田大輝（群馬大学）
7位　吉田響悟（有明工業高等専門学校）

最優秀賞

森下航（東京都市大学）

発表会プログラム

14:30～17:15

1. シミュレーションの部入賞者の発表
   道音洸樹　有明工業高等専門学校 （部門1　3位）
   山本和弥　京都工芸繊維大学 （部門1　4位，　部門2　2位，部門3　4位）
   森 光平　 明治大学 （部門2　3位，　部門3）
   木原滉貴　防衛大学校 （部門1　6位，部門2　1位，部門3　3位）
2. 試作の部入賞者の発表
   安田大翔　宮崎大学(4位)
   尾川侑希　津山工業高等専門学校(3位)
   待鳥維吹　有明工業高等専門学校(2位)
3. 最優秀賞受賞者の発表
   森下航　シミュレーションの部：部門1　1位，部門3　2位，試作の部：1位
4. 講評　兵庫明 審査委員長

協賛企業

- YITOAマイクロテクノロジー株式会社
- 株式会社トッパン・テクニカル・デザインセンター
- 日清紡マイクロデバイス株式会社
- セイコーNPC株式会社
- エイブリック株式会社
- ローム株式会社
- 横河電機株式会社
- トレックス・セミコンダクター株式会社
- 旭化成エレクトロニクス株式会社
- 株式会社東芝
- SiTime Japan合同会社
- ザインエレクトロニクス株式会社
- アナログ・デバイセズ株式会社
- ルネサスエレクトロニクス株式会社

（申し込み順）

演算増幅器設計コンテスト

シミュレーションの部（部門１　第３位）

令和 6 年 1 月 26 日

演算増幅器設計コンテスト発表会

有明工業高等専門学校
National Institute of Technology, Ariake College

ICLab（石川・清水・野口研究室）
専攻科1年　道音洸樹

Copyright © 2024 ICLab. All Rights Reserved.

目次

1. 参加の心構え

2. 「部門1」での設計

3. シミュレーション結果

4. 考察

5. まとめ

Copyright © 2024 ICLab. All Rights Reserved.

1. 参加の心構え

◆目標と目的

- 目標は、部門1で入賞すること

発表会に直接参加して、
設計技術を有明高専で共有したい

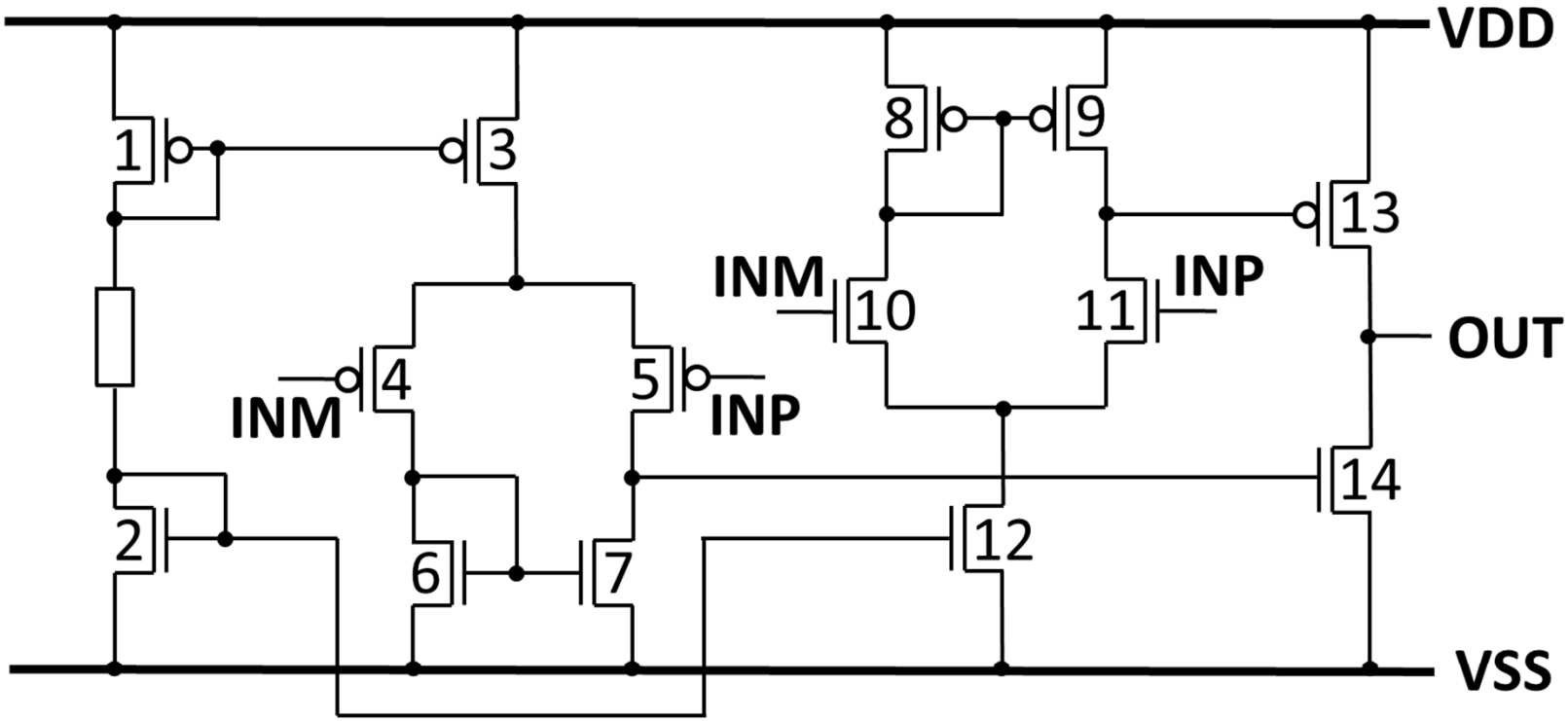
◆設計技術の習得

- 高専4年生から毎年コンテストに出場している
- 今回は過去の入賞作品を積極的に学ばせていただいた
- 参加中に分からなかったことや感じていた疑問があり、コンテスト終了後も勉強を続けた

Copyright © 2024 ICLab. All Rights Reserved.

2.「部門1」での設計

◆提出した回路図



MOS	1	2	3	4, 5	6, 7	8, 9	10, 11	12	13	14
M	8	16	64	2	4	4	2	56	2	4

R	60MΩ

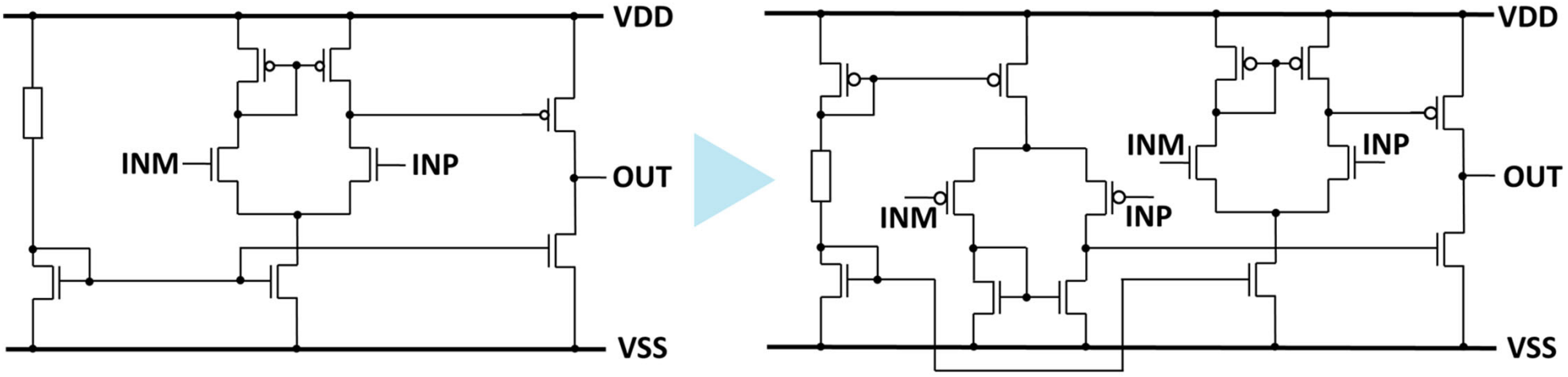
W=2um / Lpmos=0.2um / Lnmos=0.28um

Copyright © 2024 ICLab. All Rights Reserved.

2.「部門1」での設計

◆トポロジーの決定

- 前回の出場時まで設計していた基本の2段増幅回路を
  部門1の入賞作品に多い「AB級動作をする回路」に変更した
- 2019年度コンテスト猿田さんの回路を参考に作成した
- 動作点解析の結果、MOSを弱反転領域で動作させていた

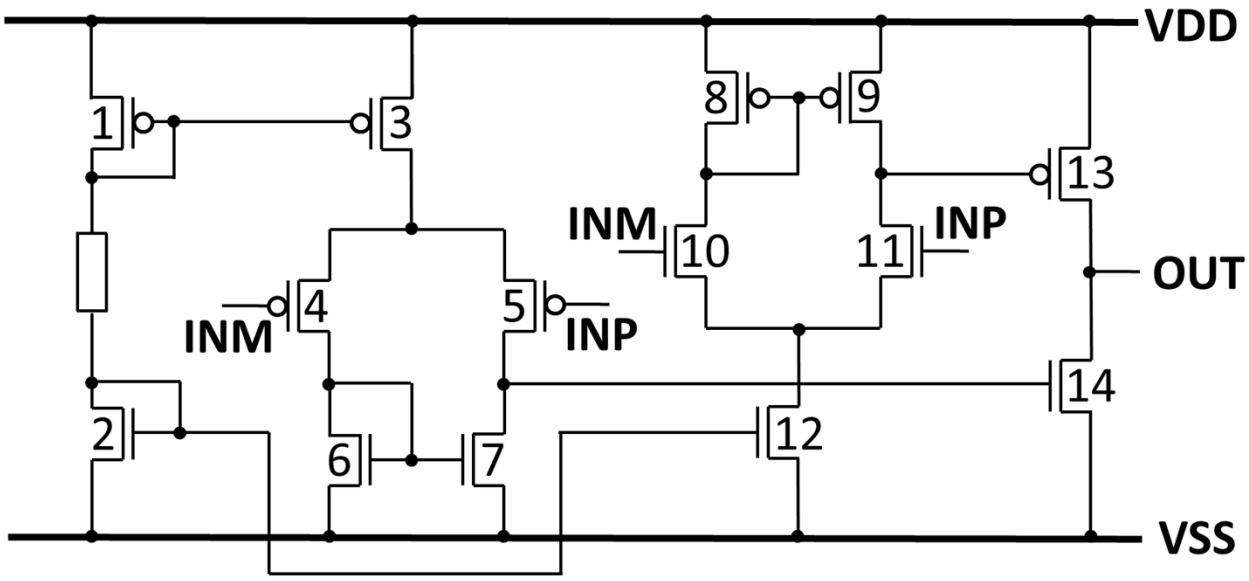


Copyright © 2024 ICLab. All Rights Reserved.

2.「部門1」での設計

◆設計時の工夫

- 動作原理を理解するところから始めた
- 入力電圧範囲を広くするため、PMOS・NMOS両差動にした
- 部門1であるが試作まで意識して、並列数Mを全て偶数にした



MOS	1	2	3	4,5	6,7
M	8	16	64	2	4

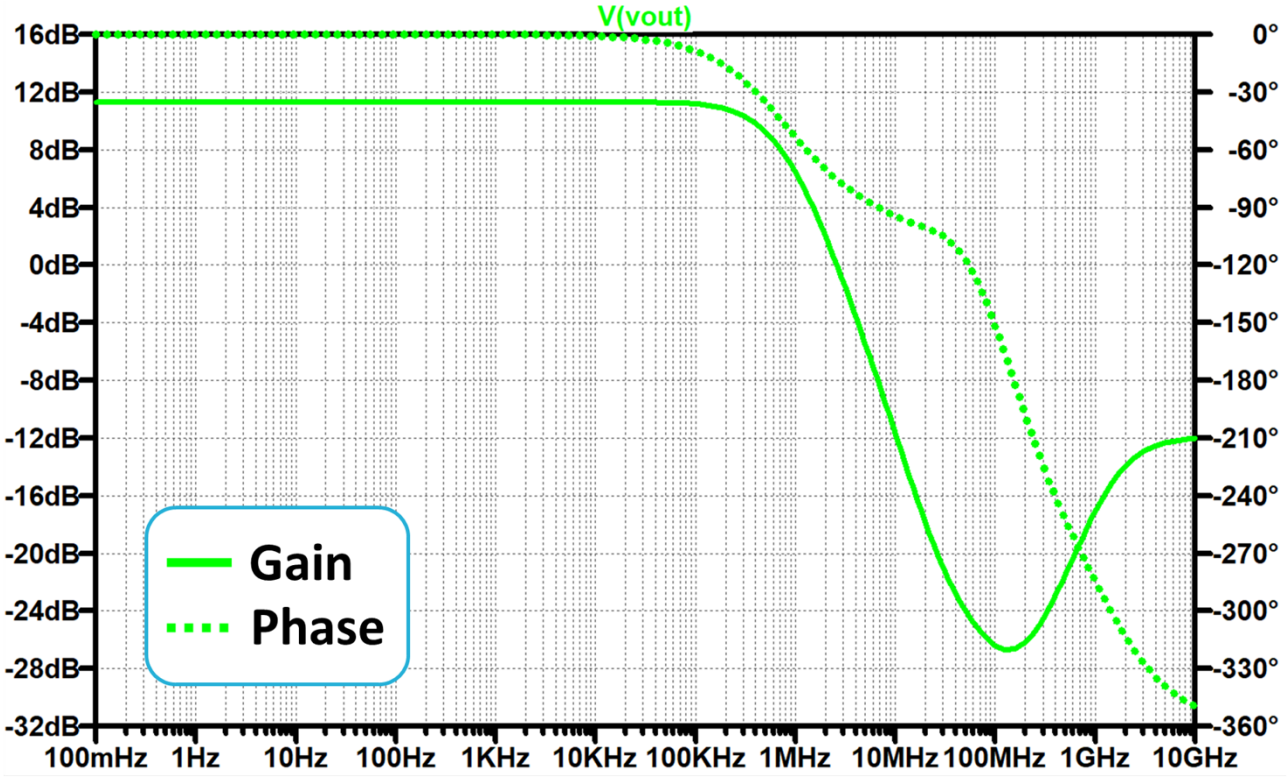
8,9	10,11	12	13	14
4	2	56	2	4

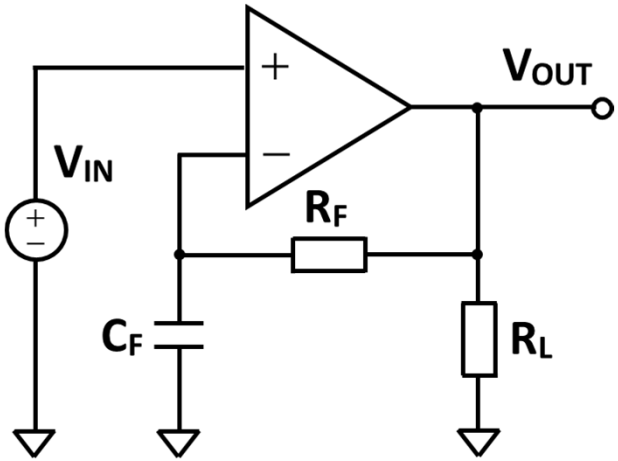
Copyright © 2024 ICLab. All Rights Reserved.

3. シミュレーション結果

◆直流利得:61.0[dB]

- 入力信号の周波数が0.1Hzの時の開ループ利得



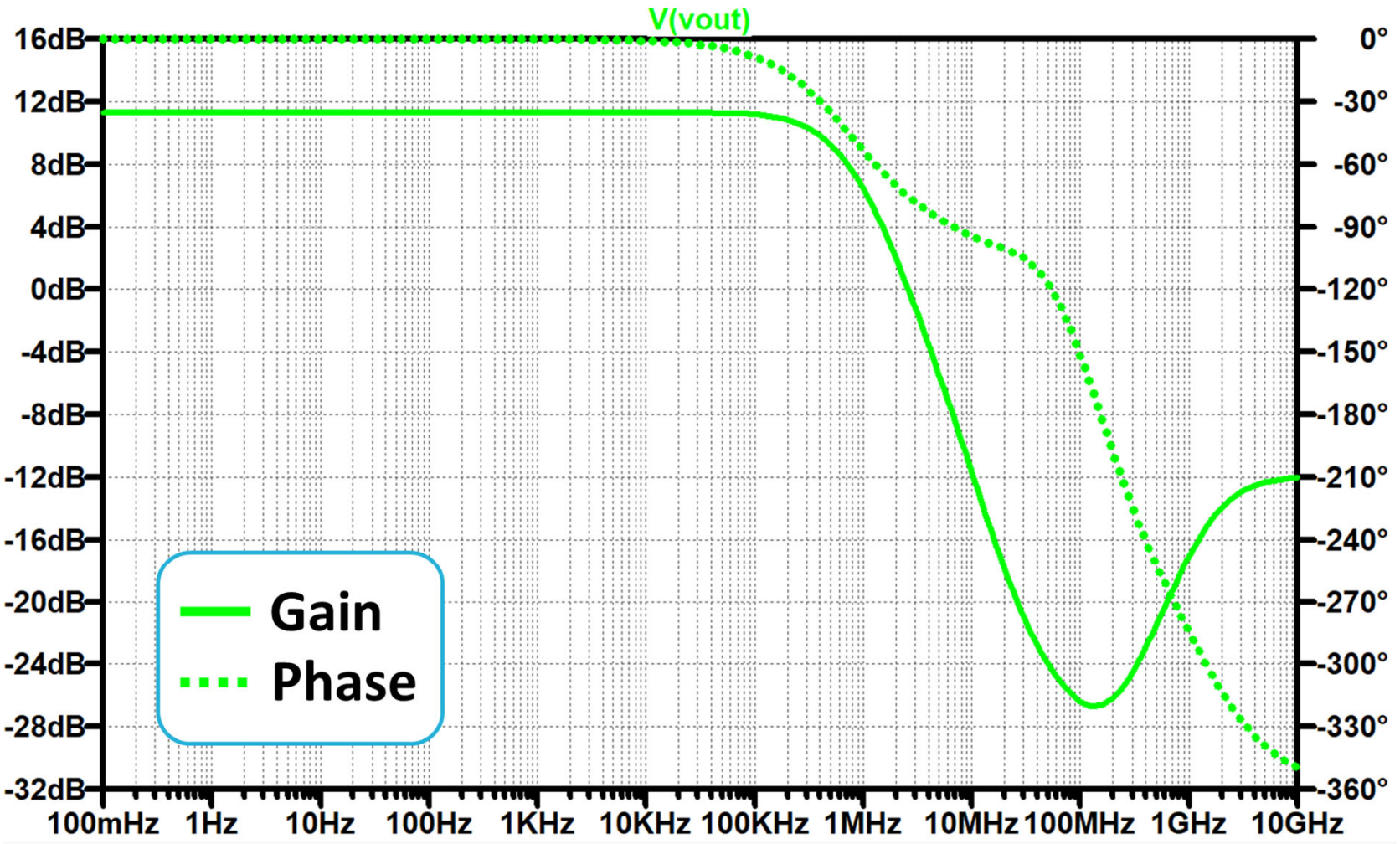


$$A_{OL} = \frac{R_L + r_O}{R_L} A_{sim}$$

Copyright © 2024 ICLab. All Rights Reserved.

3. シミュレーション結果

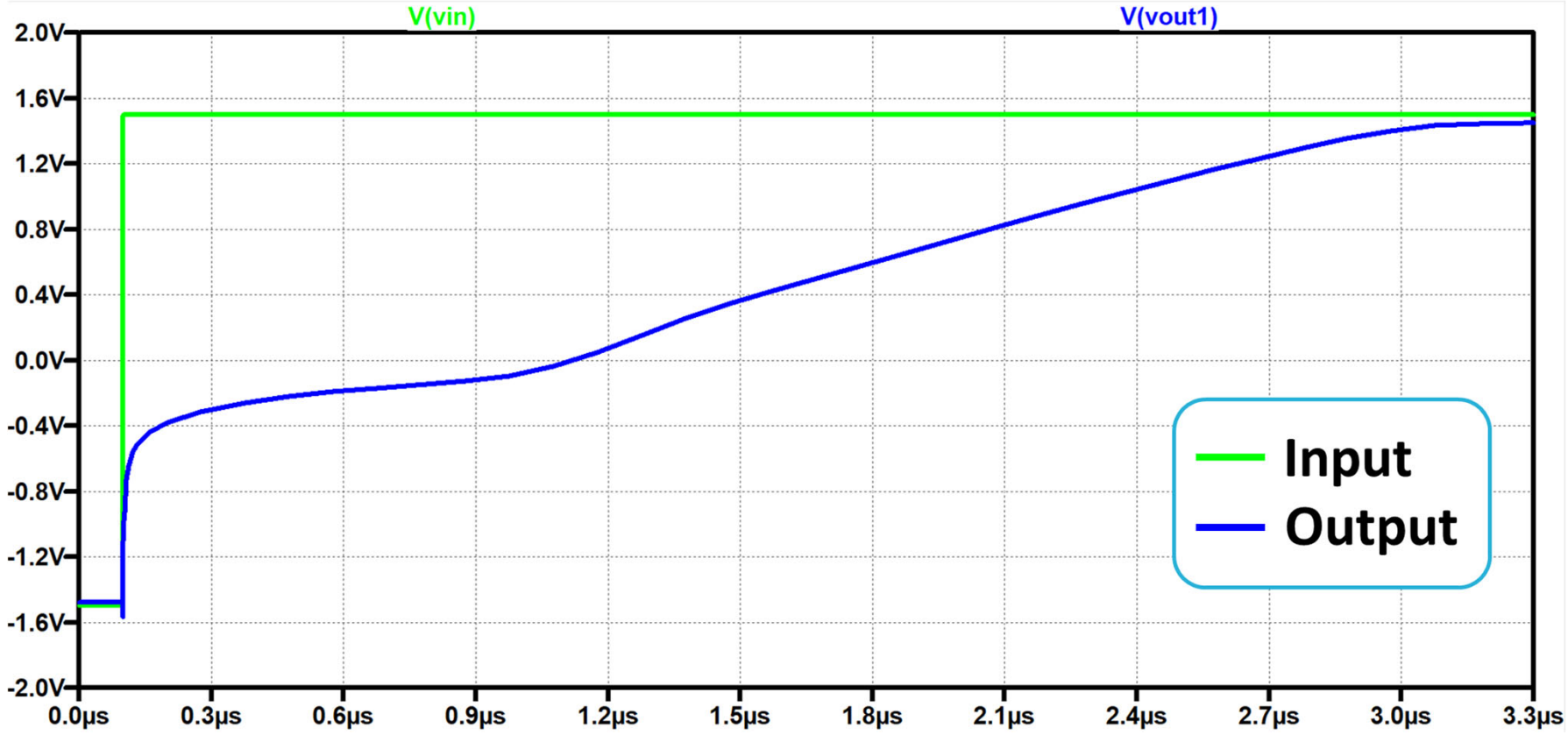
◆位相余裕: 103[°]



Copyright © 2024 ICLab. All Rights Reserved.

3. シミュレーション結果

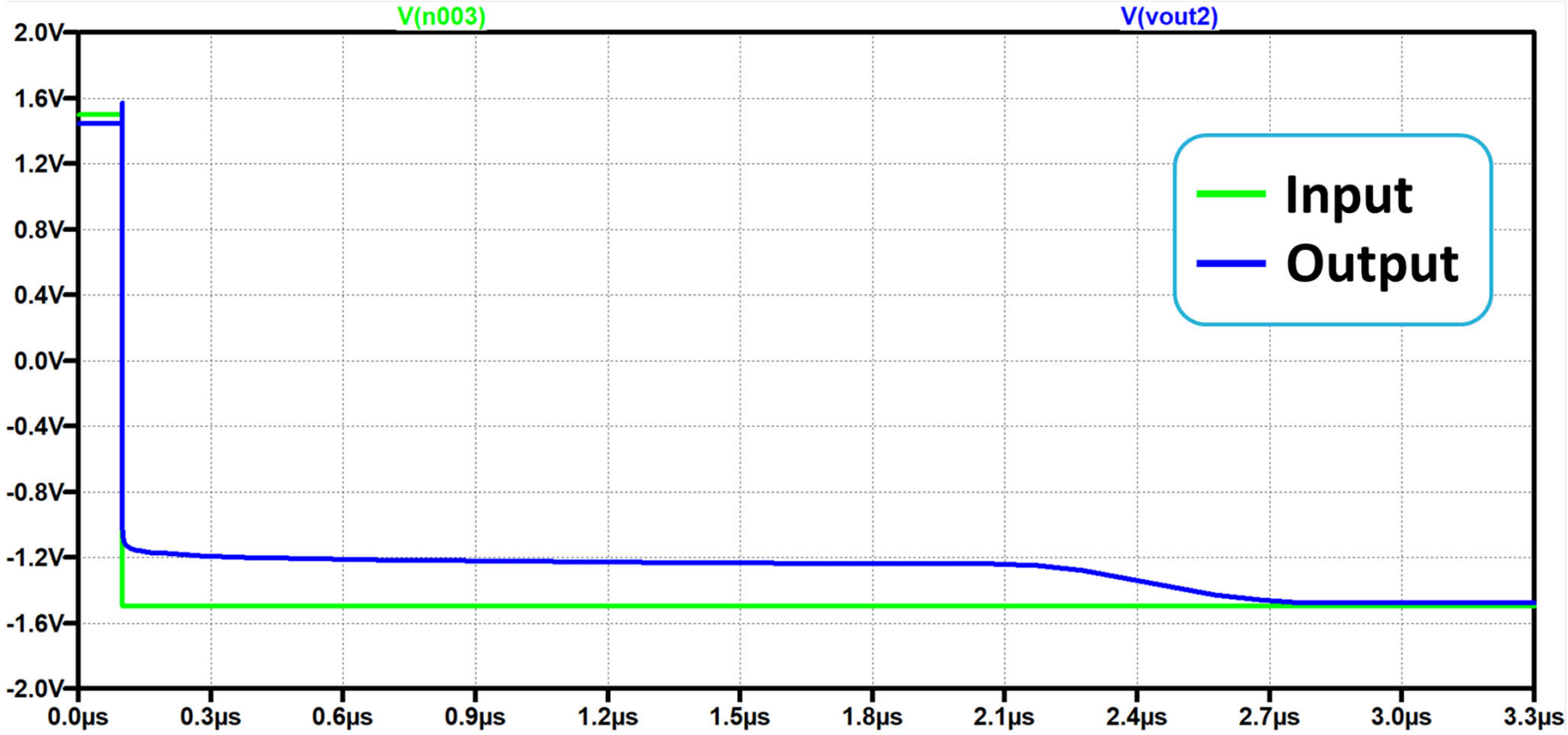
◆スルーレート（立ち上がり）：＋3.33×10^9[V/s]



Copyright © 2024 ICLab. All Rights Reserved.

3. シミュレーション結果

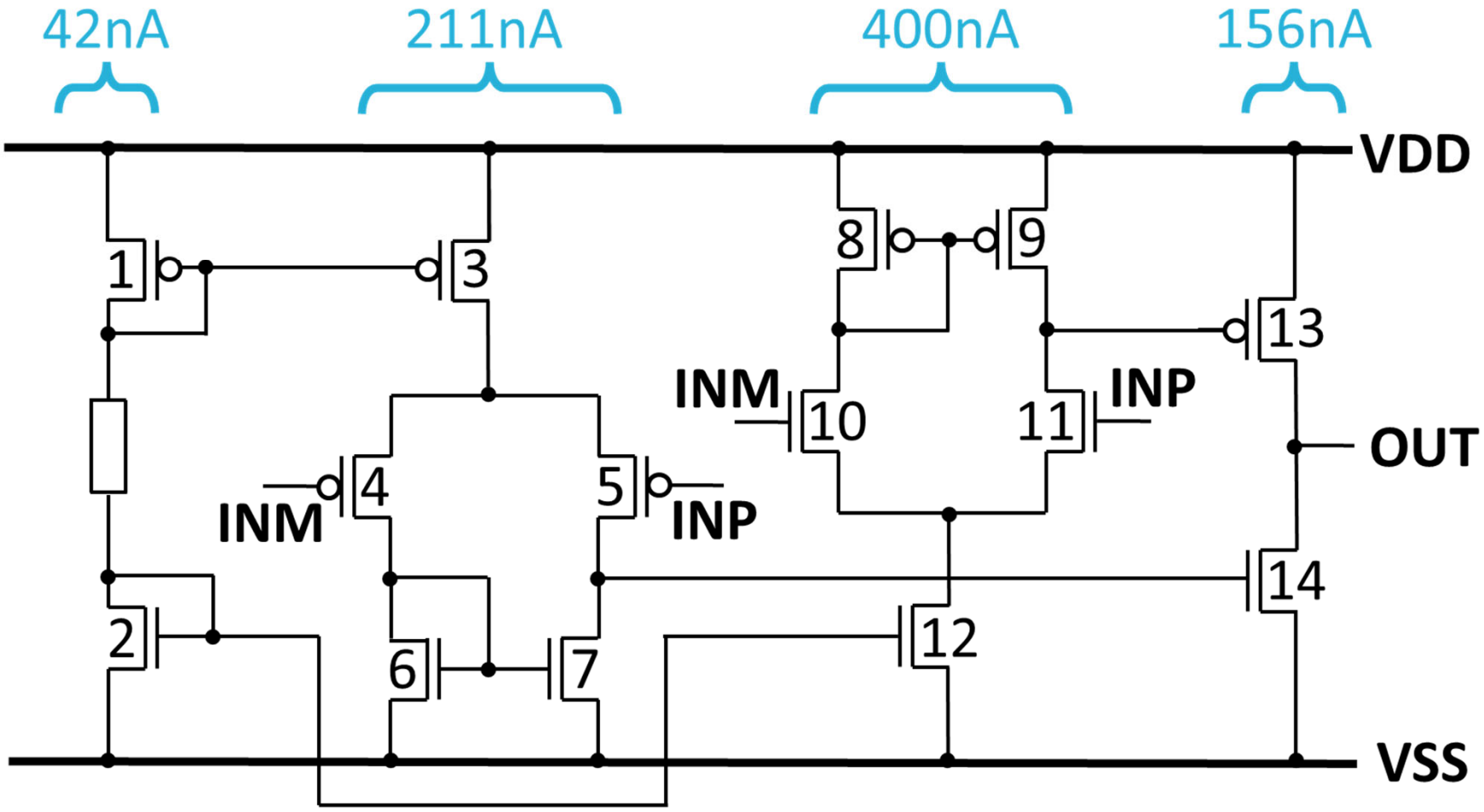
◆スルーレート（立ち下がり）：-1.44×10^{10}[V/s]



Copyright © 2024 ICLab. All Rights Reserved.

3. シミュレーション結果

◆消費電流:8.09×10^{-7}[A]



Copyright © 2024 ICLab. All Rights Reserved.

4. 考察

◆評価スコアとの比較

- 直流利得のシミュレーション結果が評価結果と異なる

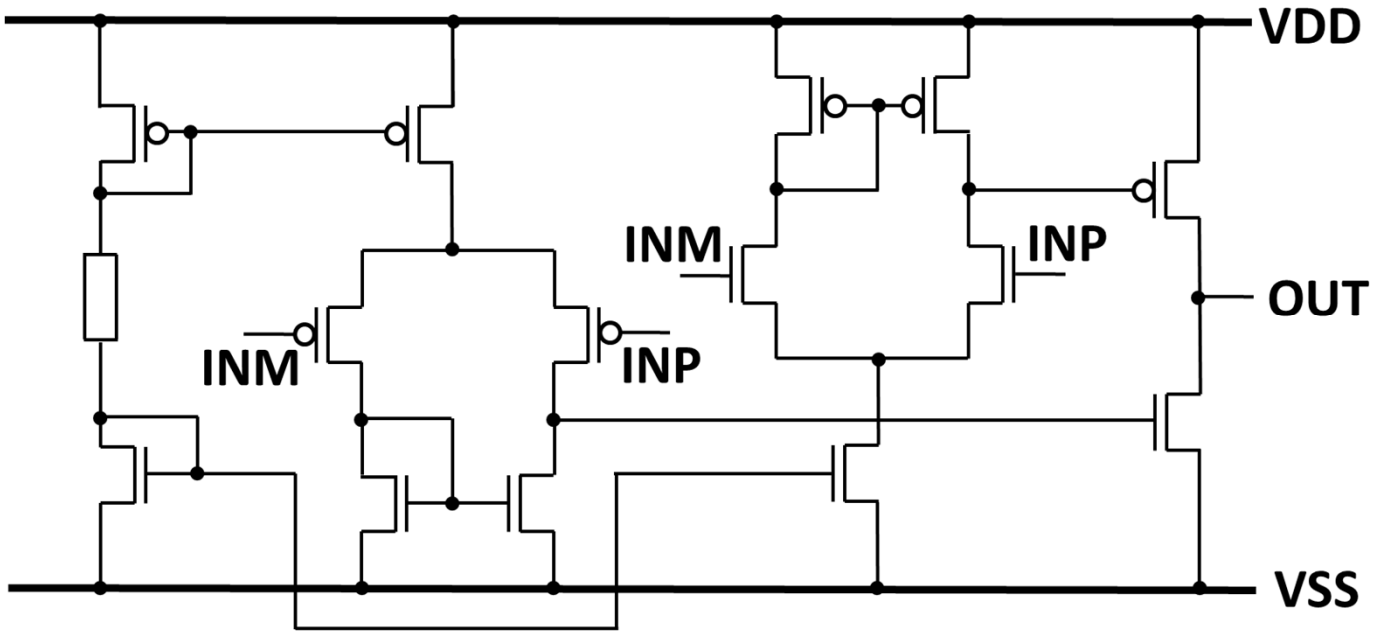
		sim結果	評価結果
①	直流利得[dB]	61.0	70.855
②	スルーレート[V/s]	（上） $+3.33\times10^{9}$	1.4466×10^{10}
		（下） -1.44×10^{10}	
③	同相入力範囲[%]	100	100
④	消費電流[A]	8.09×10^{-7}	8.0936×10^{-7}
	スコア (①×②×③÷④)	−	1.2664×10^{20}

Copyright © 2024 ICLab. All Rights Reserved.

4. 考察

◆設計時の反省点

- 終始、シミュレーション頼りな設計をしてしまったこと
- この回路構成における直流バイアスのかけ方や、
  位相補償なしで動作している理由が分かっていないこと

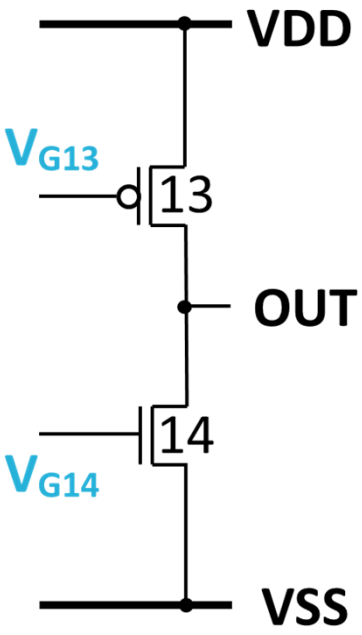


Copyright © 2024 ICLab. All Rights Reserved.

4. 考察

◆直流バイアスの設定

- テール電流源の電流を通常より大きくすることで
  ゲート電位V_{G13}, V_{G14}のバイアスを
  シミュレーション上では微調整できると考えた
- 今回の構成で出力段の直流バイアスを
  どのようにして決めるのか知りたい



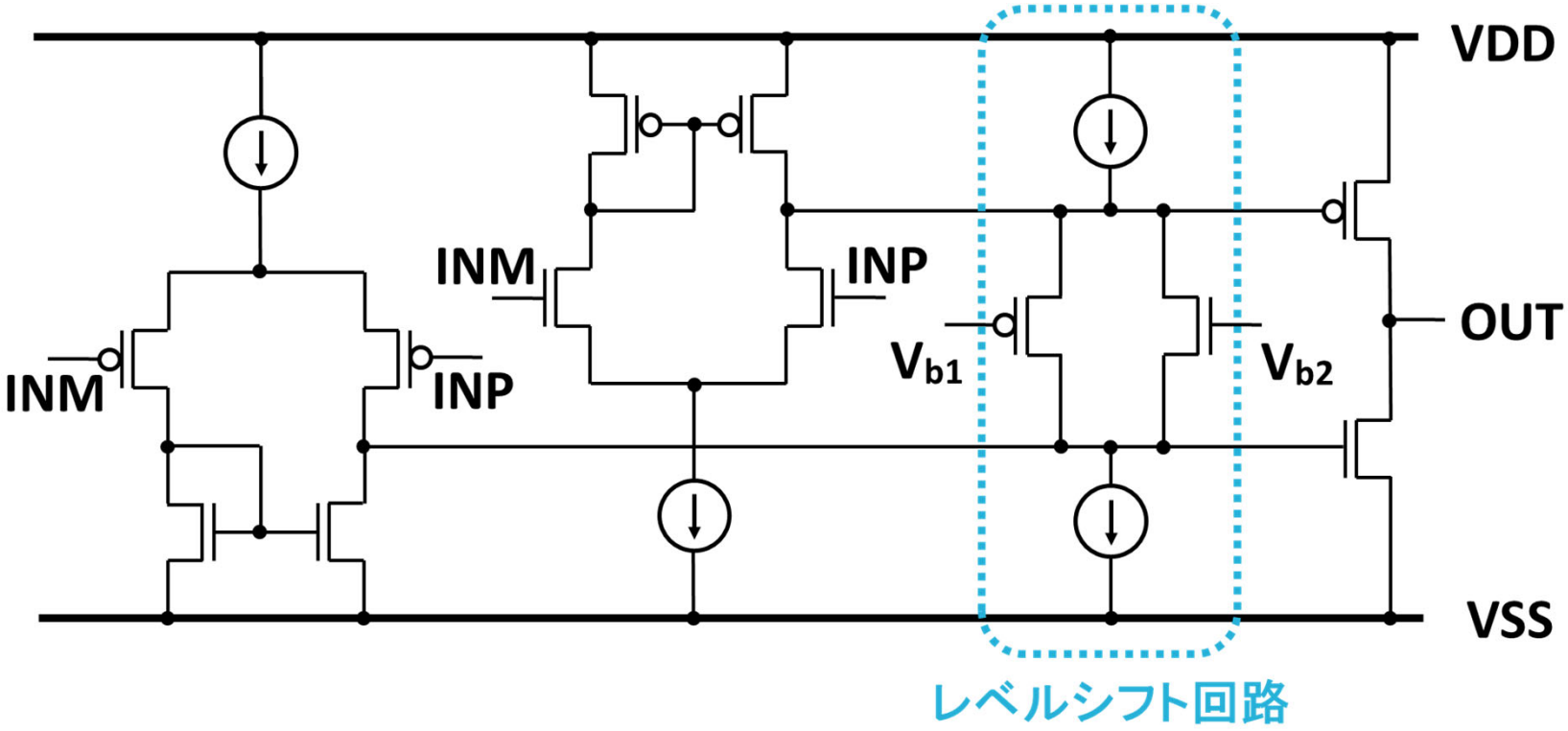
**シミュレーションだからこそ動作していて、
試作したら動かない可能性が高い設計である**

Copyright © 2024 ICLab. All Rights Reserved.

4. 考察

◆改善案① 「レベルシフト回路」

- 出力段の直流バイアスを決めてAB級動作をさせるため
- 出力トランジスタのゲートに、PMOSとNMOSを並列接続

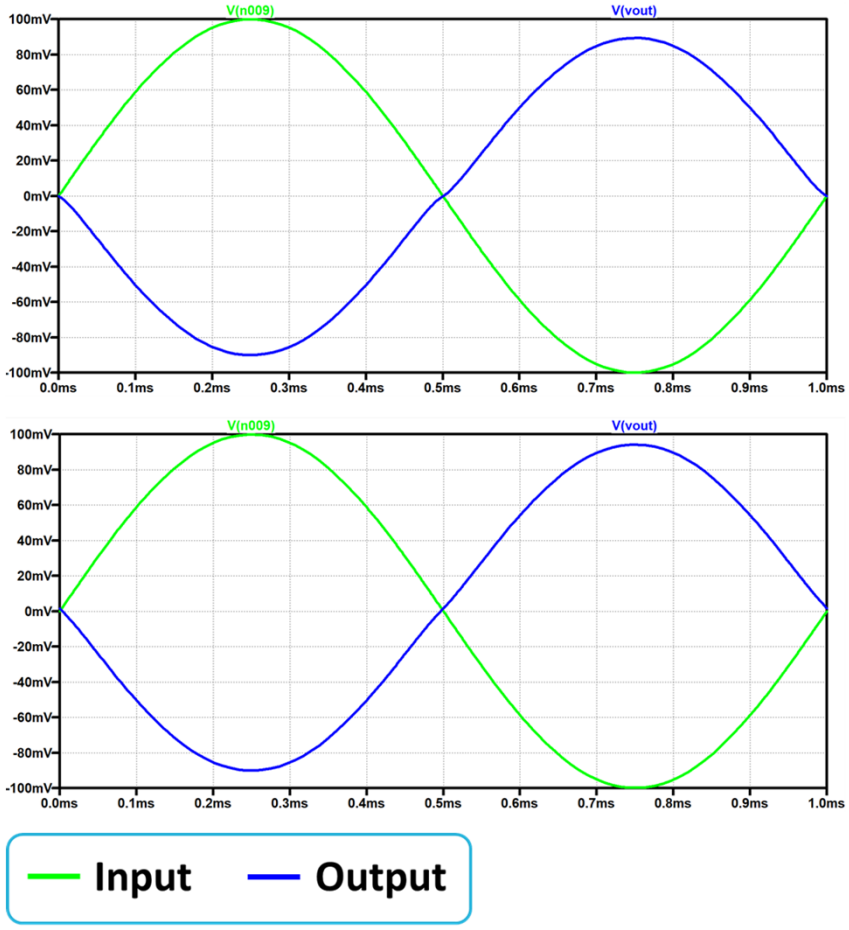


Copyright © 2024 ICLab. All Rights Reserved.

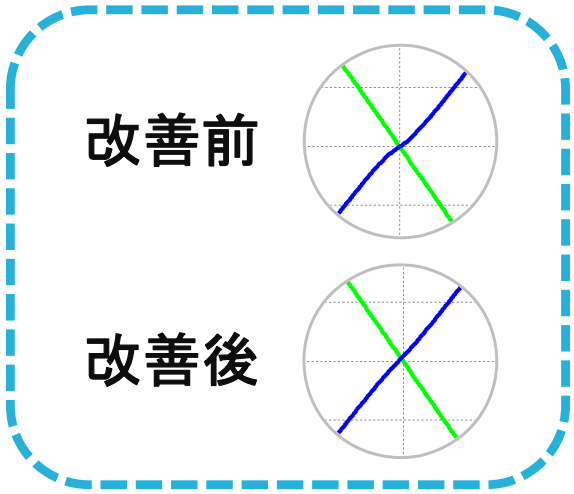
4. 考察

◆改善案② 「出力段MOS13の並列数2→12」

- 出力波形のクロスオーバー歪みを抑えるため



- 図は−1倍の反転増幅
- V_{IN} = 0付近の歪みを小さくすることができた



Copyright © 2024 ICLab. All Rights Reserved.

5. まとめ

- 入賞することができ、大変光栄です。
- 今回設計した「AB級動作をする回路」は
  もっと理解してから使ったほうが良いと感じました。
- 回路図提出が遅れて申し訳ありませんでした。

協賛企業や運営委員会の皆様、
貴重な機会をくださってありがとうございました。
次の世代に伝えていけるよう、更に学んでいきます。

Copyright © 2024 ICLab. All Rights Reserved.

Thank you for your attention!

Copyright © 2024 ICLab. All Rights Reserved.

演算増幅器設計コンテスト

部門1: 4位 部門2: 2位 部門3: 4位

京都工芸繊維大学 M1

山本和弥

目次

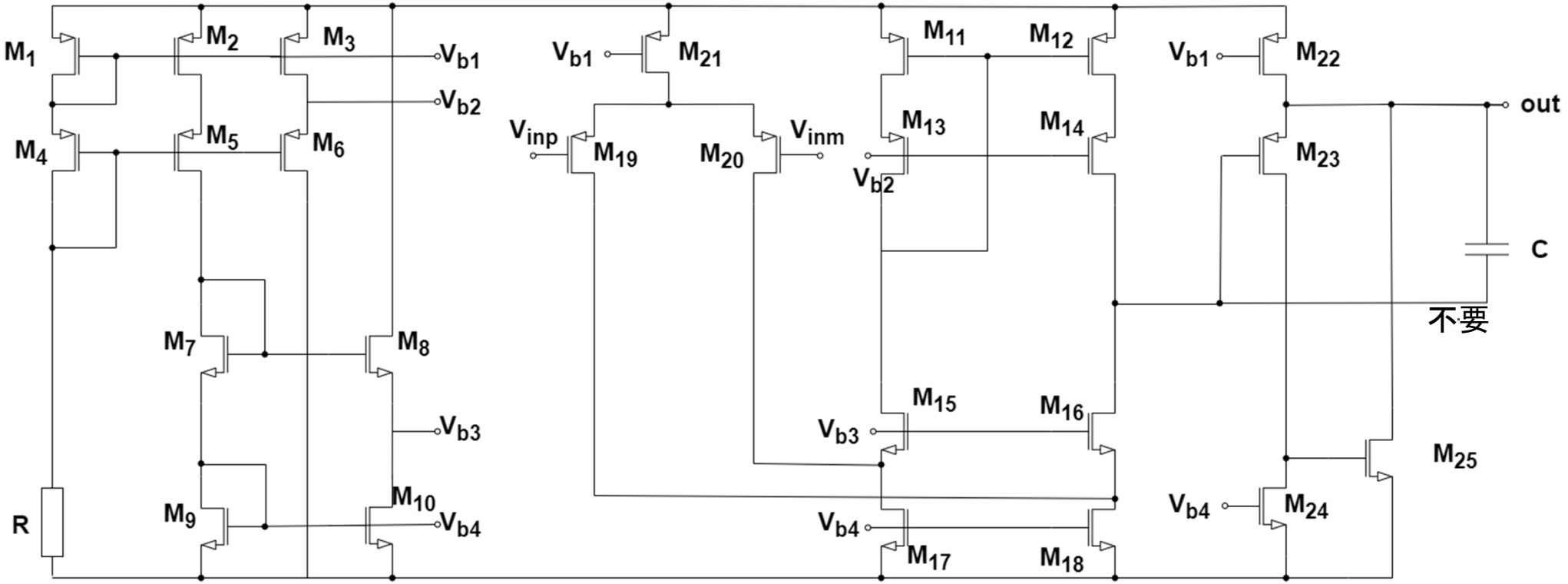
- 設計方針
- 提出回路
- 評価結果
- 最後に

設計方針

- 全部の部門で強化学習を使ったサイジング自動設計を回した
  - サイジングを自動でやってくれるので設計方針に合いそうなトポロジーを複数投入
    - 負帰還を使いたかったがジャッジが動いてくれなかった(タイムアウト？)のでせめて同じ帰還(SSF)を用いる回路を出した
  - **先行研究**
    - **Learning to Design Circuits**
    - https://arxiv.org/abs/1812.02734

- 部門2と部門3のトポロジーは同じ
  - 部門1はRail to RailとAB級
    - スコア1e20取って着外だった
    - どの部門も詰めが甘かった

部門2 提出回路



レイアウトに優しくない素子値(最小単位が0.28μで自動設計変化幅の離散値を0.1μにした結果)

R1=930000

M1 = M2 = M3 = 1.98μ × 2

M4 = M5 = M6 = 3.88μ × 7

M7 = M8 = 1.08μ ×10

M9 = M10 = 2.28μ × 2

M11 = M12 = 1.28μ × 18

M13 = M14 = 1.98μ ×6

M15 = M16 = 3.38μ × 25

M17 = M18 = 4.58μ × 9

M19 = M20 = 4.18 × 25

M21 = 2.58μ × 18

M22 = 3.28μ × 24

M23 = 2.98μ × 36

M24 = 3.88μ × 7

M25 = 4.08 × 7

C = 0.6p

Vdd = 1.8V

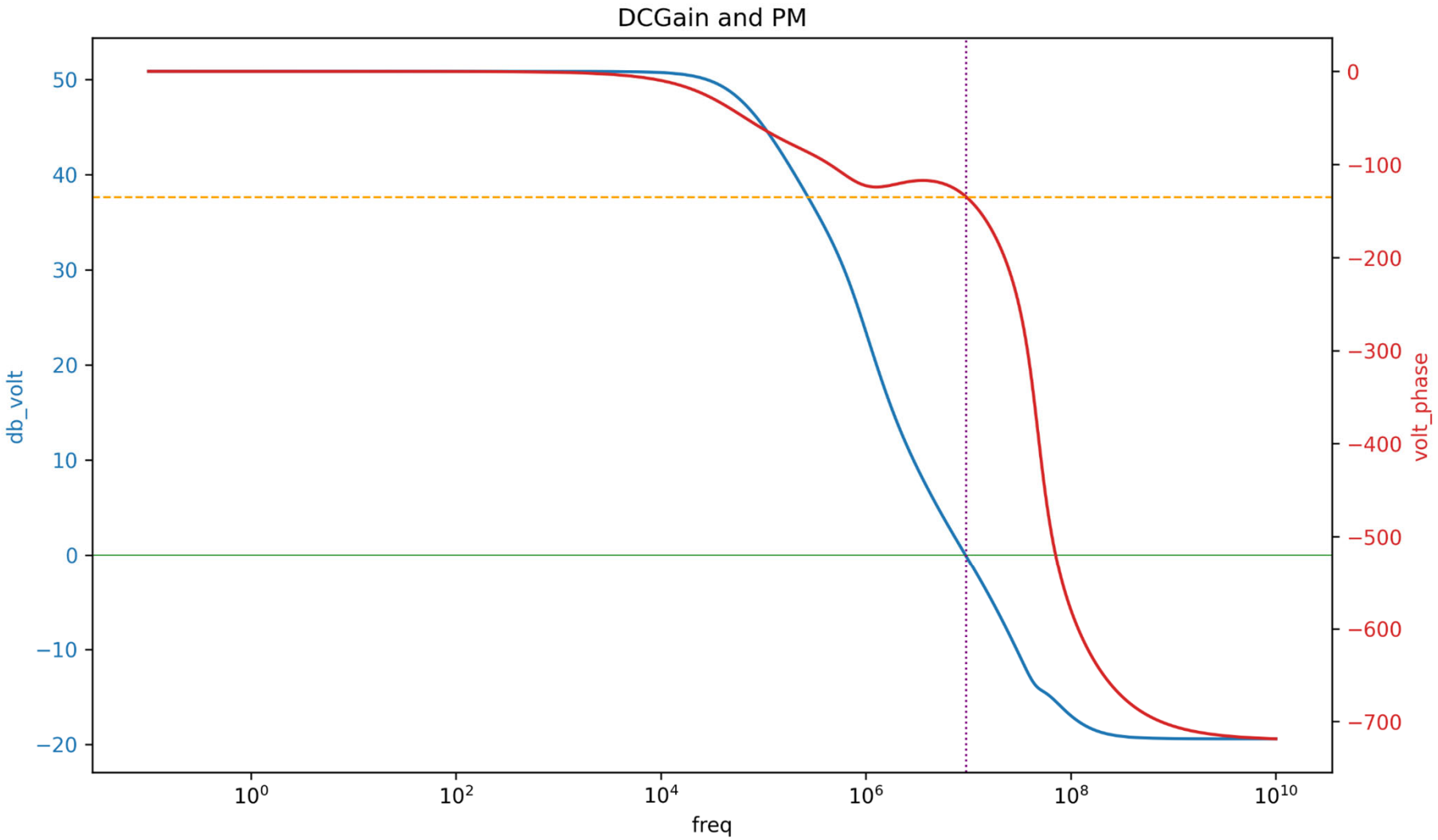
Rは抵抗値(Ω), Cはキャパシタ(F), MはWとマルチプル個数(Lは1.8μで固定)

評価結果

項目	評価結果	単位
消費電力	5.908400E-05	[W]
出力抵抗(sim)	1.966000E-01	[Ω]
出力抵抗(補正後)	3.449680E+01	[Ω]
入力換算電圧	2.928300E-03	[V]
利得帯域幅積	9.339400E+06	[Hz]
位相余裕	4.591200E+01	[deg]
スコア	1.215937E+18	

※シミュレーションとジャッジとでFoMは異なる

(参考) 位相余裕


DCGain and PM
db_volt
volt_phase
freq
50
40
30
20
10
0
−10
−20
0
−100
−200
−300
−400
−500
−600
−700
10^0
10^2
10^4
10^6
10^8
10^{10}

最後に

今回の大会参加に当たり大変貴重な機会を頂きました
大会運営の皆さま及び協賛企業の皆様に深く感謝いたします
ありがとうございました

演算増幅器コンテスト2023

部門３　１位　　部門２　３位

日時：2024年 1月 26日

明治大学　波動信号処理回路研究室

学部４年　森 光平

部門３　設計方針

部門３の評価式

$$\text{スコア} = \frac{\text{PSRR} \cdot \text{CMRR}}{(\text{直流利得}) \cdot (\text{電源電圧})}$$

$$= \frac{\text{PSRR}}{(\text{同相利得}) \cdot (\text{電源電圧})}$$

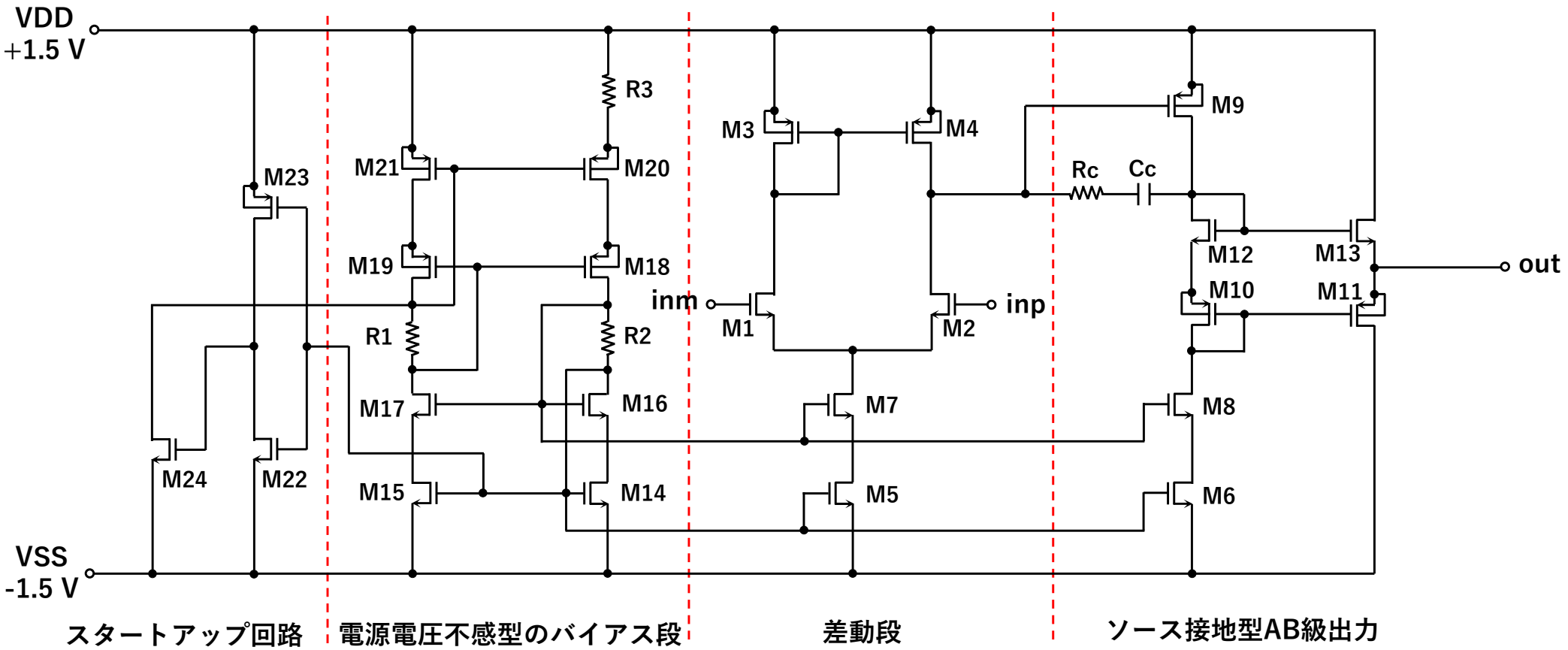
- **PSRR**
  - ➡ 電源電圧不感型のバイアス段

- **同相利得の低減**
  - ➡ テール電流源のカスコード化

- 差動段とソース接地の素子サイズを大きく
  - ➡ 素子値の調整をしやすくするため

ただし，MOSサイズや並列数が多いため位相補償が必須

部門３　回路構成



	M1, M2	M3, M4	M5, M14, M15	M6	M7, M16, M17	M8	M9
チャネル長 L	3.8 µm	4 µm	4.8 µm	4.8 µm	4.8 µm	4.8 µm	2 µm
チャネル幅 W	2 µm	4.62 µm	2.6 µm	2.6 µm	4.1 µm	4.1 µm	4.36 µm
並列数 m	12	12	12	6	12	6	8

	M10, M11	M12, M13	M18, M19, M21	M20	M22	M23	M24
チャネル長 L	1 µm	1 µm	4 µm	4 µm	0.18 µm	2.5 µm	1 µm
チャネル幅 W	2 µm	2 µm	3.3 µm	5.6 µm	10 µm	2 µm	4.28 µm
並列数 m	2	12	10	10	20	4	8

R1	50 kΩ
R2	60 kΩ
R3	5 kΩ
Rc	30 kΩ
Cc	1 pF

nMOSのバルクはすべてVSS

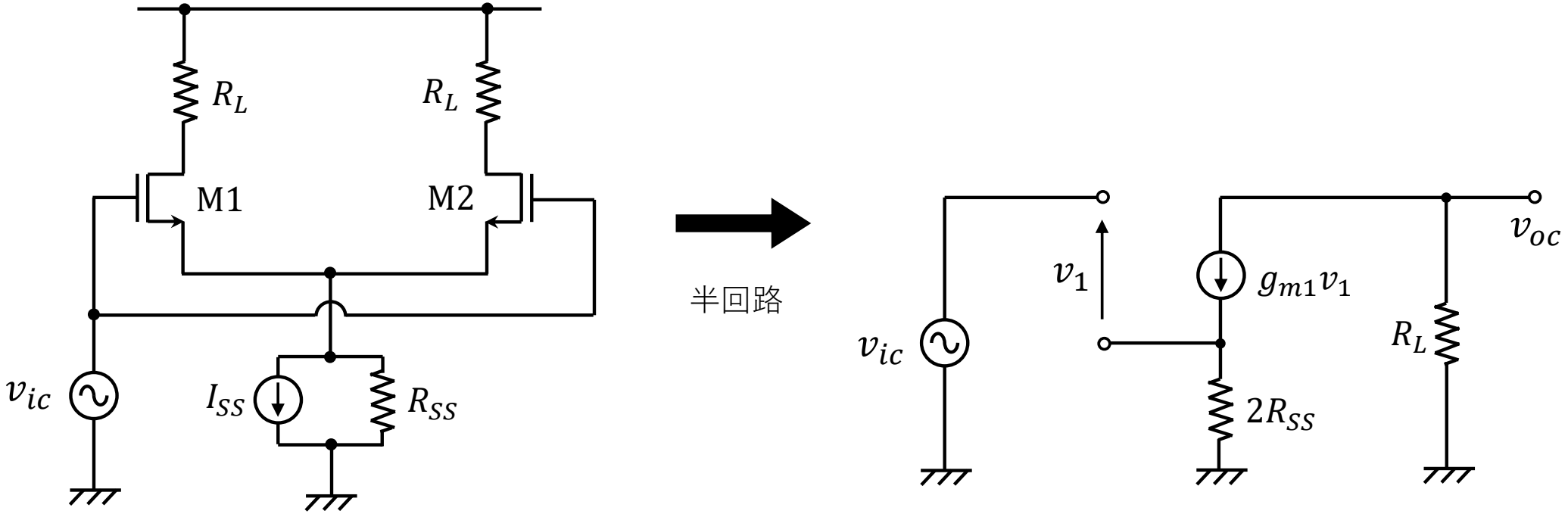
部門３　テール電流源のカスコード化

同相利得A_{cm}は半回路から

$$A_{cm} = \frac{v_{oc}}{v_{ic}} \approx -\frac{R_L}{2R_{SS}}$$

よって，テール電流源をカスコードの構成にする．

また，出力抵抗をさらに上げるためにチャネル長を大きめに設計する．



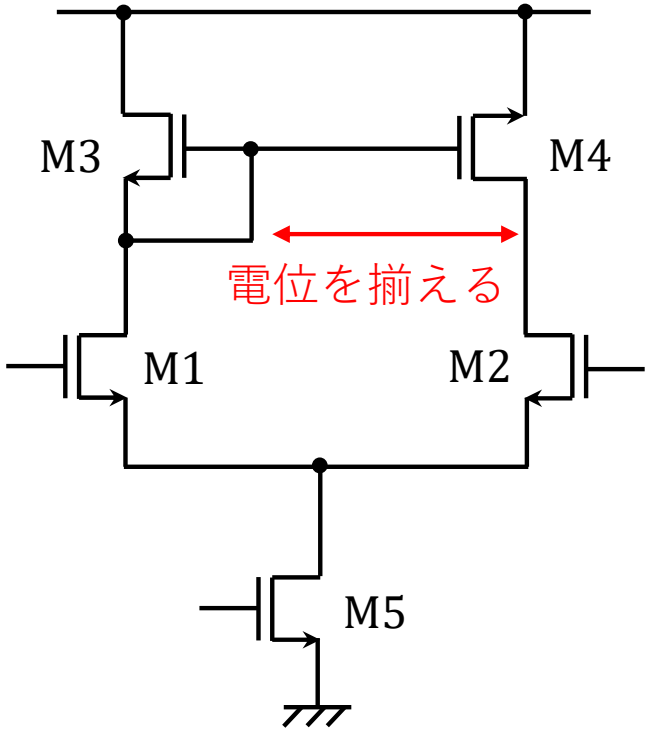
部門３　差動段とソース接地のMOSサイズを大きく

素子サイズを大きくする理由

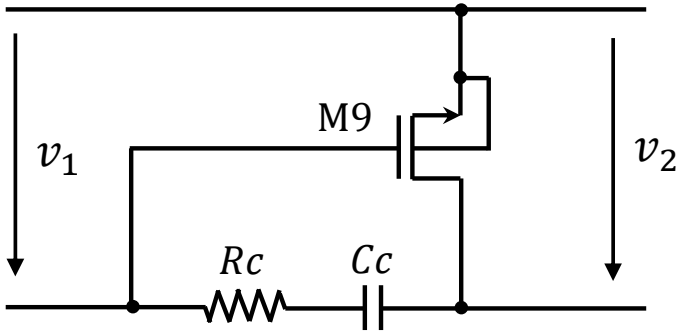
・チャネル長を大きく

・MOSFETの並列数を多く

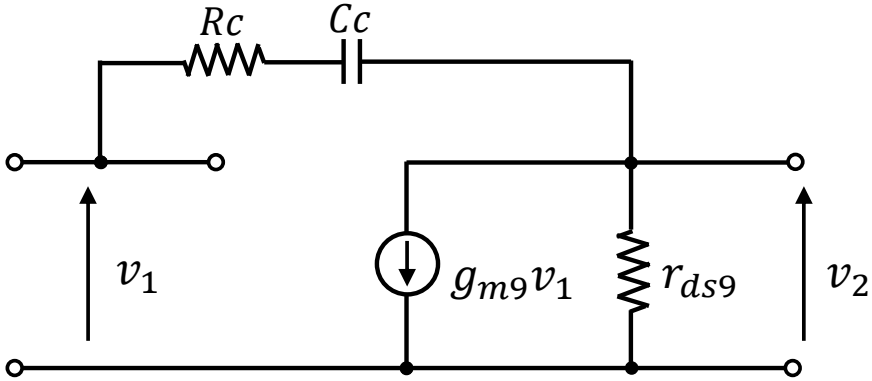
素子サイズを大きくしておくと，後から差動対の電圧を微調整しやすい



部門３　位相補償



小信号等価回路



位相補償を含めたソース接地の利得は

$$\frac{v_2}{v_1} = G(j\omega) = -g_{m5}r_{ds5}\frac{1 + j\omega C_C\left(R_C - \frac{1}{g_{m5}}\right)}{1 + j\omega C_C(R_C + r_{ds})}$$

位相に着目すると

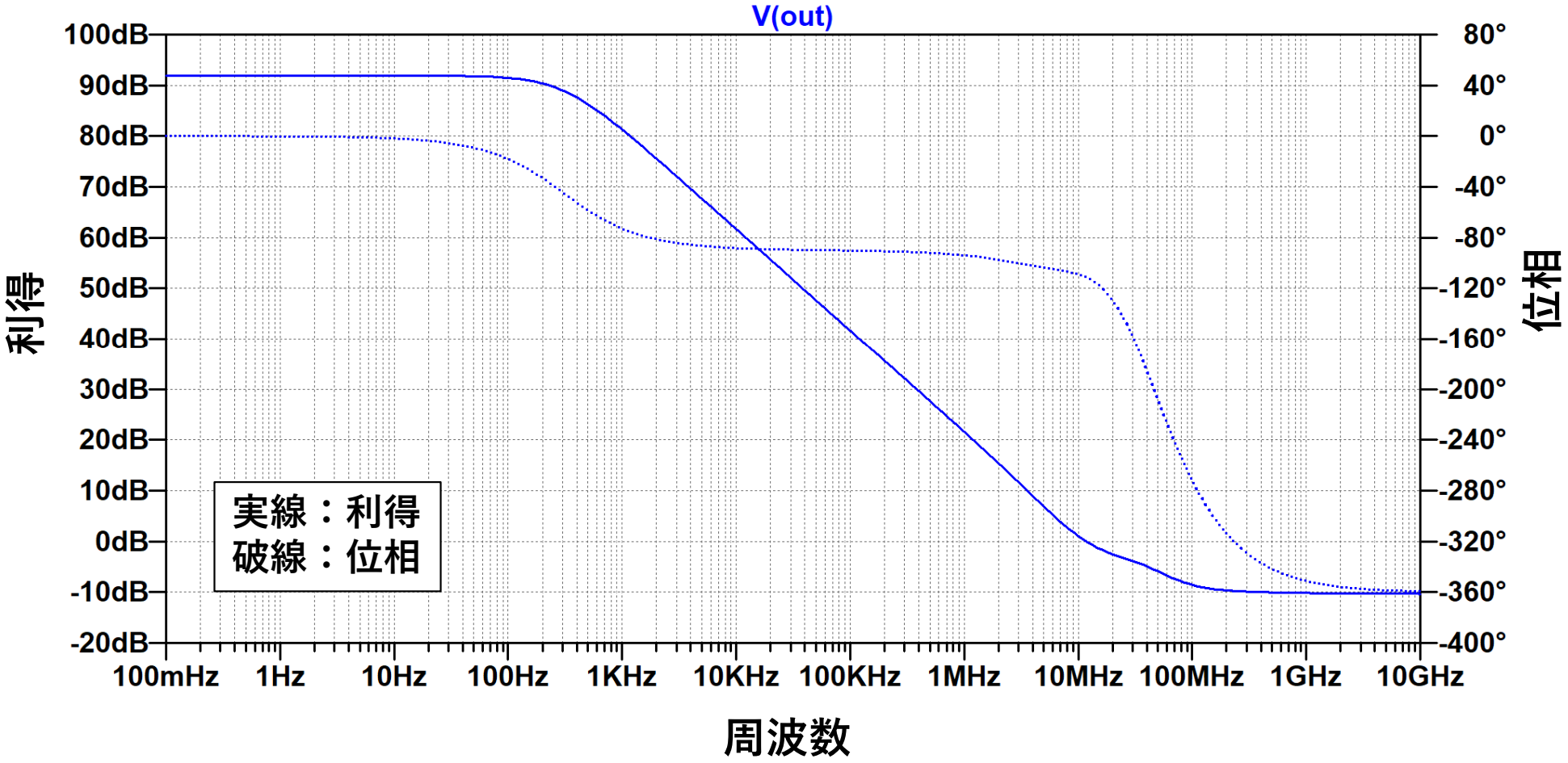
$$\angle G(j\omega) = \underline{\tan^{-1}\left\{\omega C_C\left(R_C - \frac{1}{g_{m5}}\right)\right\}} \underline{- \tan^{-1}\{\omega C_C(R_C + r_{ds})\}}$$

ここが正になれば進みの位相補償ができる　必ず遅れの位相補償となる

➡ 進みの位相補償の条件は　$\omega C_C\left(R_C - \frac{1}{g_{m5}}\right) > 0 \quad \therefore\ R_C > \frac{1}{g_{m5}}$

部門３　直流利得

直流利得：91.9 dB

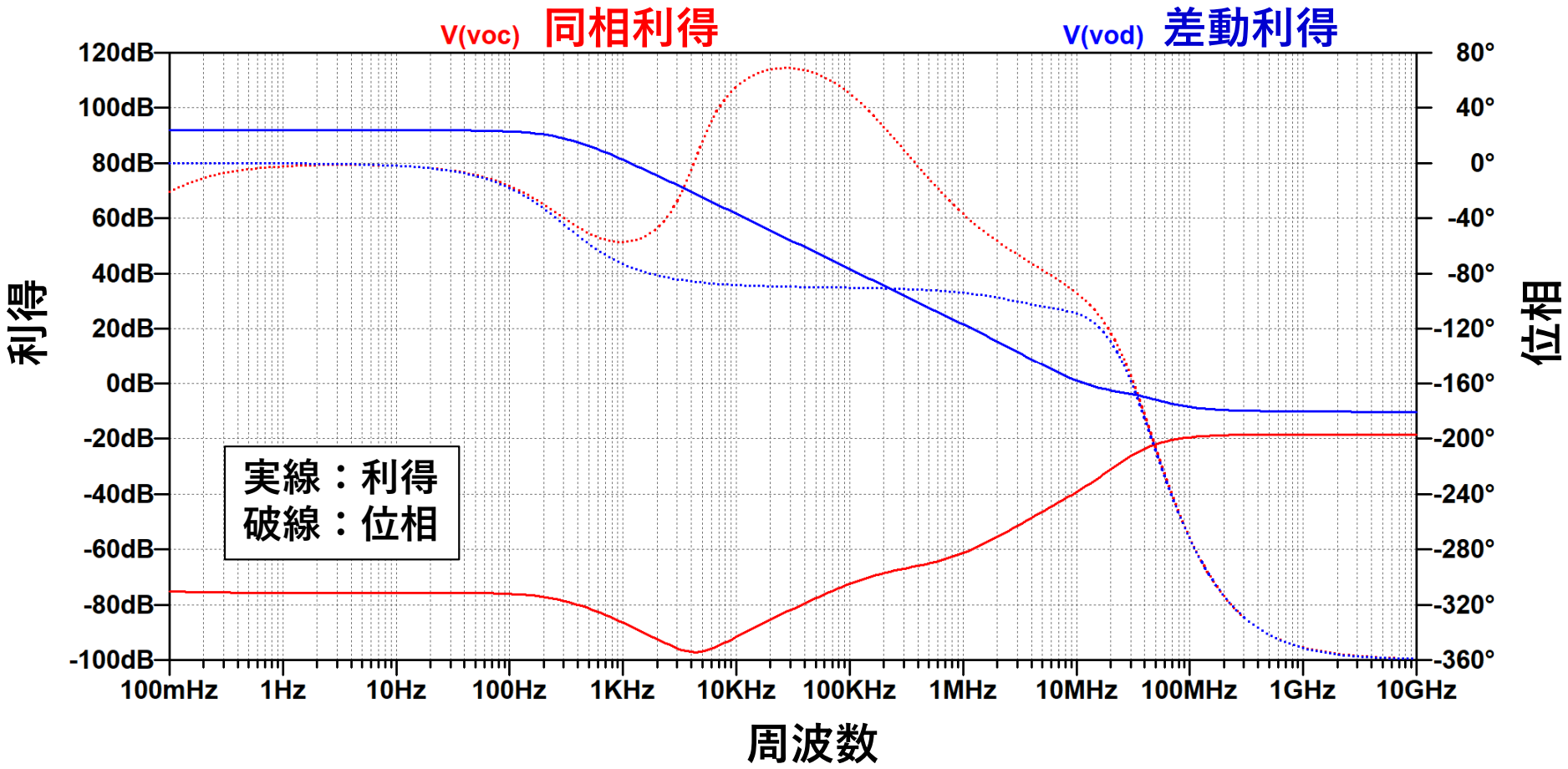


部門３　CMRR

差動利得：91.9 dB

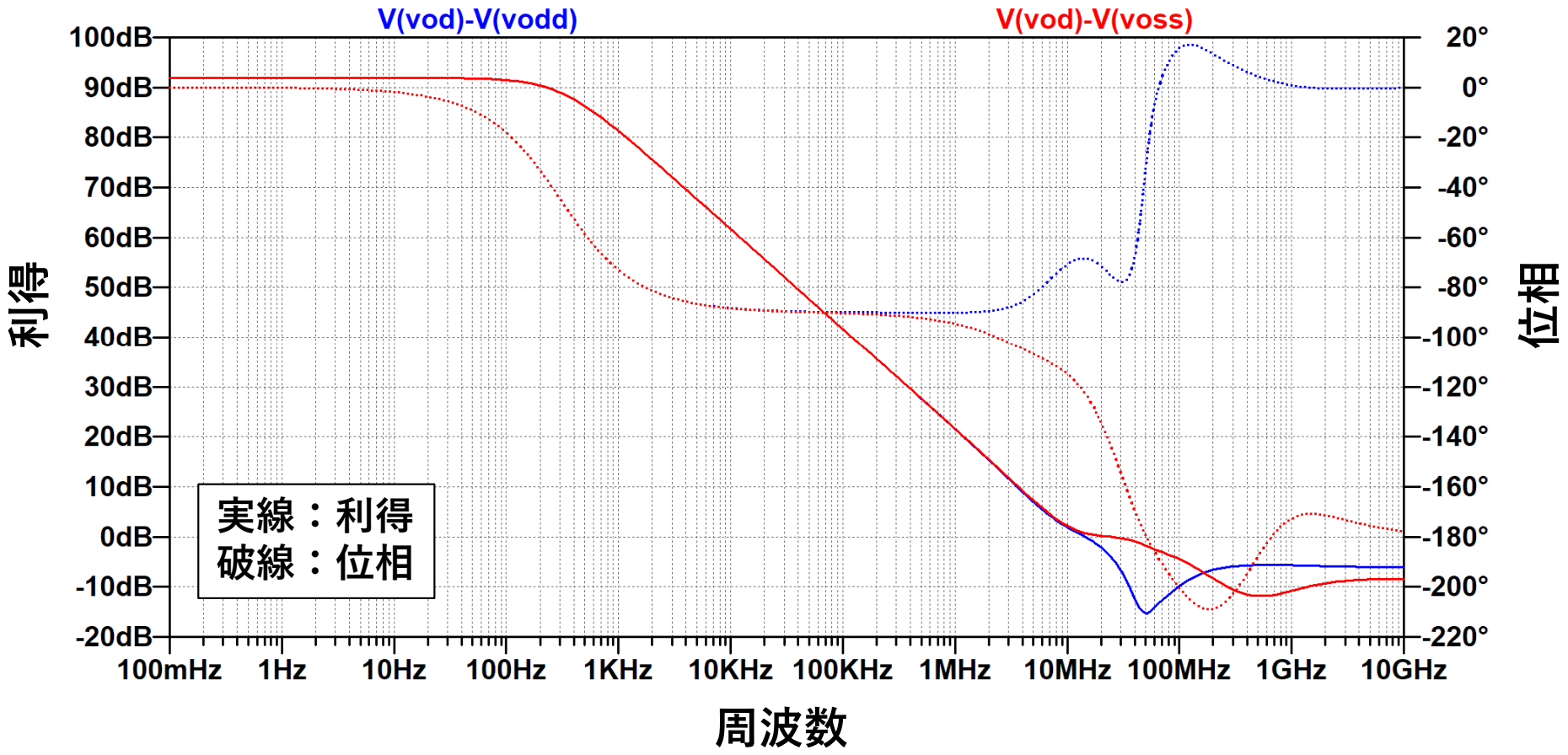
同相利得：-75.1 dB

同相除去比：167.0 dB



部門３　PSRR

PSRR：91.9 dB　←　直流利得と変わらない



部門３　評価・スコア

項目	シミュレーション値	実際の値
電源電圧	3.0 V	3.0 V
直流利得	91.9 dB	?
CMRR	167.0 dB	?
PSRR	91.9 dB	?

実際の値を記載できず，申し訳ありません。

部門２　設計方針

部門２の評価式

$$\text{スコア} = \frac{(\text{GB積}) \cdot (\text{位相余裕})}{(\text{消費電力})^2 \cdot (\text{出力抵抗}) \cdot (\text{入力換算雑音})}$$

- **入力換算雑音**

  差動対にpMOSを使用

  差動対のMOSサイズを大きく

  位相補償以外で抵抗を使わない

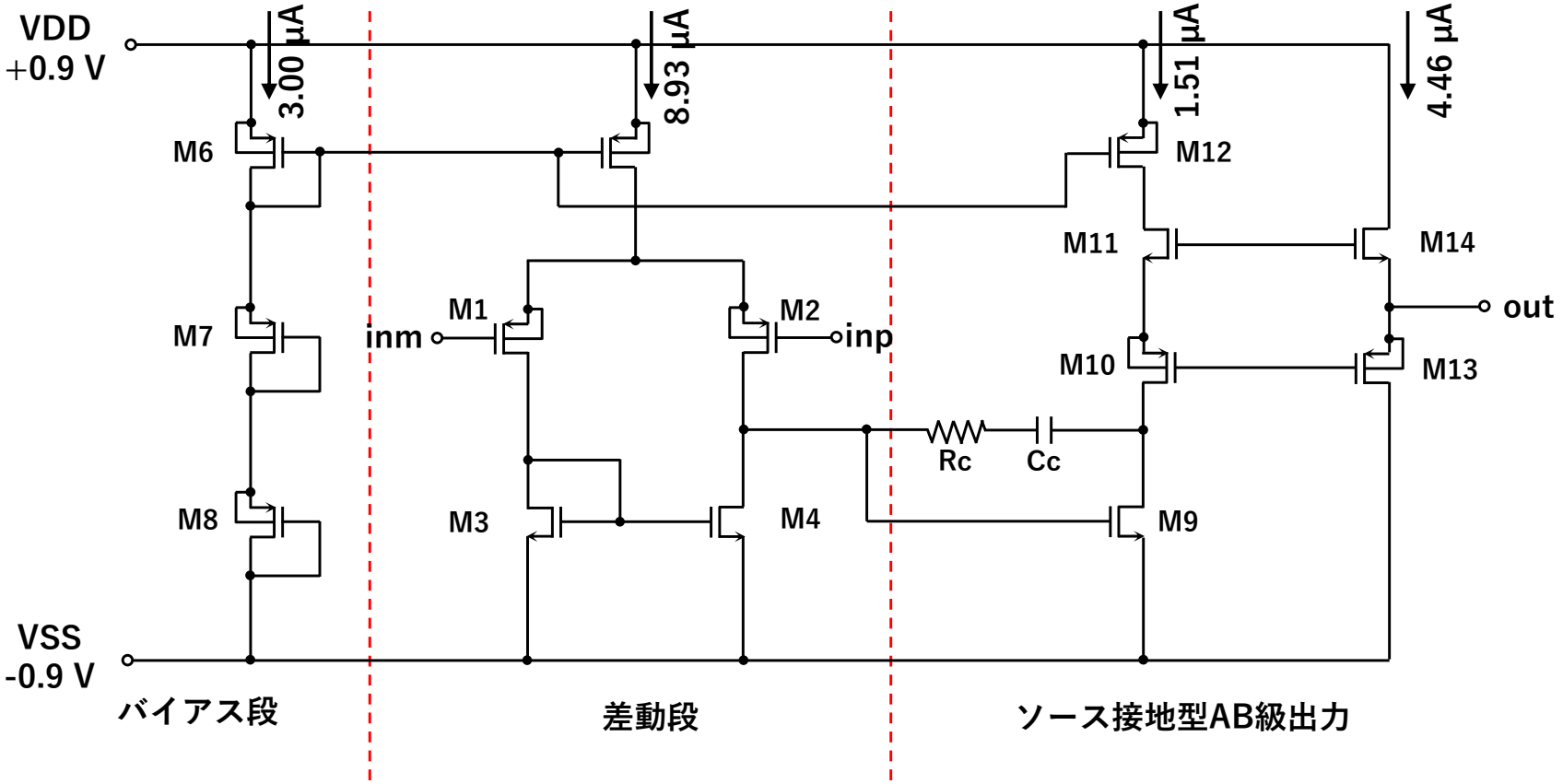
- **GB積・位相余裕**

  部門３の設計と同様に位相補償用の抵抗を大きく

- **消費電力**

  電流量を20 μA以下になるように設計

部門２　回路構成



	M1, M2	M3, M4	M5	M6, M7, M8	M9	M10	M11
チャネル長 L	0.8 µm	3.2 µm	3.2 µm	4.8 µm	0.18 µm	0.18 µm	0.18 µm
チャネル幅 W	3.4 µm	2 µm	2 µm	2.6 µm	4 µm	1 µm	1 µm
並列数 m	8	4	12	6	4	2	2

	M12	M13	M14
チャネル長 L	3.2 µm	0.18 µm	0.18 µm
チャネル幅 W	2 µm	1.3 µm	1.3 µm
並列数 m	2	4	4

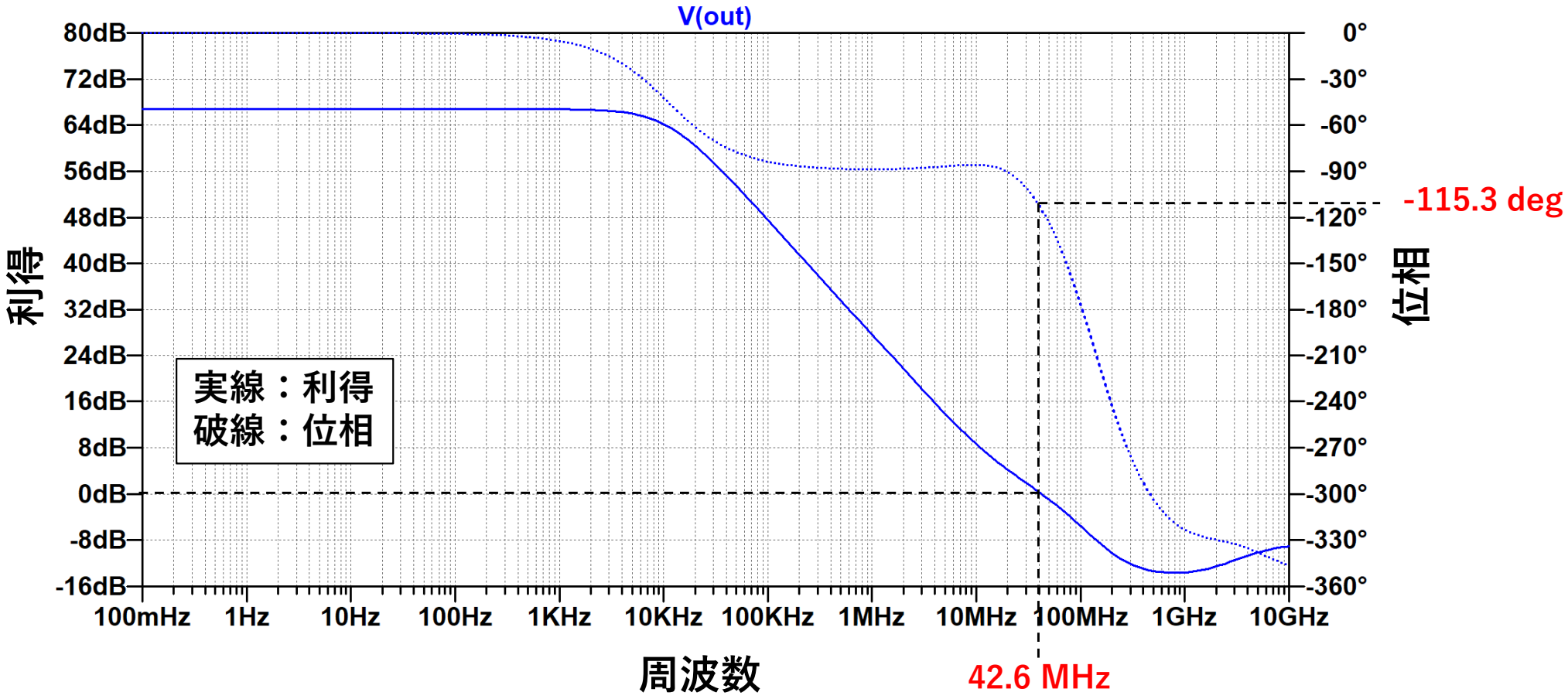
Rc	50 kΩ
Cc	0.4 pF

nMOSのバルクはすべてVSS

部門２　GB積・位相余裕

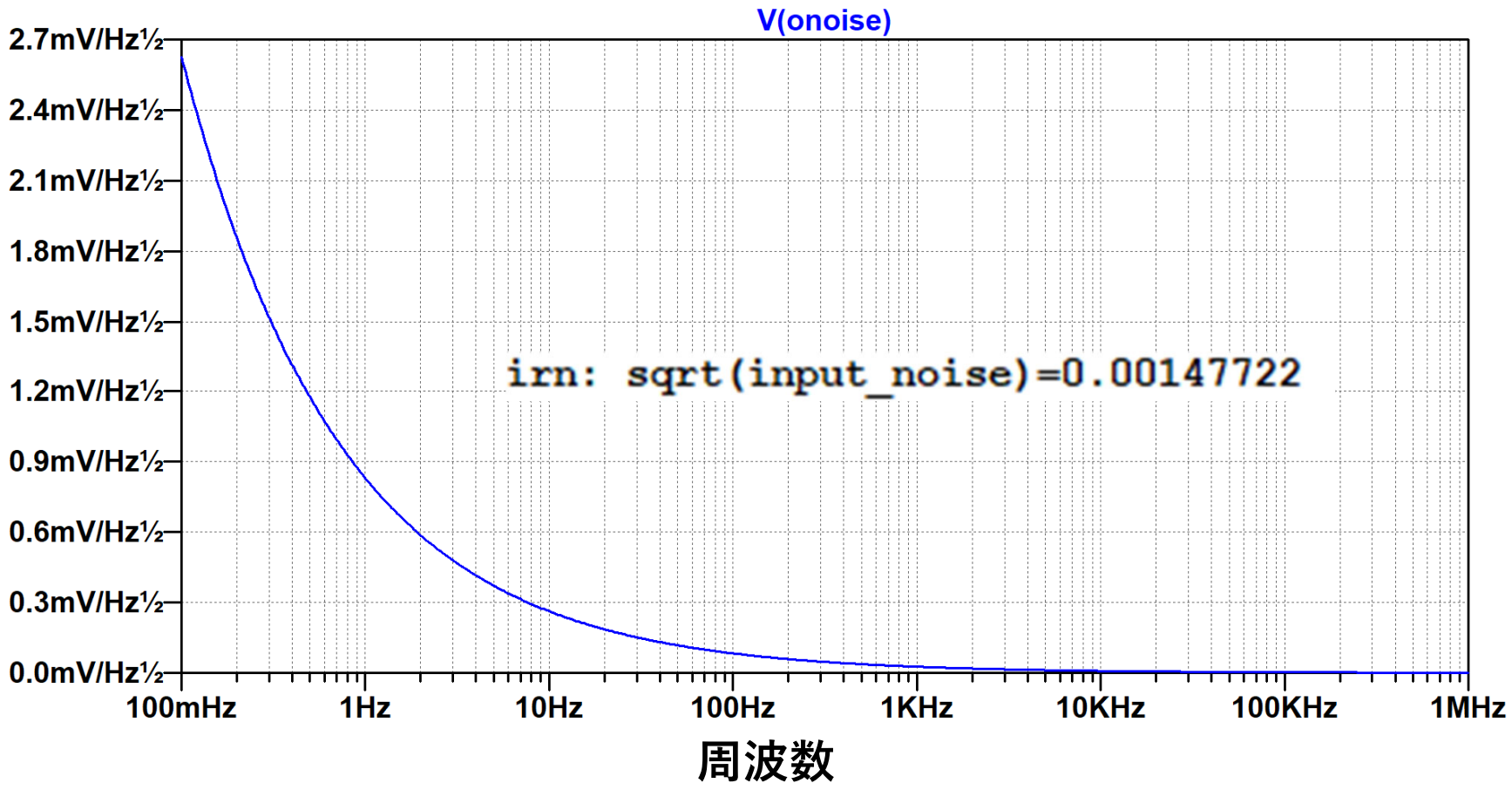
GB積：42.6 MHz

位相余裕：64.7 deg



部門２　入力換算雑音

入力換算雑音：1.48 mV



部門２　評価・スコア

項目	シミュレーション値	実際の値
GB積	42.6 MHz	3.0 V
位相余裕	64.7 deg	?
消費電力	31.54 μW	?
出力抵抗	?	?
入力換算雑音	1.48 mV	?

出力抵抗と実際の値を記載できず，申し訳ありません。

参考文献

[1] 髙木茂孝，「MOSアナログ電子回路」，朝倉書店，2014

[2] 堀田正生・関根かをり，「基本から学ぶアナログ電子回路」，オーム社，2013

[3] Behzad Razabi（監訳：黒田忠広），「アナログCMOS集積回路の設計 基礎編」，丸善出版，2003

[4] Behzad Razabi（監訳：黒田忠広），「アナログCMOS集積回路の設計 応用編」，丸善出版，2003

[5] 吉澤浩和，「CMOS OPアンプ回路 実務設計の基礎」，CQ出版社，2017

終わりに・謝辞

終わりに・感想

・部門２および部門３の設計の方針が間違っていなかった。
・回路理論よりツールの使用方法を丁寧に見直していきたい。
・アナログ回路は考慮すべき点が多く、一人で設計する難しさを実感した。

来年度の演算増幅器コンテストについて

・来年は研究でのレイアウト経験を生かして試作の部で入賞を目指す。

謝辞

演算増幅器コンテスト協賛企業の皆様、運営委員会の皆様
大変貴重な機会を設けていただき誠にありがとうございました。
深く感謝申し上げます。

National Defense Academy

2023年度演算増幅器設計コンテスト

部門1：6位　部門2：1位　部門3：3位

防衛大学校　応用物理学科
松　　元　　研　　究　　室
修 士 1 年　　木 原 滉 貴

部門2の設計方針

National Defense Academy

部門2の評価式

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力雑音}}$$

今回の設計方針

1　消費電力を下げる。

2　出力抵抗を下げる。

3　利得帯域幅積を確保しつつ位相余裕を上げる。

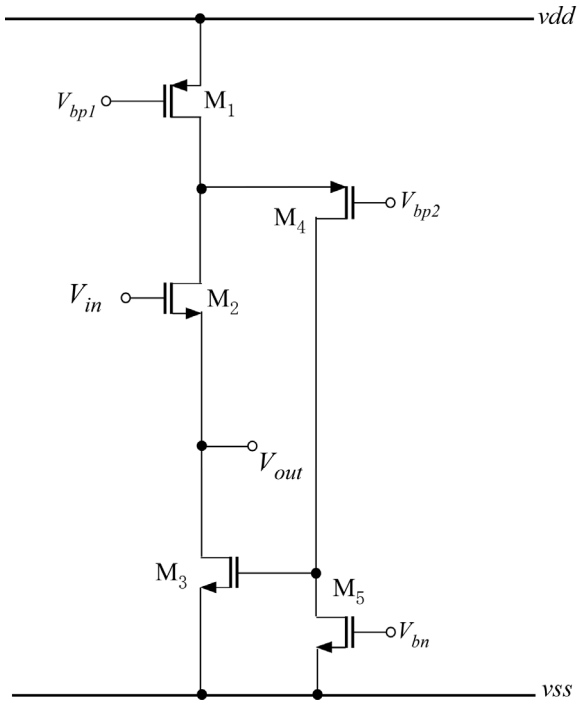
具体的な設計手法

低消費電力	電源電圧3V→1．8V
低出力抵抗	補助アンプ+FVF
位相余裕(大) 利得帯域幅積(大)	位相補償用コンデンサに抵抗を追加

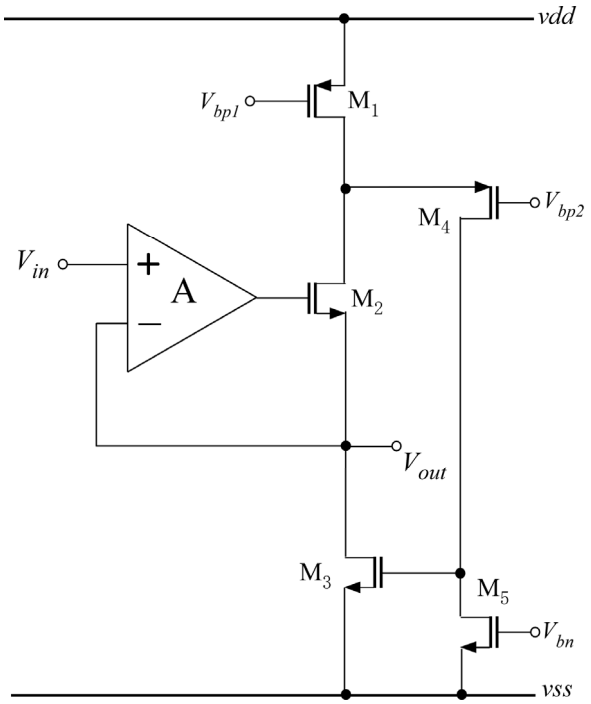
部門2の設計方針

National Defense Academy

○ 補助アンプ＋FVF(Flipped Voltage Follower)



補助アンプにより、
帰還のループ利得を
さらに向上させる。



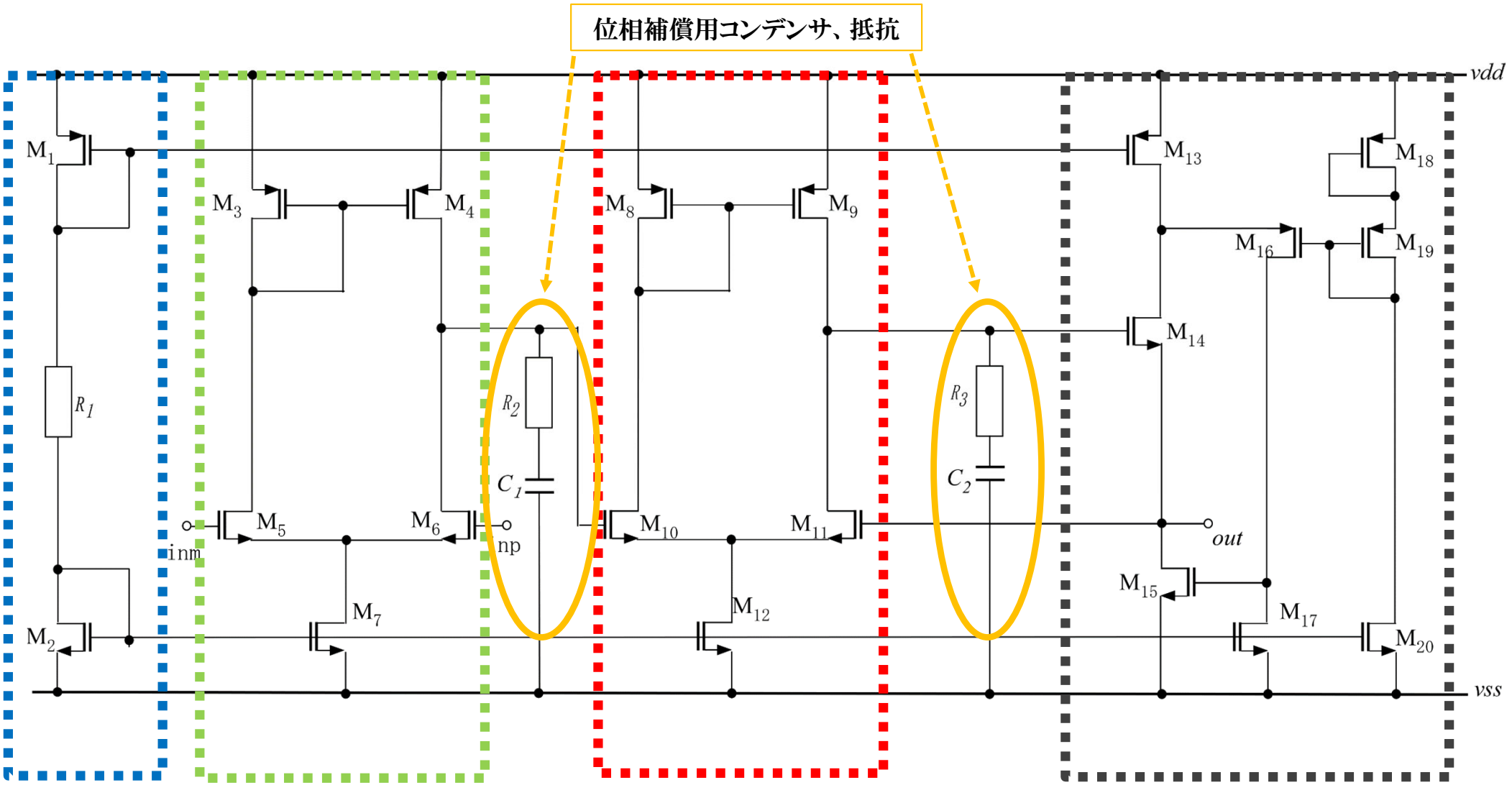
・Flipped Voltage Follower【1】
→AB級ボルテージフォロワ
→低出力インピーダンス

・補助アンプ+FVF
→出力インピーダンスを利得A倍
だけ低下させる。

【1】F. Centurelli, P. Monsurrò, D. Ruscio, and A. Trifiletti, “A new class AB flipped voltage follower using a common-gate auxiliary amplifier,”in Proc. 23rd Int. Conf. Mixed Design Integr. Circuits Syst. (MIXDES),Łód´z, Poland, 2018, pp. 143–146.

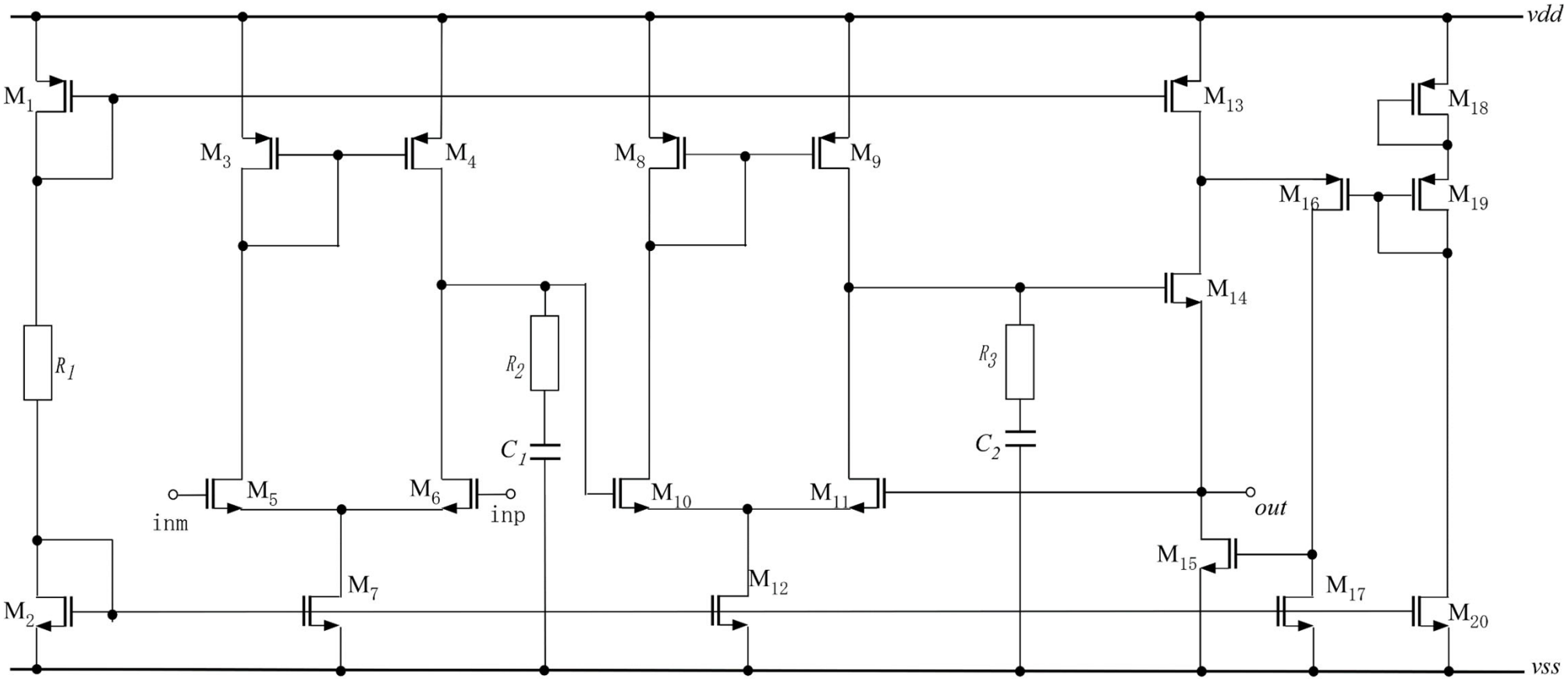
部門2の回路図

National Defense Academy



部門2の回路図

National Defense Academy



トランジスタ	1	2	3, 4	5, 6	7	8, 9	10, 11	12	13	14	15	16～20
L(μm)	4	4	4	4	4	2	2	2	0.8	0.8	0.8	0.8
W(μm)	1.33	0.4	6.7	1.8	3.6	3.35	0.9	2	0.8	0.8	0.8	0.8
M									18	8	8	

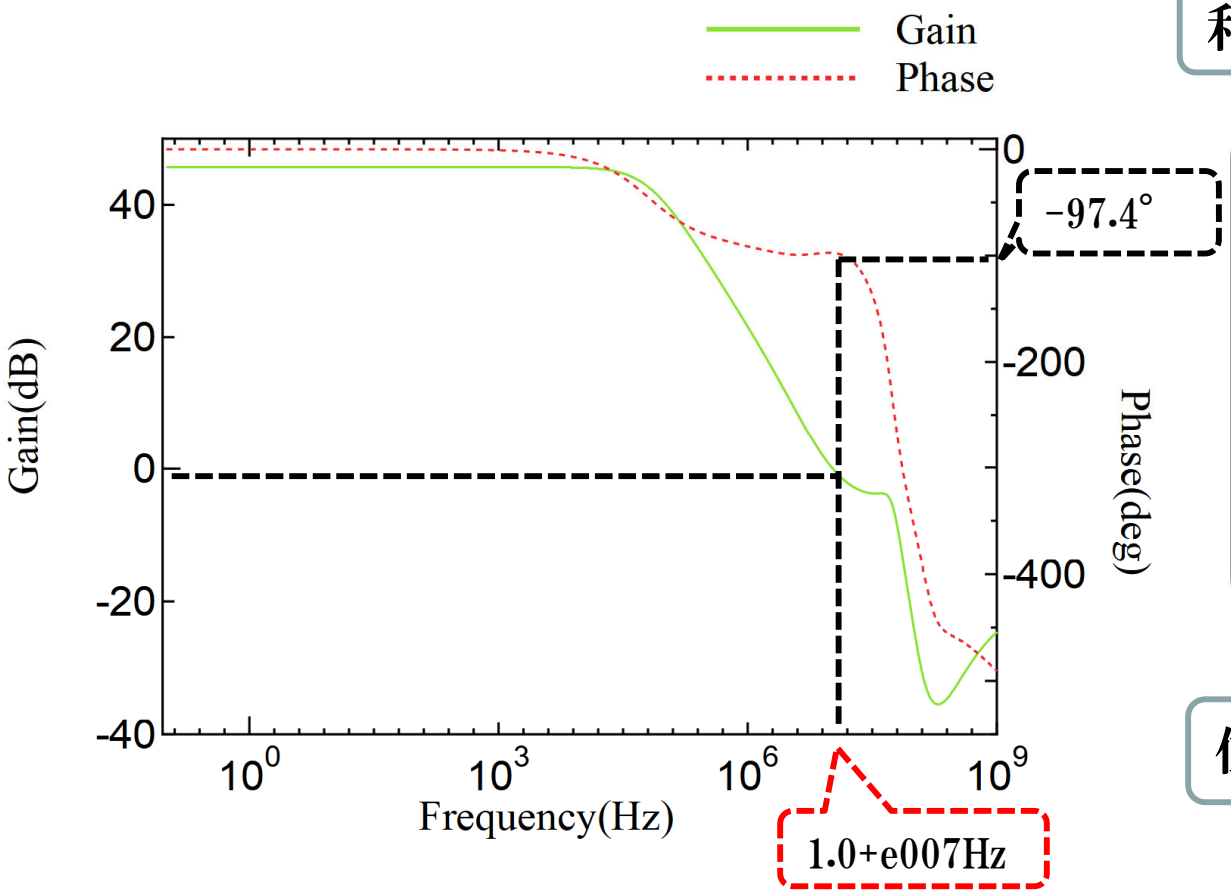
抵抗(Ω)	
R1	6.41Meg
R2	300 k
R3	300 k

コンデンサ(F)	
C1, C2	0.1 p

シミュレーション結果(利得帯域幅積・位相余裕)

National Defense Academy

・LTspiceを用いてシミュレーションを実施



利得帯域幅積

・開ループ利得が0dBになった時の周波数
→1.0+e007Hz
・開ループ利得が直流利得の平方根(dBで半分)になった時の周波数と利得の積
→1.205+e007Hz

利得帯域幅積：1.0+e007Hz

位相余裕

180-|-97.4|＝82.6[deg]

シミュレーション結果（出力抵抗）

National Defense Academy

- LTspiceを用いてシミュレーションを実施

シミュレーション上の直流利得：A_{0_sim}＝45.7dB
シミュレーション上の出力抵抗：r_{o_sim}＝3.62e-003Ω

```
        --- Transfer Function ---

Transfer_function:              1.97973         transfer
vin#Input_impedance:            1e+020          impedance
output_impedance_at_V(out):     0.00361543      impedance
```

以下の式を基に出力抵抗の真値を導出

$$r_o = \frac{1+\beta A_{0_{sim}}}{\frac{1}{r_{o_{sim}}} - \frac{1}{R_1+R_2} - \frac{\beta A_{0_{sim}}}{R_L}}$$

実際の出力抵抗：r_o＝3.5243e-001Ω

部門2の結果

National Defense Academy

部門2の評価式

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力雑音}}$$

利得帯域幅積【Hz】	1.00e+07
位相余裕【deg】	7.4709e+01
消費電力【W】	1.4227e-05
出力抵抗【Ω】	9.7069e+00
入力換算雑音【V】	3.77e-03
得点	1.0093e+20

部門3の設計方針

National Defense Academy

部門3の評価式

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得} \times \text{電源電圧}}$$

A_{od}：差動利得　A_{oc}：同相利得
A_{odd}：VDD側の電源電圧利得
A_{oss}：VSS側の電源電圧利得

$$\frac{\cancel{A_{od}/A_{(odd\ or\ oss)}} \times\ A_{od}/A_{oc}}{\cancel{A_{od}} \times \text{電源電圧}}$$

今回の設計方針

1　差動利得を上げる。
2　同相利得を下げる。
3　電源電圧を下げる。

部門3の設計方針

National Defense Academy

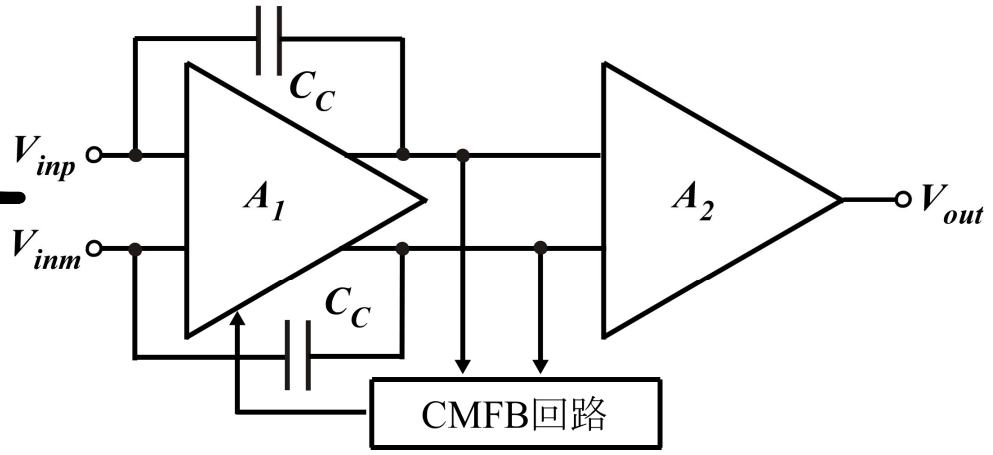
回路構成

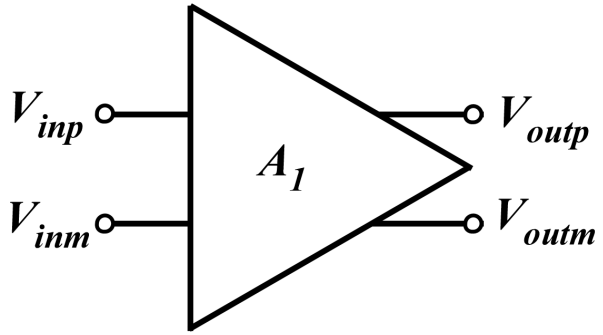
高差動利得 → 多段接続

高同相利得 → 多段接続

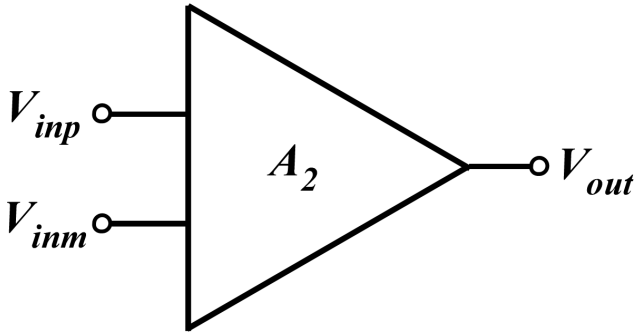
高同相利得 → CMFB回路

低電源電圧 → 電源電圧3V→2V





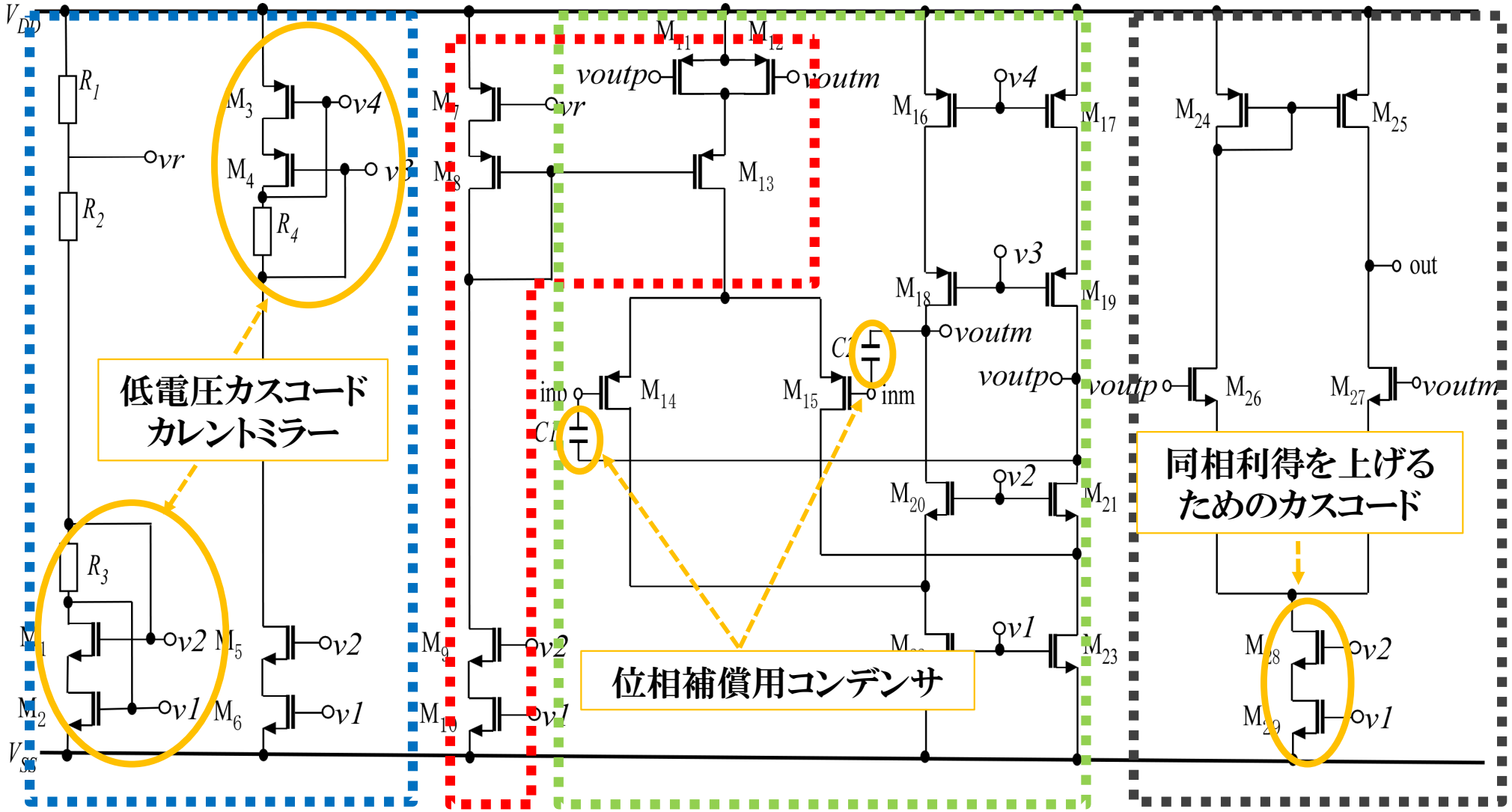
折り返しカスコード型を採用
→高差動利得を実現
→電源電圧を下げるため、低電圧カスコードを取り入れた。



差動対型を採用
→テール電流源をカスコード化することにより同相利得を低下

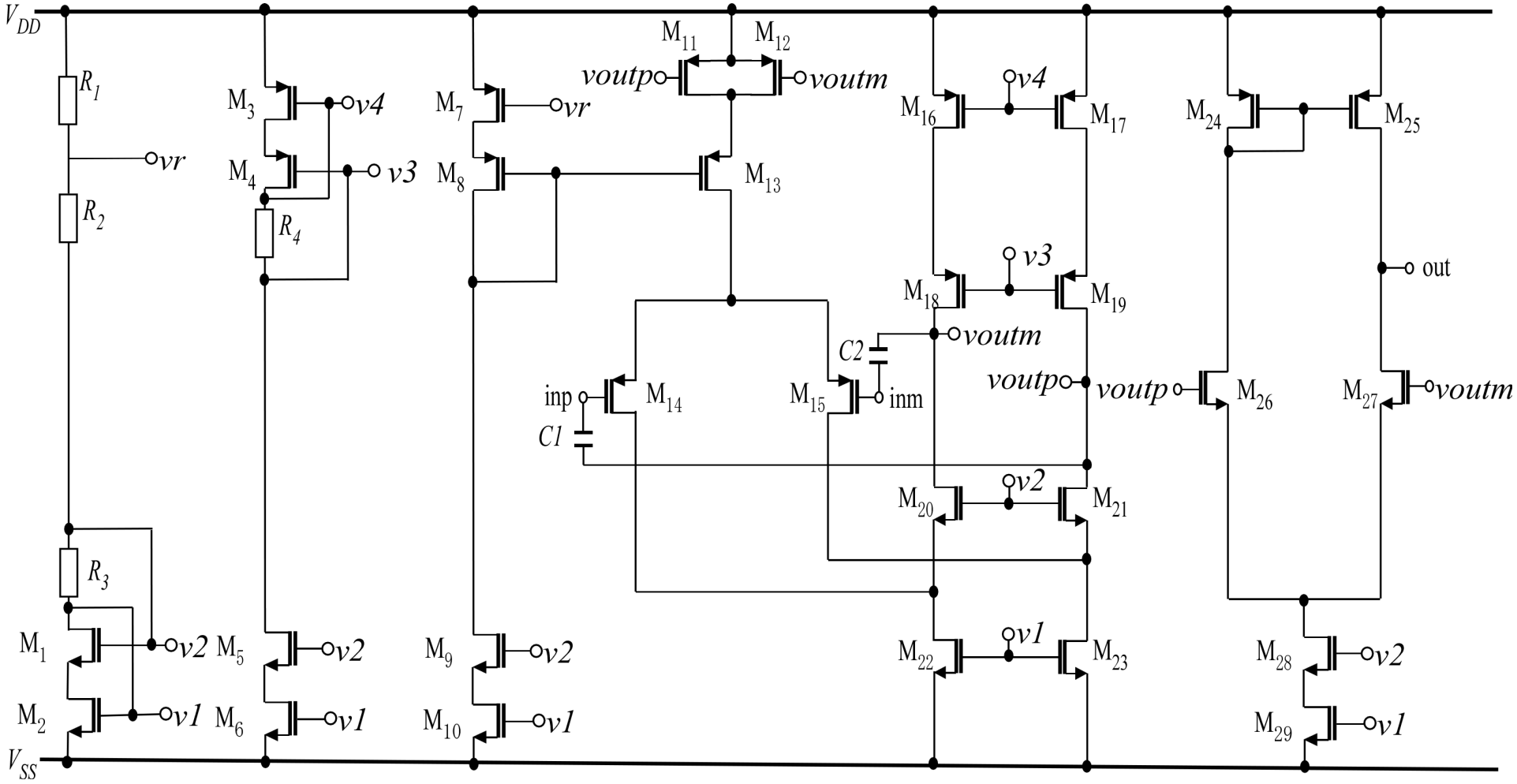
部門3の回路図

National Defense Academy



部門3の回路図

National Defense Academy



トランジスタ	1～6	3, 4	7, 8	9, 10	11, 12	13	14, 15	16～19	20, 21	22, 23	24, 25	26, 27	28, 29
L(μm)	2	2	2	2	2	2	2	2	2	2	2	2	2
W(μm)	0.91	3.3	53.3	14.5	26.7	53.3	26.7	6.7	1.8	9.1	3.3	3.3	10.25
M	2	2	2	2	2	2	2	2	2	2	4	4	1

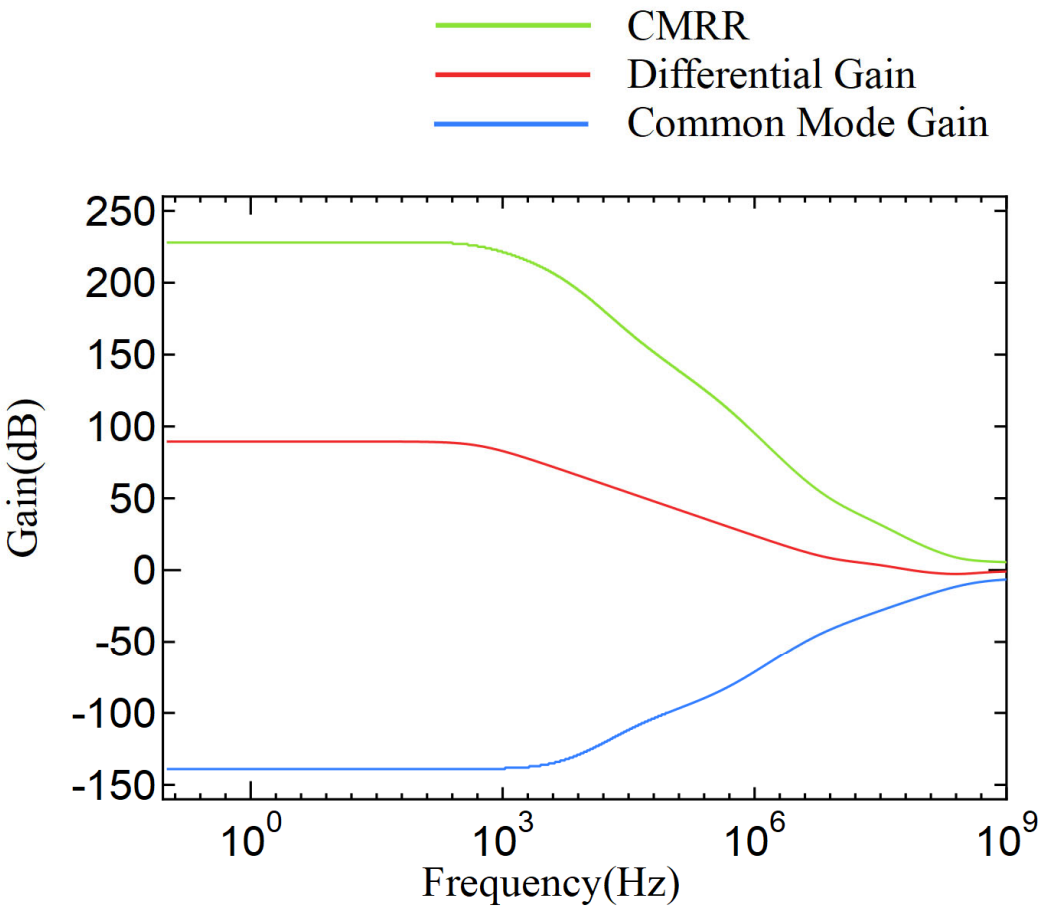
抵抗(Ω)	
R1	300 k
R2	76.2 k
R3, R4	100 k

コンデンサ(F)	
C1, C2	5 p

シミュレーション結果(同相除去比)

National Defense Academy

・LTspiceを用いてシミュレーションを実施



同相利得

A_{oc}＝-138.9dB

差動利得

A_{od}＝89.5dB

同相除去比

CMRR＝228.4dB

HspiceとLtspaiceの違いにより、結果に相違が生じた。

同相除去比(結果)

CMRR＝213.7dB

部門3の結果

National Defense Academy

部門3の評価式

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得} \times \text{電源電圧}}$$

同相除去比【dB】	2.1376e+02
直流利得【dB】	1.2517e+02
電源電圧変動除去比【dB】	1.3066e+02
電源電圧【V】	2.0000e+00
得点	4.588e+10

感想及び謝辞

National Defense Academy

演算増幅器設計コンテストに参加することで各特性を向上させる回路構成や原理を学ぶきっかけになりました。それと同時に、まだまだ勉強不足であることも痛感しました。

この経験を活かして日々の研究に邁進していきたいと思います。

～謝　辞～

貴重な機会を設けてくださった演算増幅器設計コンテスト運営の皆様並びに協賛企業の皆様に厚く御礼申し上げます。

低消費電力を目的としたオペアンプの設計

試作の部：第4位

宮崎大学　工学研究科　工学専攻　一年
安田　大翔

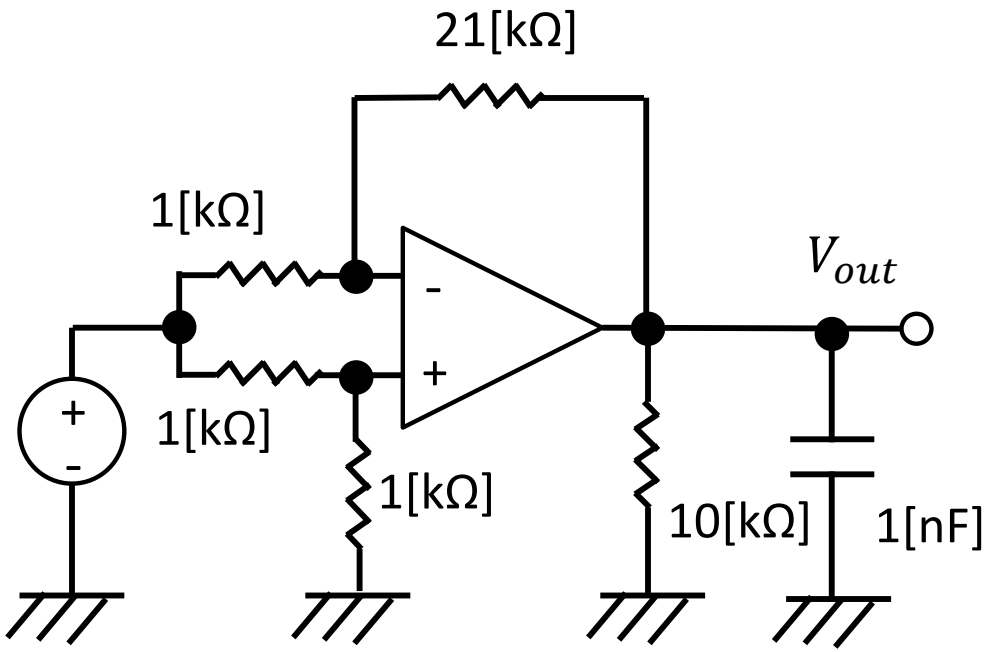
2024年　1月　26日

指導教員：淡野　公一教授

Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

オペアンプコンテスト設計仕様

試作の部　審査項目　消費電力のみ



評価回路(a)

設計仕様項目	仕様要件
電源電圧	±2.5[V]
帯域幅	20[kHz]以上
出力オフセット電圧	10[mV]以下
入力電圧範囲	±100[mV]以上
スルーレート	1[V/μs]

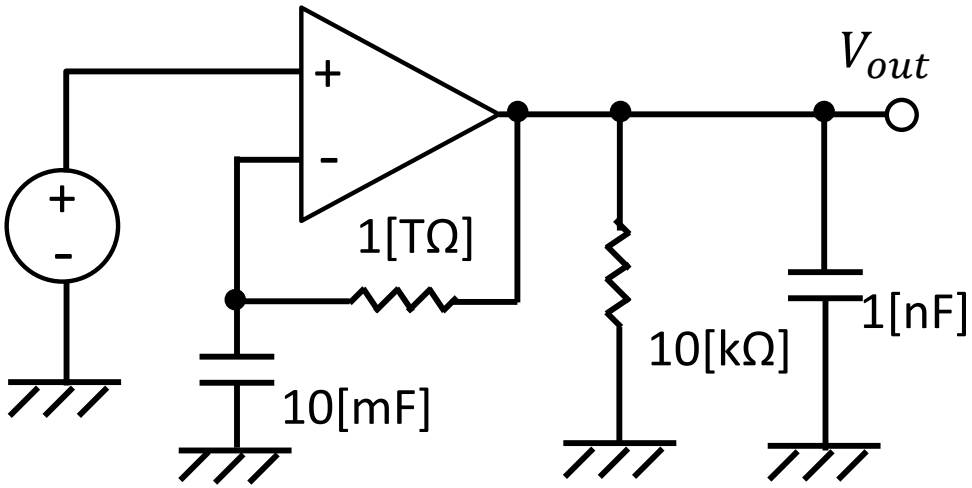
スルーレート　⇔　消費電流

設計上の課題点

スルーレートの仕様を満たしつつ、消費電流を削減

オペアンプコンテスト設計仕様

試作の部　審査項目　消費電力のみ



評価回路(b)

設計仕様項目	仕様要件
電源電圧	±2.5[V]
直流利得	40[dB]以上
位相余裕	45度以上

直流利得　⇔　消費電流
位相余裕　⇔　スルーレート

設計上の課題点

・電流を絞りながら、直流利得40dBを確保する
・スルーレートの仕様を満たしつつ、位相余裕を確保する

設計方針

設計目標

- 設計仕様を満たしつつ、確実に動作するオペアンプを作成
- 低消費電力で高利得を得られるAB級出力回路を設計したい

AB級出力回路の課題

AB級出力回路はバイアス調整をしなければ波形がひずむ

▽

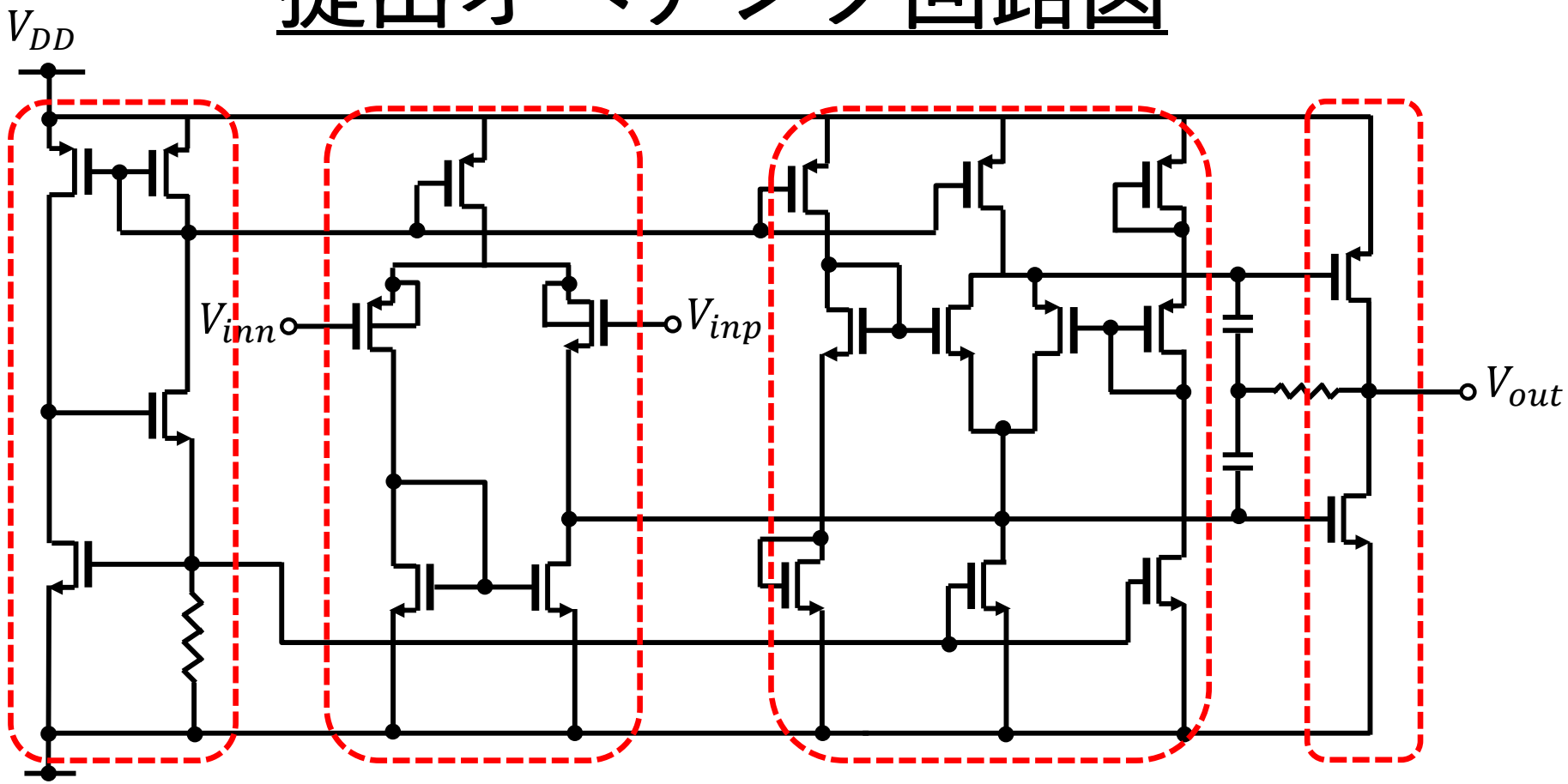
AB級出力回路用のバイアス回路を別で設計

▽

消費電力を犠牲にAB級出力回路のひずみを抑制

Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

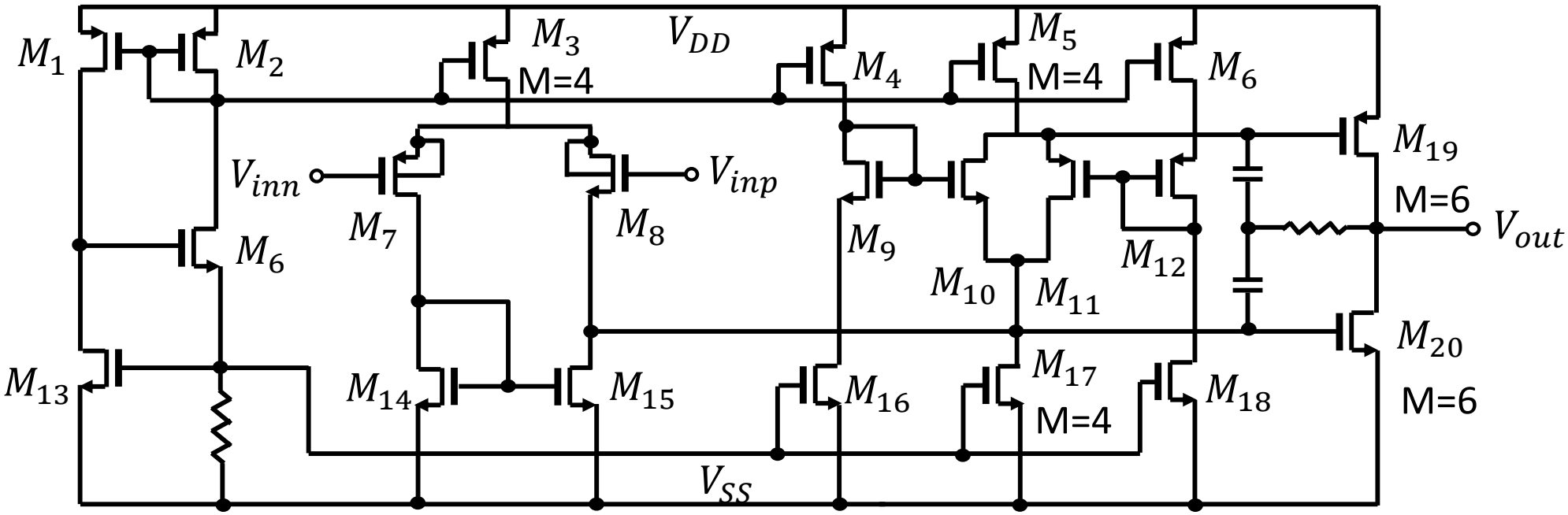
提出オペアンプ回路図



バックゲートに記載なし ▶ PMOS V_{DD}短絡 NMOS V_{SS}短絡

Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

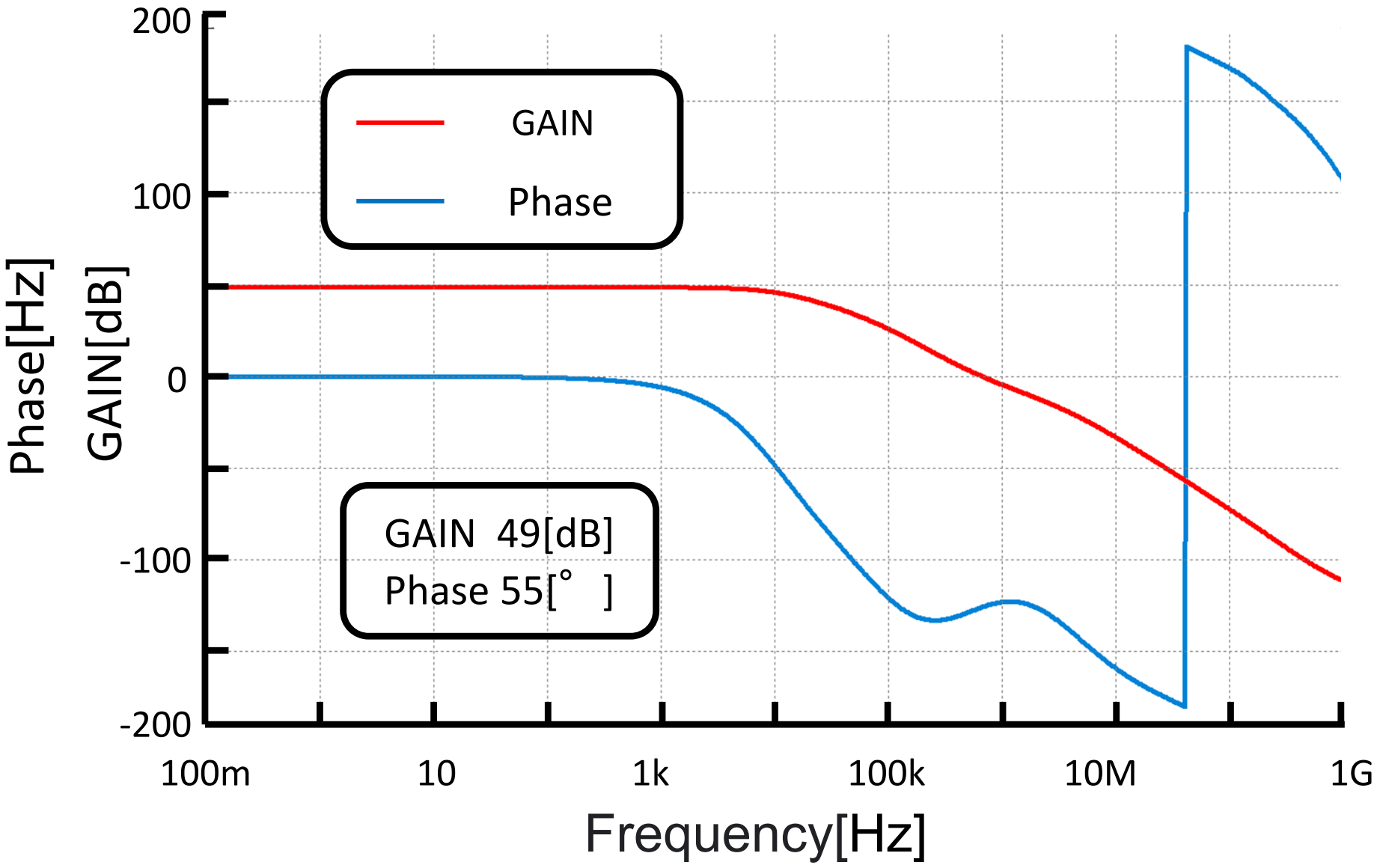
MOSの設計値



MOS番号	サイズ(W/L)	MOS番号	サイズ(W/L)
$M_1, M_2, M_4, M_6, M_{11}, M_{12}, M_5$	(2μ/1μ)	M_3, M_7, M_8	(10μ/1μ)
$M_6, M_9, M_{10}M_{13}, M_{14}, M_{15}, M_{16}, M_{18}$	(1.2μ/1.2μ)	M_{19}	(4μ/1μ)
M_{20}	(2.4μ/1.2μ)	MOSの基本並列数	M=2

Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

オペアンプのボード線図

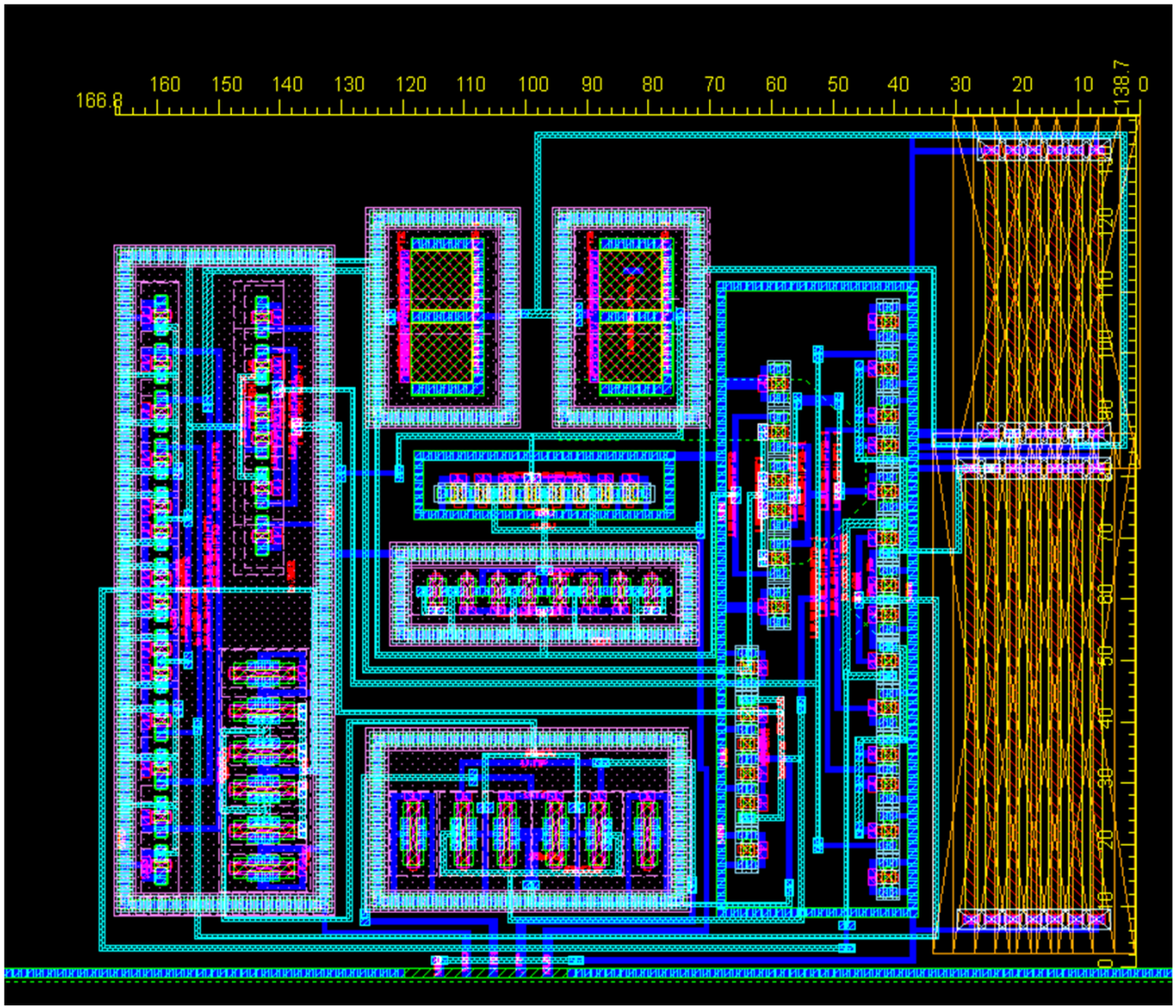


オペアンプ設計結果

設計仕様項目	仕様要件	設計結果
直流利得	40[dB]以上	49[dB]
位相余裕	45度以上	55度
帯域幅	20[kHz]以上	144[kHz]
出力オフセット電圧	100[mV]以下	10[mV]
入力電圧範囲	±100[mV]以上	±220[mV]
スルーレート	1[V/μS]	1.12[V/μS]
消費電流		27[μA]

Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

レイアウト



ばらつきへの対策

- バックゲートが等しいものはガードリングで囲む
- ダミーMOS
  ダミー抵抗の使用

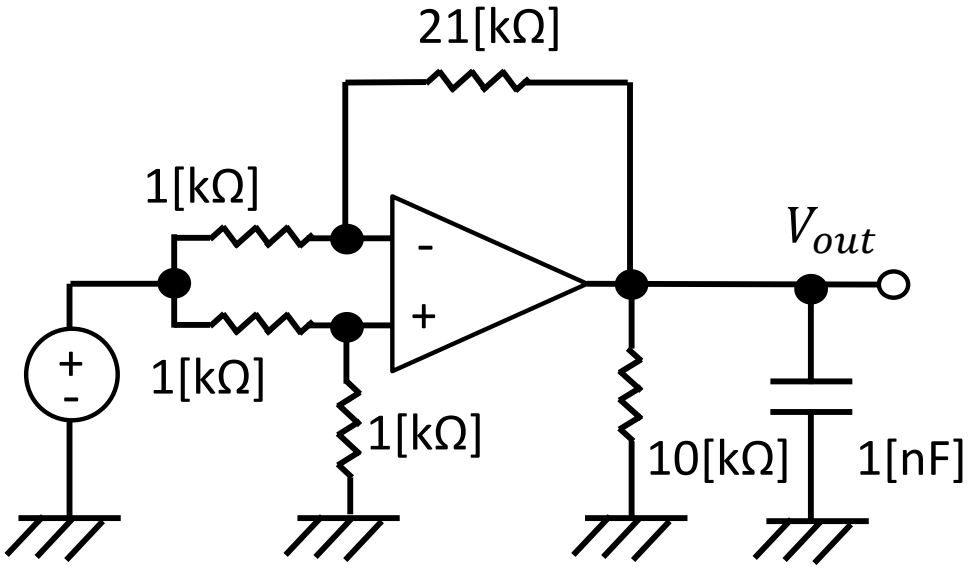
サイズ

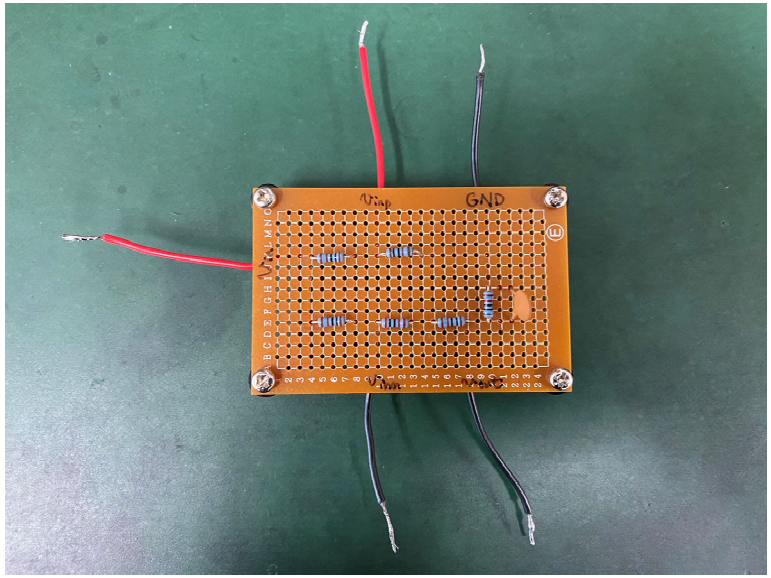
縦　138.7[μm]
横　166.9[μm]

Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

チップの評価方法

閉ループ利得10倍の評価回路を用いて評価





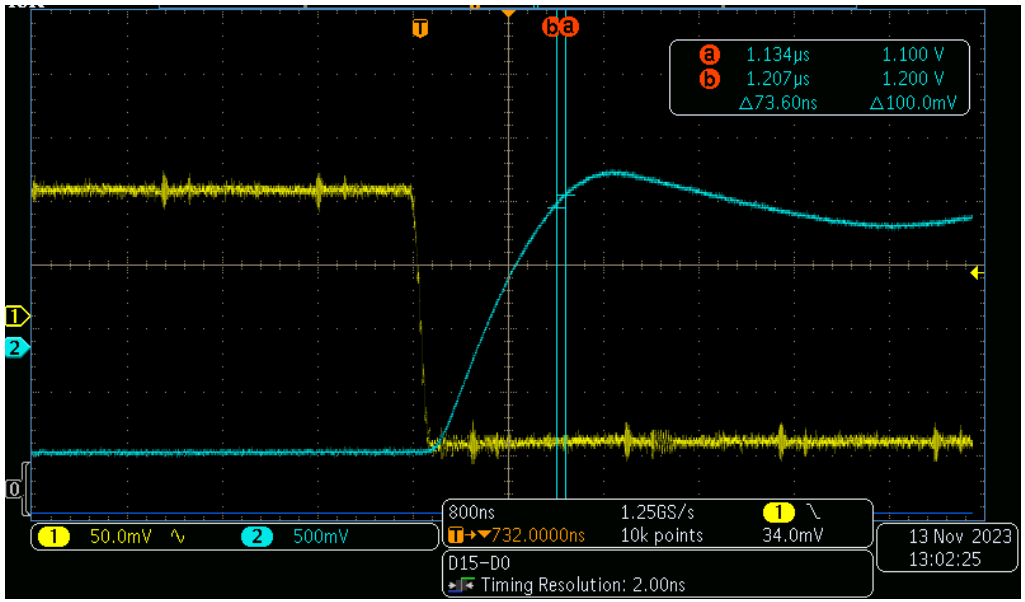
設計仕様項目	仕様要件
帯域幅	20[kHz]以上
入力電圧範囲	±100[mV]以上
スルーレート	1[V/μs]

それぞれの設計仕様が
満足されるかを計測

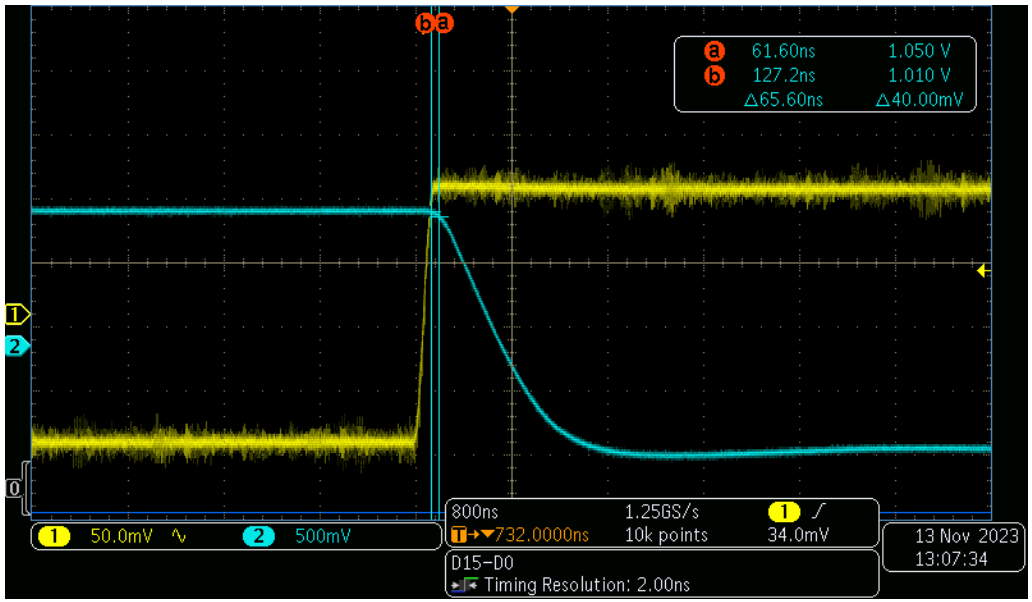
Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

スルーレート計測結果

SR_r



SR_f



スルーレート結果

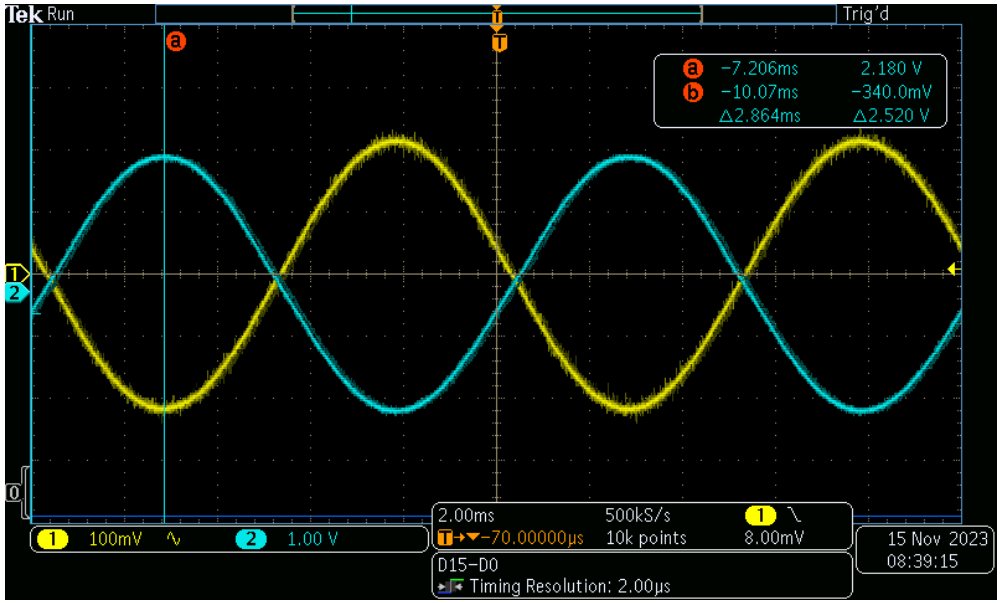
$SR_r[\mathrm{V/\mu s}]$	$SR_f[\mathrm{V/\mu s}]$
1.88	1.33

入力波形

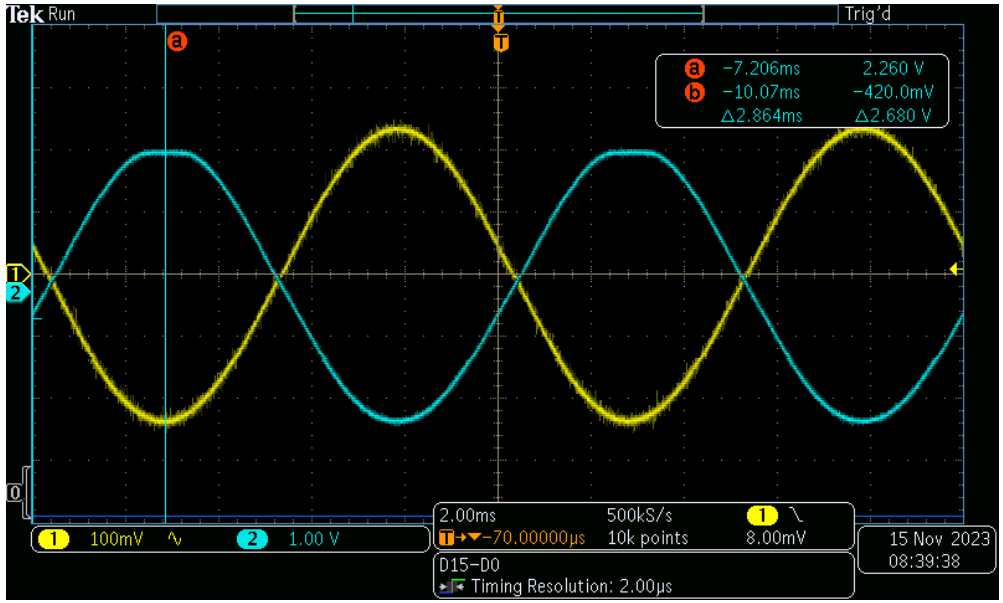
出力波形

同相入力電圧の評価結果

振幅226 [mV]



振幅236 [mV]



同相入力電圧	
設計値 [mV]	実測値[mV]
220	226

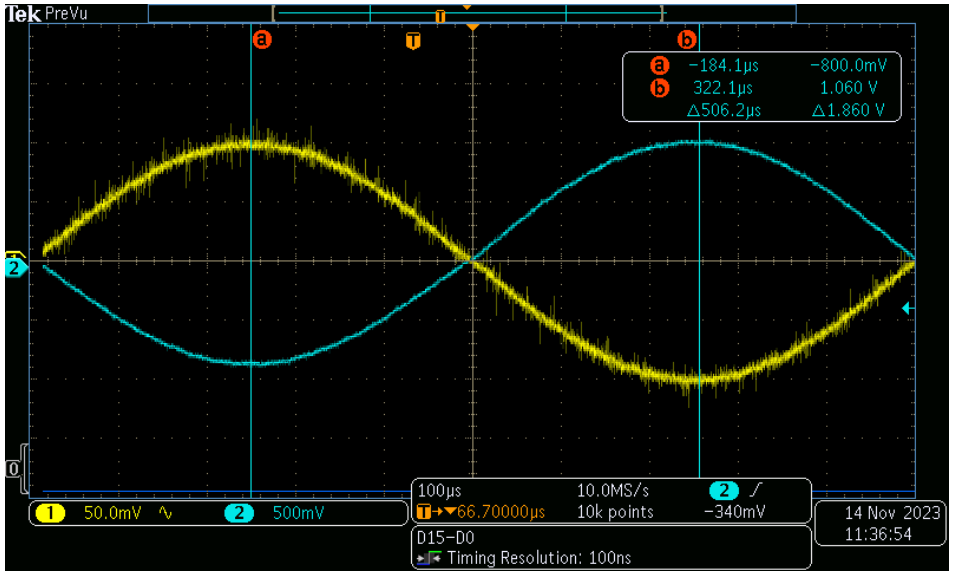
入力波形

出力波形

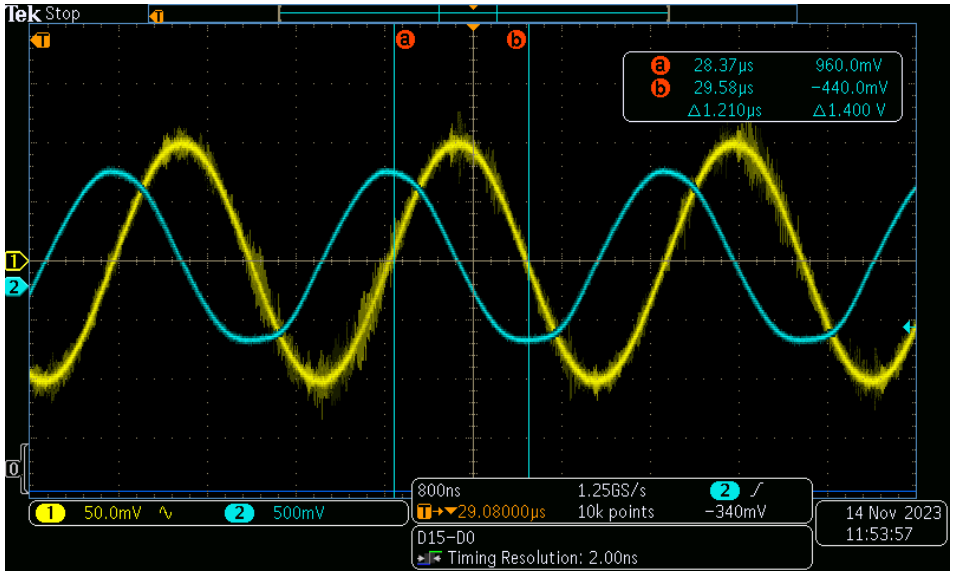
Department of Engineering Energy System Course,
Graduate School of Engineering, University. of Miyazaki

周波数帯域の評価結果

1[kHz]の場合



415[kHz]の場合



周波数帯域	
設計値 [kHz]	実測値 [kHz]
144	415

入力波形

出力波形

評価結果

設計仕様項目	仕様要件	設計値	実測値
帯域幅	20[kHz]	144[kHz]	415[kHz]
入力電圧範囲	±100[mV]以上	±220[mV]	226[mV]
スルーレート	1[V/μs]以上	1.12[V/μs]	1.33[V/μs]
消費電流		27[μA]	54.5[μA]

消費電流が増大していた

▽

消費電流が増大した原因

消費電流を絞るためにバイアス抵抗を大きく設計

▽

高抵抗がばらついた際にバイアス電流が大きく変動

まとめ

コンテスト出場で学んだこと

- 試作の部に出場したことで、設計からレイアウト、評価まで行うことができ、大変勉強になった。
- 出力抵抗や出力容量が回路に与える影響を、設計を通して学ぶことができた。

謝辞

今回このような機会を与えてくださった演算増幅器設計コンテスト運営の方々及び協賛企業の方々に厚く御礼申し上げます。

演算増幅器設計コンテスト
シミュレーションの部　第3位

津山工業高等専門学校 専攻科 電子・情報システム工学専攻 2年
尾川侑希

回路を作製するにあたって

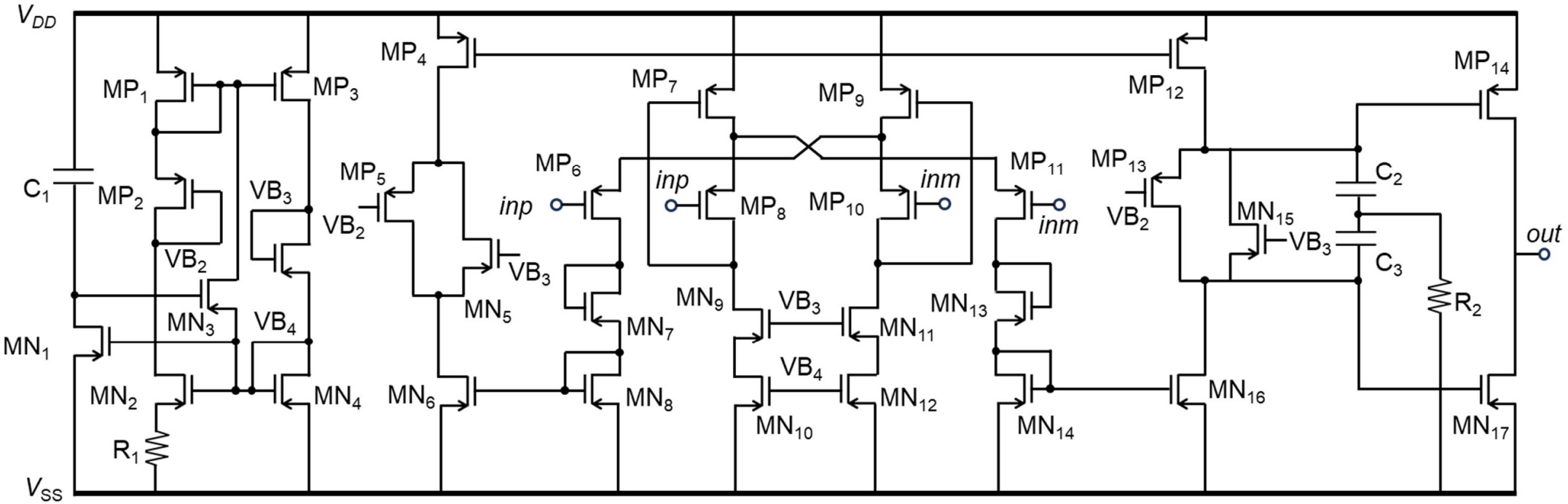
これまでに2度、演算増幅器設計コンテストに参加させていただいた。
設計した回路が動作しなかった。

⇒今年は良好に動作する演算増幅器を作製したい。

＜良好に動作する演算増幅器を作製するために＞

前年度の入賞回路を参考にし、回路を提案する。
昨年度の試作の部2位で南山 陸さんの回路を参考にさせていただいた。
⇒トランジスタやキャパシタ、抵抗の数が比較的少ない回路である。
レイアウト設計でのミスをなくすために、シンプルなレイアウトにする。

提出回路



pMOS : L=1.2 μm , W=12 μm

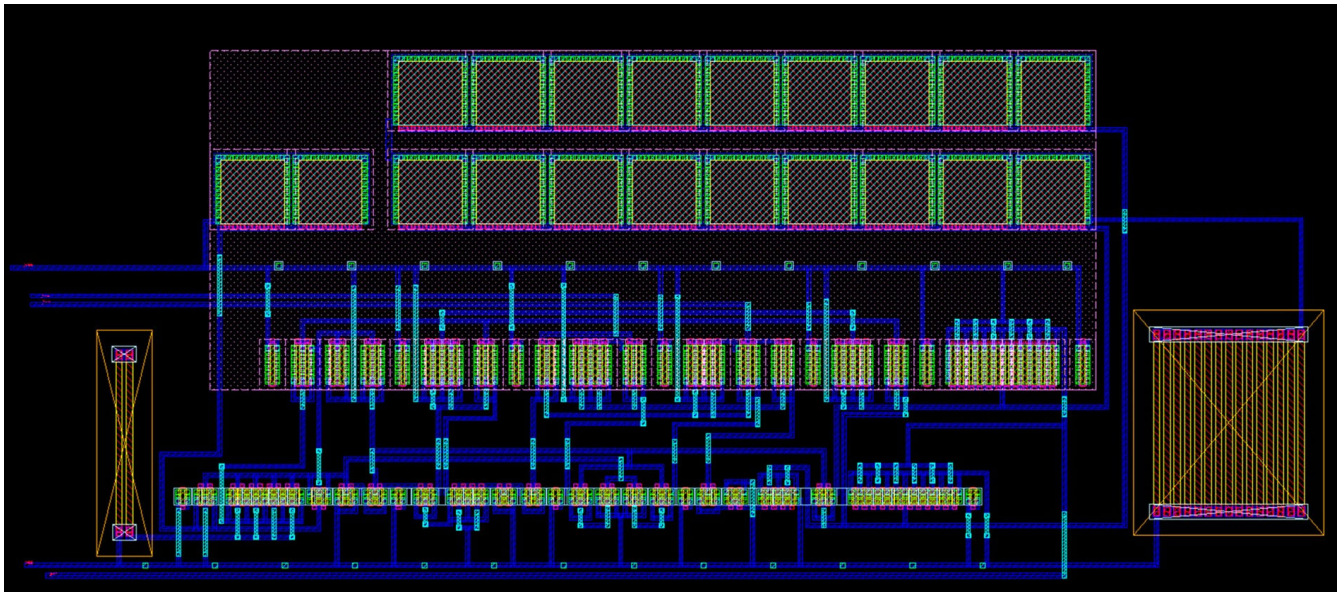
nMOS : L=1.2 μm , W= 4 μm

R_1 = 200 kΩ , R_1 = 1500 kΩ

C_1 = 1.0 pF , C_2 = C_3 = 9.0 pF

	MP_1~MP_3, MP_5, MP_6, MP_9~MP_{11},MP_{13}, MN_1, MN_3~MN_5,MN_7~MN_{15}	MP_4,MP_7, MP_8, MP_{12}, MN_6, MN_{16}	MN_2	MP_{14},MN_{17}
Multiplier	2	4	8	12

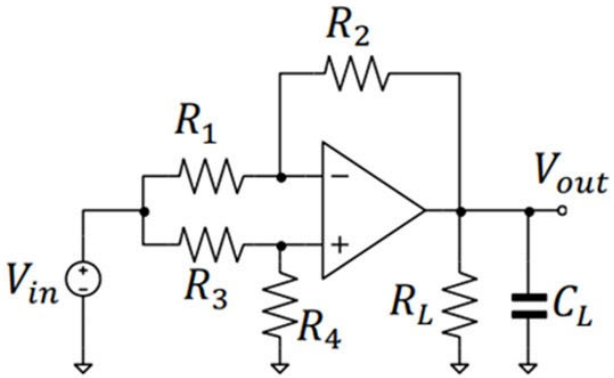
レイアウト図



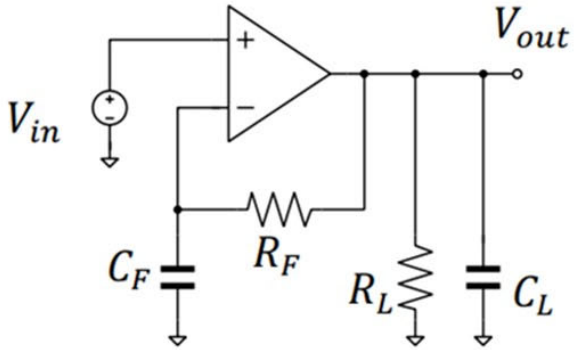
設計時に意識したこと

・配線を多層化しない。
・配線を太くする。
・複雑にならないようにシンプルなレイアウトにする。

評価回路および要件



(a)



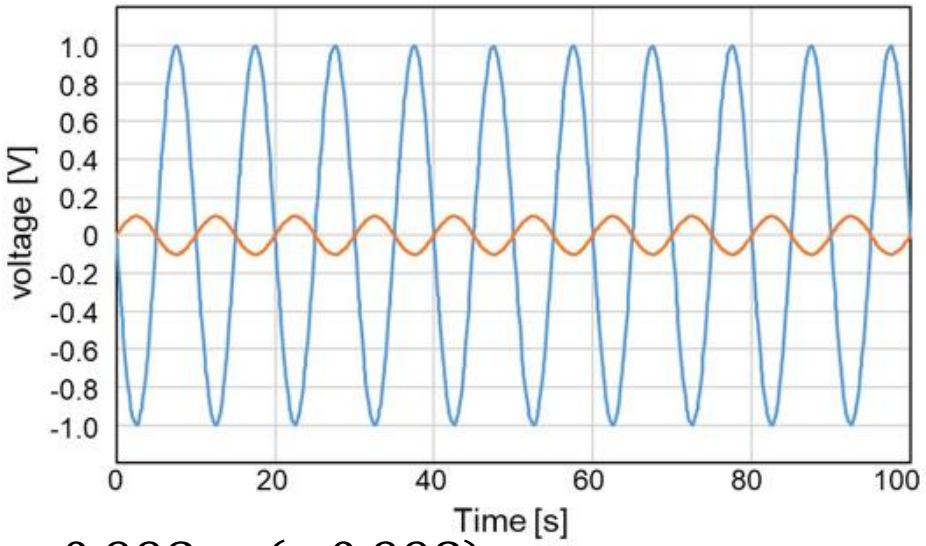
(b)

項目	要件	評価回路
直流利得	40dB以上	(b)
帯域幅	20kHz以上	(a)
入力電圧範囲	±100mV以上	(a)
スルーレート	±1V/us以上	(a)

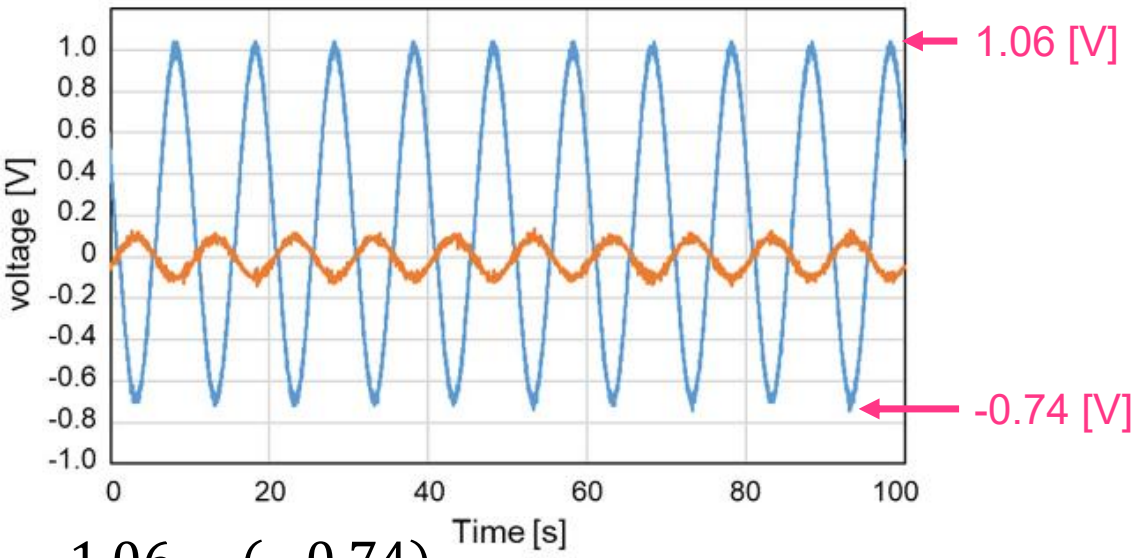
直流利得

(b)回路 シミュレーション結果 42.64 [dB]　　実測結果

(a)回路 シミュレーション結果



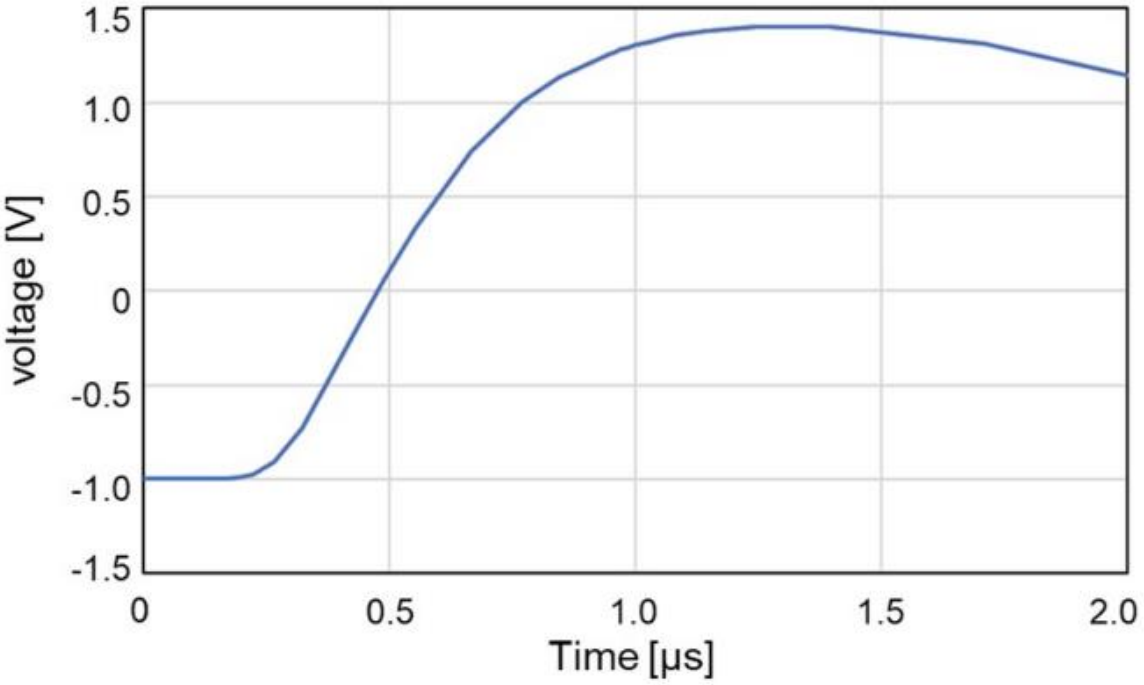
$$\frac{0.998-(-0.998)}{0.1-(-0.1)}=9.98$$　19.98 [dB]



$$\frac{1.06-(-0.74)}{0.1-(-0.1)}=9.0$$　19.08 [dB]

スルーレート　シミュレーション結果

立ち上がり



立ち上がり遷移時間 t_r

$t_r = 0.751 - 0.228 = 0.523$ [μs]

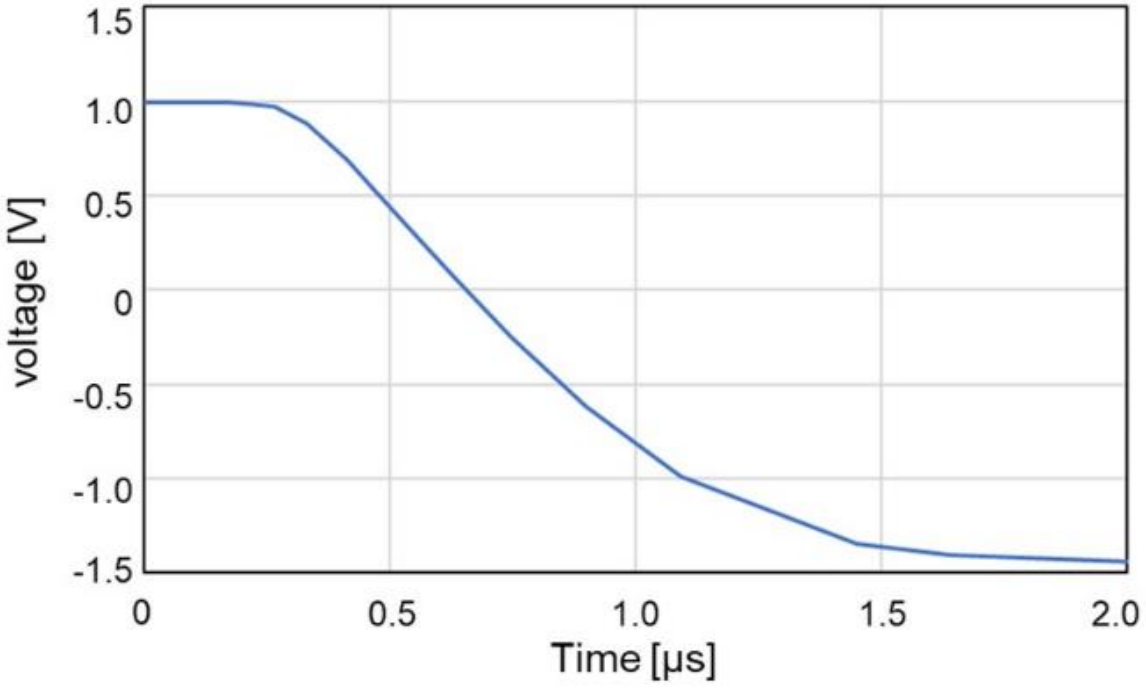
立ち上がりスルーレート SR_r

$SR_r = \frac{1.8}{0.523} = 3.46$ [V/μs]

$SR_r = 3.46$ [V/μs]

スルーレート　シミュレーション結果

立ち下がり



立ち下がり遷移時間 t_f

$t_f = 1.045 - 0.318 = 0.727$ [μs]

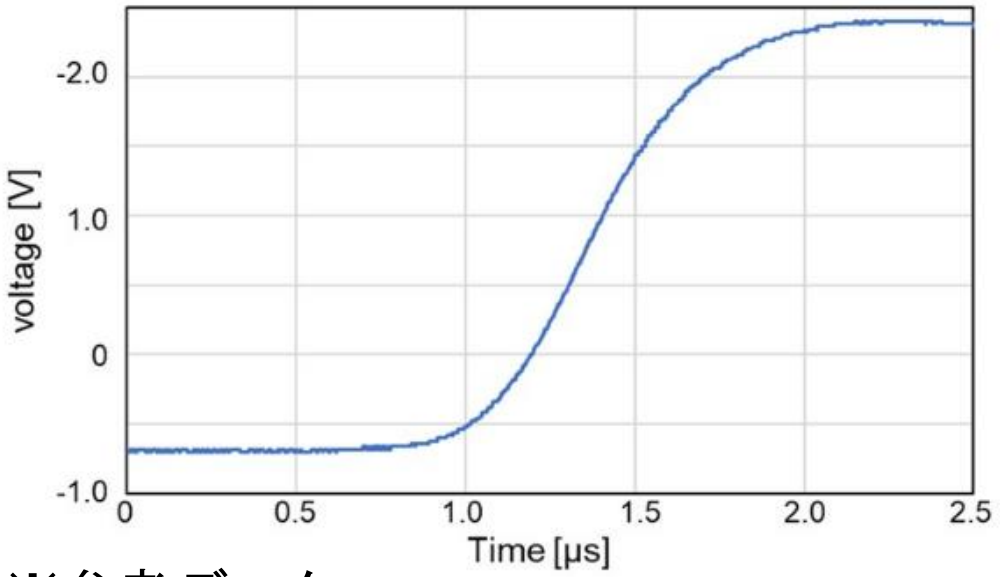
立ち下がりスルーレート SR_r

$SR_f = \frac{1.8}{0.727} = 2.48$ [V/μs]

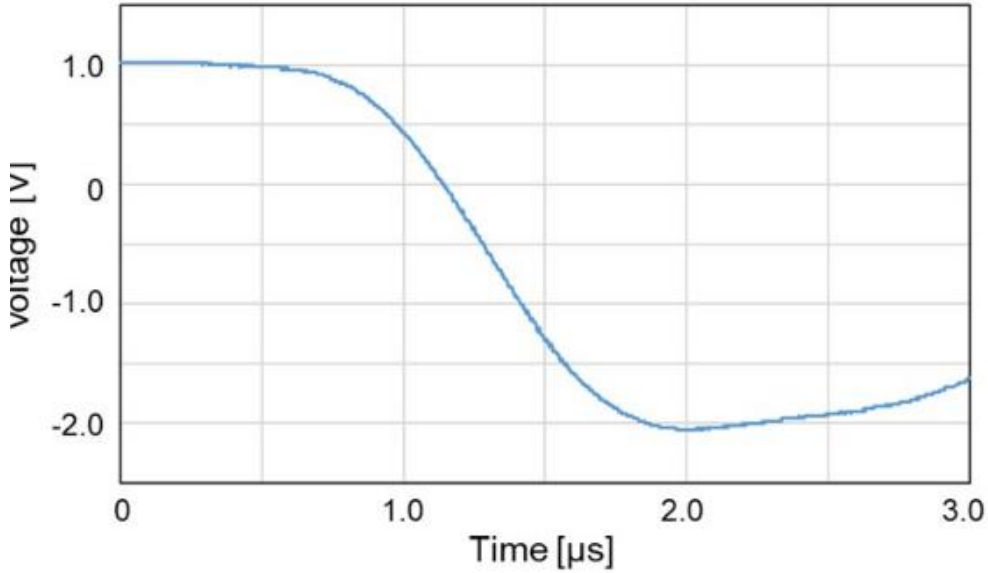
$SR_f = 2.48$ [V/μs]

スルーレート　実測結果

立ち上がり



立ち下がり



※参考データ

$SR_r = 2.74$ [V/μs]

$SR_f = 2.81$ [V/μs]

シミュレーション結果と実測結果

項目	シミュレーション結果	実測結果
直流利得	19.98 [dB]	19.08 [dB]
消費電流	58.0 [μA]	66.2 [μA]
帯域幅	210 [kHz]	345 [kHz]
上昇スルーレート	3.46 [V/μs]	2.74 [V/μs]※
下降スルーレート	2.49 [V/μs]	2.81 [V/μs]※
入力電圧範囲	±251 [mV]	測定できず

まとめ

- 今回は動作する回路を設計することができた。
  ⇒良好に動作する回路が設計できたといえる内容ではなかった。
- レイアウト設計におけるミスをなくすために、ガードリングなどを行わない簡単なレイアウトにした。
- チップを壊してしまい、測定できない項目ができてしまった。
- オペアンプについてよく理解できていない自分も、このようなコンテストに参加させていただきありがとうございました。

謝辞

このような機会を与えてくださった演算増幅器設計コンテスト運営の方々および協賛企業の方々に厚くお礼申し上げます。

演算増幅器設計コンテスト
発表資料

試作の部：2位

令和 6 年 1 月 26 日

演算増幅器設計コンテスト発表会

有明工業高等専門学校
National Institute of Technology, Ariake College

生産情報システム工学専攻2年
ICLab(石川・清水・野口研究室) 待鳥維吹

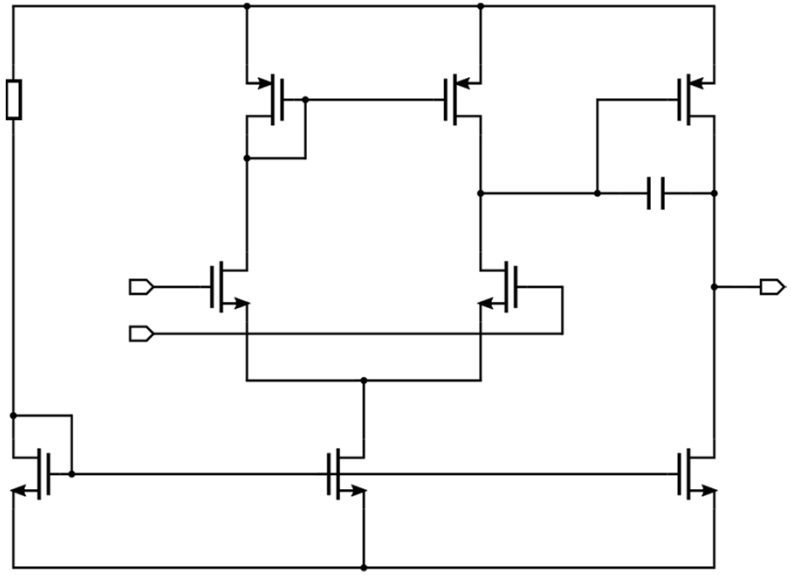
Copyright © 2024 ICLab. All Rights Reserved.

設計方針・目標

試作の部の評価項目

-10倍の増幅回路における無信号時の消費電力

➡去年より低消費電力な回路を設計することを目標に!!



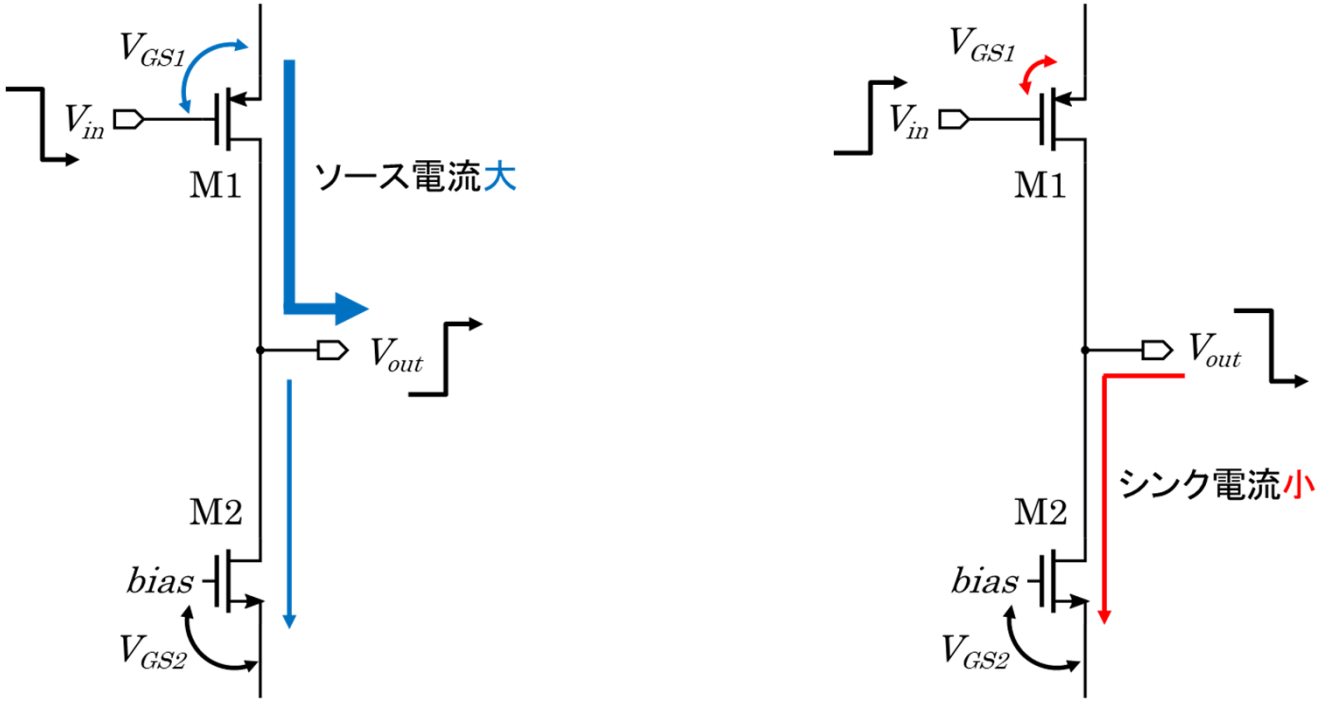
2022年：差動増幅回路+ソース接地回路の基本的な回路構成

➡ただ電流を絞るだけではスルーレートの要件を満たせない

Copyright © 2024 ICLab. All Rights Reserved.

設計方針・目標

出力段にソース接地回路を用いた場合



NMOSのV_{GS}が常に一定なので大きいシンク電流が流せない

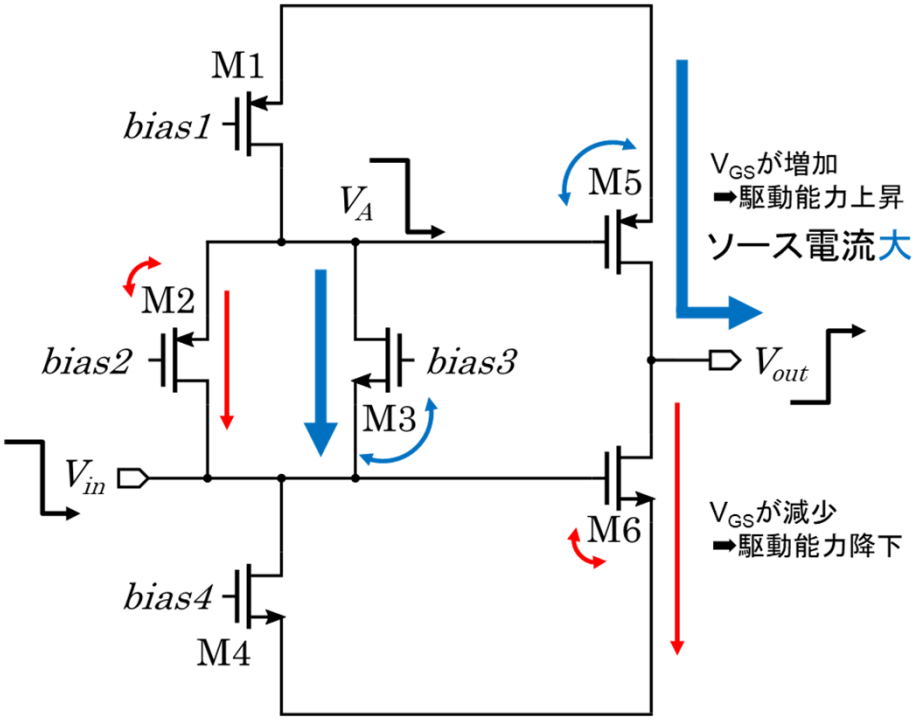
要件である1.0[nF]の負荷を1.0[V/μs]で駆動する場合

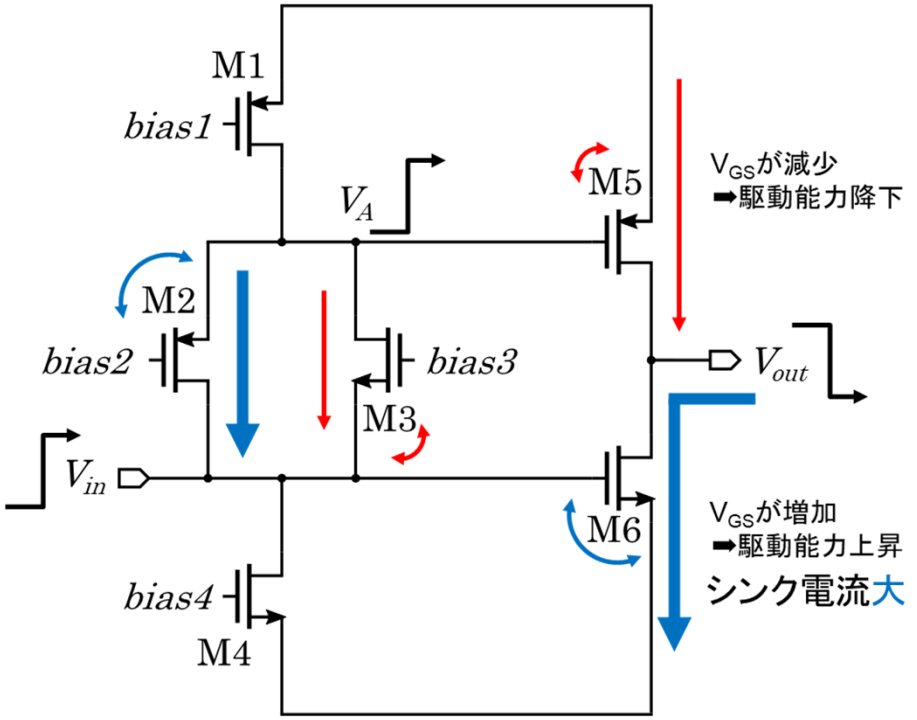
➡最低1.0[mA]のアイドル電流が必要，消費電力大

Copyright © 2024 ICLab. All Rights Reserved.

設計方針・目標

AB級出力回路の動作原理





並列接続されたMOSに流れる電流量の差によってレベルシフトを実現

➡2つの出力トランジスタのゲート電圧を変化

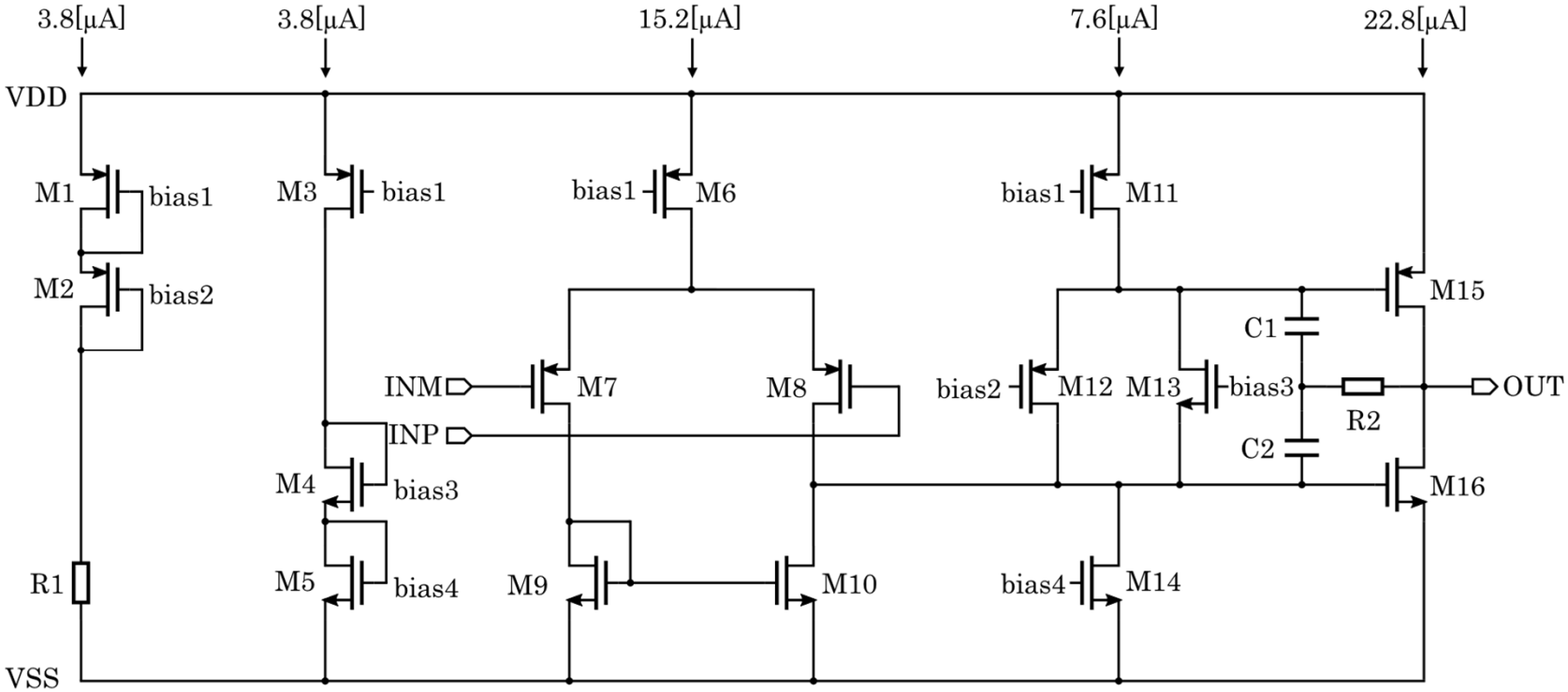
➡大きなシンク電流，ソース電流を取り出せる

Copyright © 2024 ICLab. All Rights Reserved.

回路構成

提出回路

差動増幅回路+AB級出力回路



素子番号	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	M15	M16	R1	R2
W[μm]	10.0	10.0	10.0	2.7	2.7	10.0	10.0	10.0	2.7	2.7	10.4	10.0	2.7	2.7	10.0	2.7	750[kΩ]	200[kΩ]
L[μm]	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	1.2	C1	C2
M	1	1	1	1	1	4	2	2	2	2	2	1	1	2	6	6	0.6[pF]	0.6[pF]

Copyright © 2024 ICLab. All Rights Reserved.

レイアウト

レイアウトの知識が少ない…

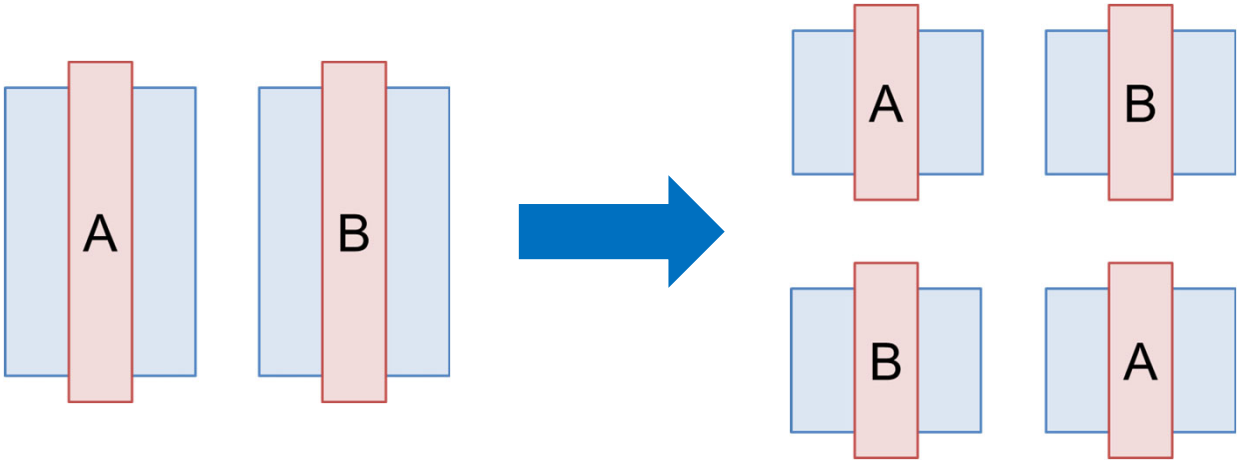
書籍＆過去の発表資料で重要なレイアウト技術について学習

自分なりに取り入れたレイアウト技術

コモンセントロイド配置

素子を分割してタイル状に配置

➡ペア性が重要な素子のミスマッチを低減出来る



Copyright © 2024 ICLab. All Rights Reserved.

レイアウト

近接配置

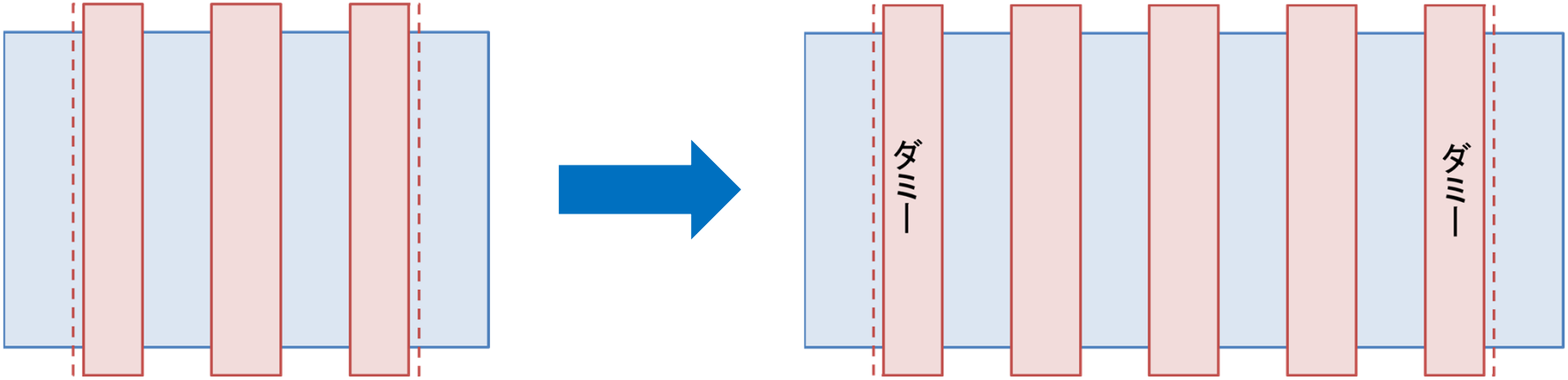
素子と素子の距離を離しすぎない

➡チップへストレスがかかった場合にもペア性を保つ

ダミーパターンの配置

エッチング工程時に素子の端部が削られる

➡ダミーを配置することで素子のサイズを保つ



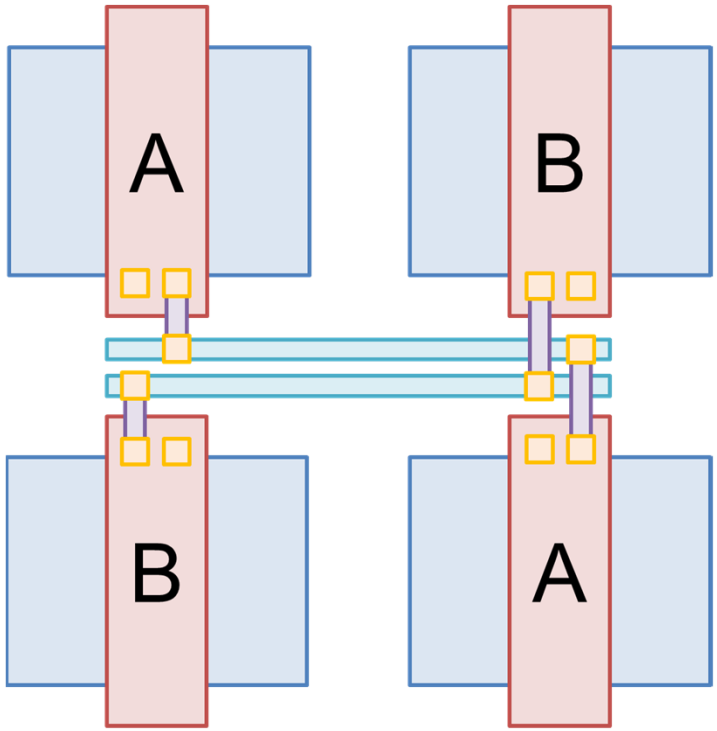
Copyright © 2024 ICLab. All Rights Reserved.

レイアウト

等長配線

冗長になっても良いので配線の長さを揃え，対称性を持たせる

➡ペアである素子で寄生容量や抵抗値が変化するのを避ける

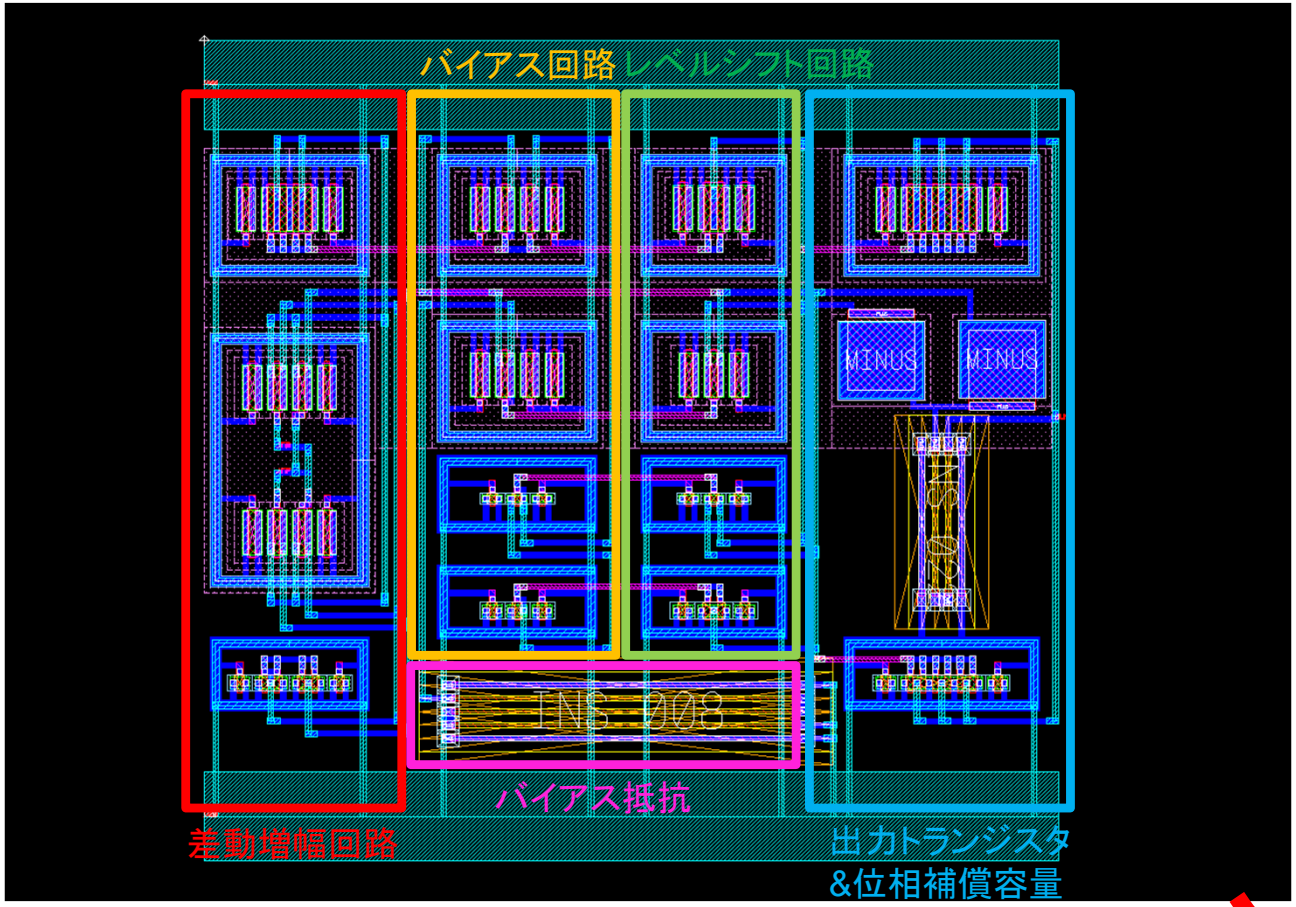


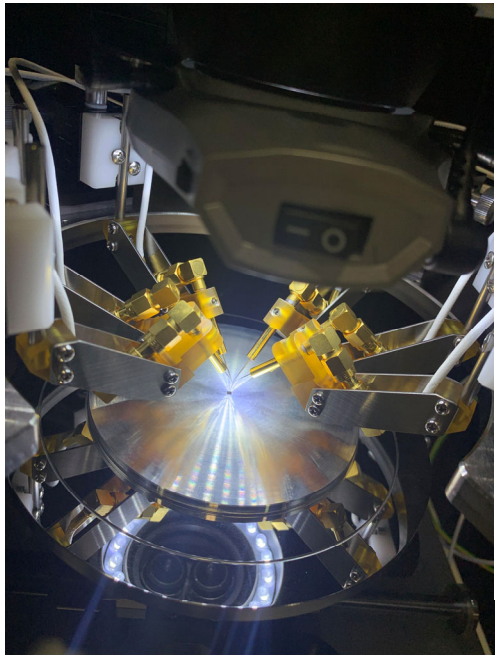
等長配線を意識した
差動対のレイアウト例

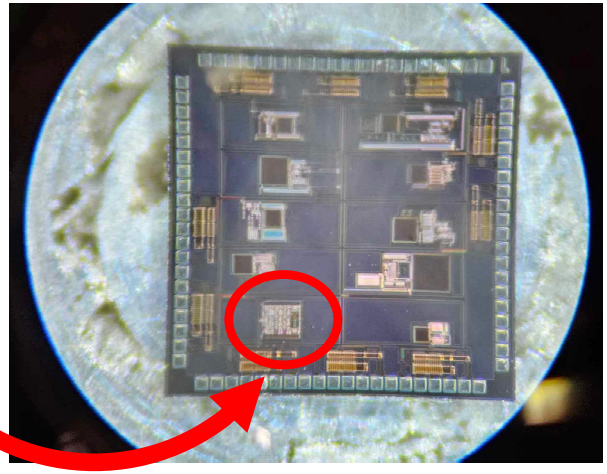
Copyright © 2024 ICLab. All Rights Reserved.

レイアウト

作成したレイアウト＆チップ写真



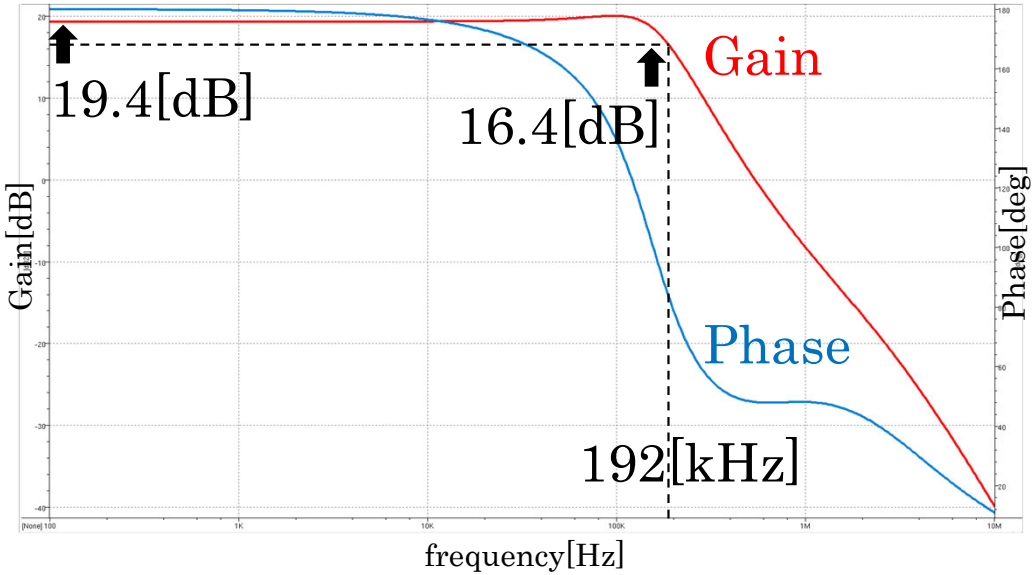


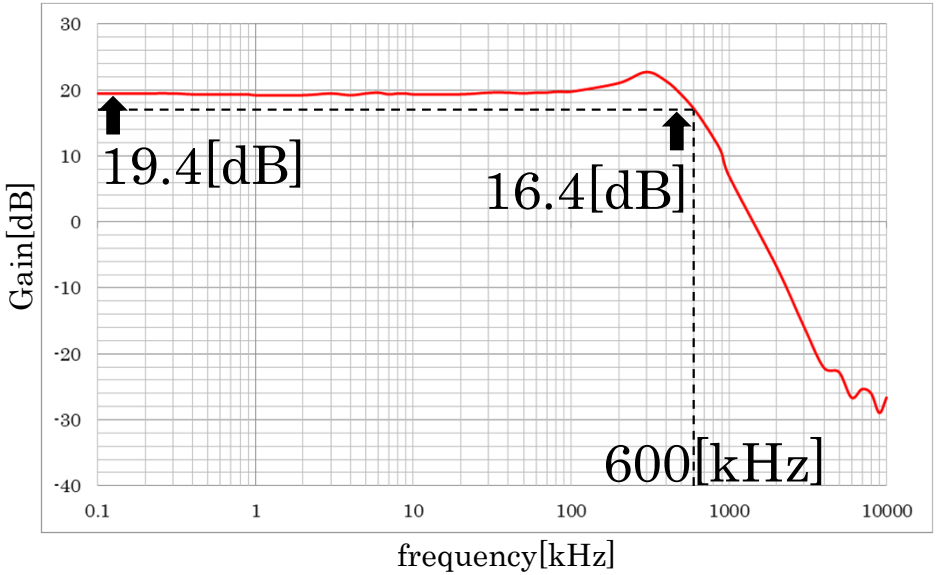


Copyright © 2024 ICLab. All Rights Reserved.

Sim結果と実測結果

周波数特性





シミュレーション

直流利得：19.4[dB]

(開ループ時：52.2[dB])

位相余裕：46.5[deg]

帯域幅：192[kHz]

実測

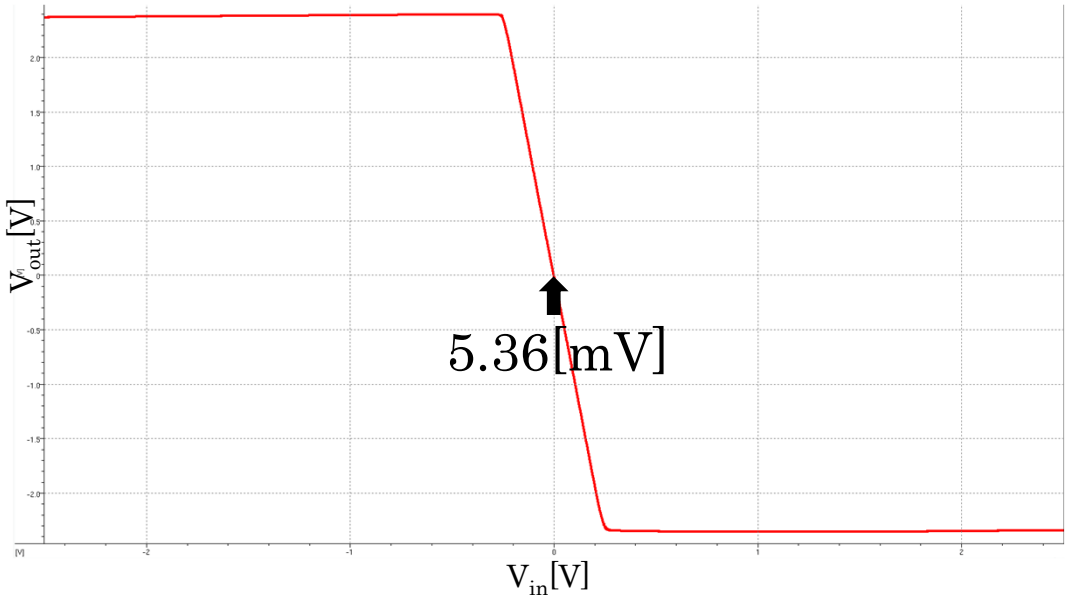
直流利得：19.4[dB]

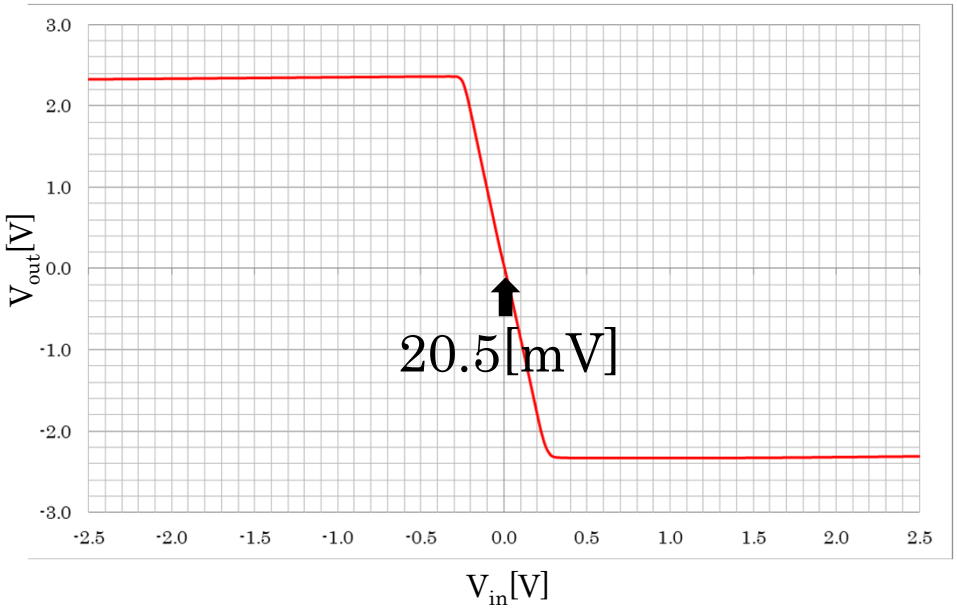
帯域幅：600[kHz]

Copyright © 2024 ICLab. All Rights Reserved.

Sim結果と実測結果

入力電圧範囲，出力オフセット





シミュレーション

入力電圧範囲：246[mV]

出力オフセット電圧：5.36[mV]

実測

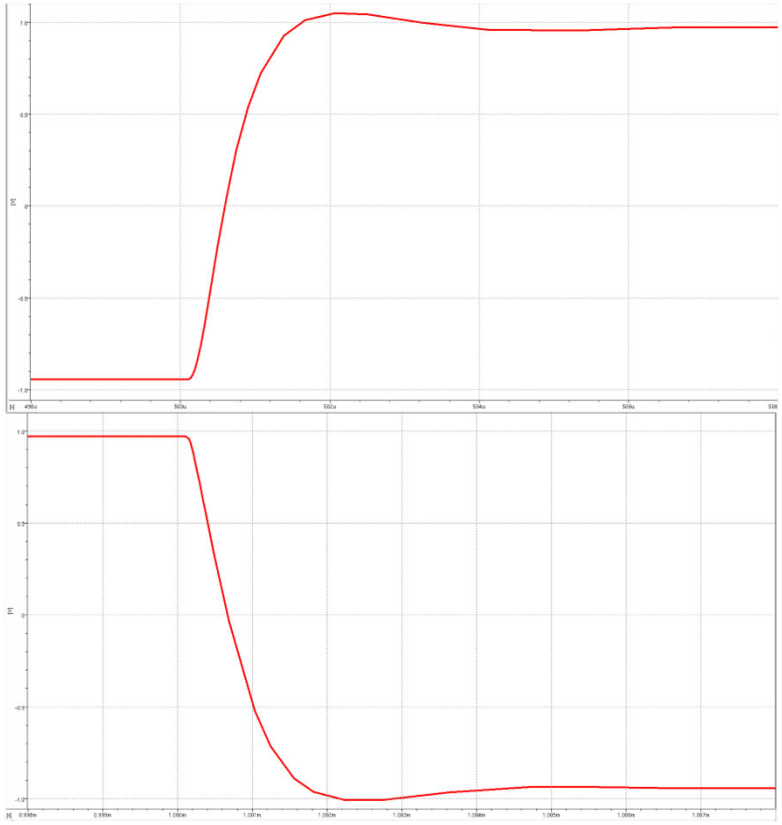
入力電圧範囲：230[mV]

出力オフセット電圧：20.5[mV]

Copyright © 2024 ICLab. All Rights Reserved.

Sim結果と実測結果

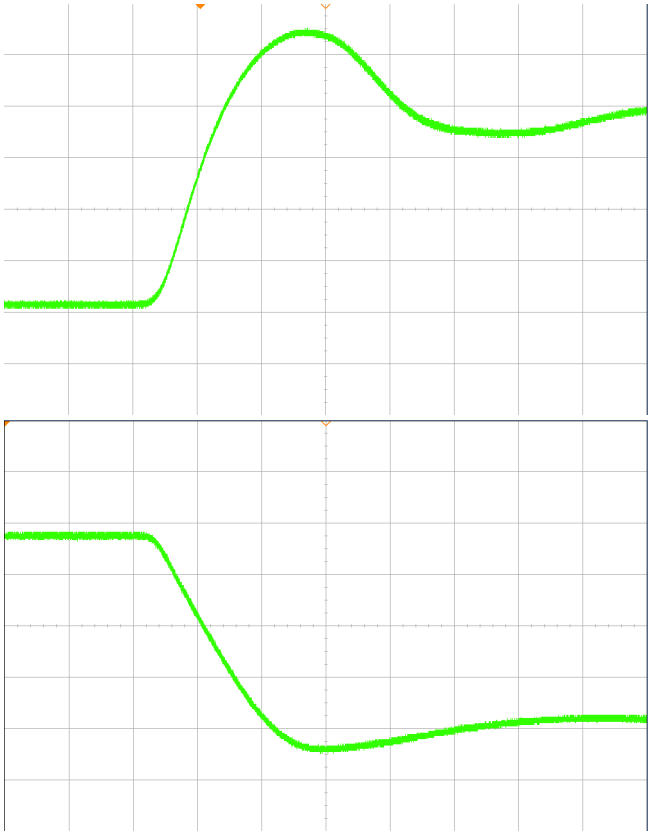
スルーレート



シミュレーション

立上がり：1.55[V/μs]

立下り：1.28[V/μs]



実測

立上がり：2.00[V/μs]

立下り：1.80[V/μs]

Copyright © 2024 ICLab. All Rights Reserved.

Sim結果と実測結果

測定結果の比較

特性		シミュレーション結果	実測結果	単位
直流利得		19.4	19.4	dB
帯域幅		192	600	kHz
出力オフセット電圧		5.36	20.5	mV
入力電圧範囲		246	230	mV
スルーレート	立上がり	1.55	2.00	V/μs
	立下り	1.28	1.80	
消費電流	V_{DD}側	54.8	55.7	μA
	V_{SS}側	54.0	51.9	

- 帯域幅が増加，スルーレートも立上がり，立下り共に上昇

➡位相補償容量のバラつきが原因??

- 出力オフセット電圧の増加，V_{DD}側/V_{SS}側での消費電流に差

➡レベルシフト回路の定電流源のMOSの特性がバラついた??

Copyright © 2024 ICLab. All Rights Reserved.

まとめ・感想

- シミュレーションと実測での特性に違いがある

➡素子の特性がある程度バラつくことを見込んで設計するべき

➡コーナー解析の重要性を理解

- レイアウトの難しさを体感，改善すべきところがたくさん

➡実際に作業を行いながらレイアウト技術について学びたい

- 自分なりの目標が達成できて良かった

  シミュレーション通りとはいかなかったが，動いてくれて嬉しい

  今回の課題を改善しつつ，大学院進学後も挑戦したい

Copyright © 2024 ICLab. All Rights Reserved.

謝辞

このような貴重な機会を与えてくださった
コンテスト運営及び審査委員の皆様と
協賛企業の皆様に深く感謝を申し上げます

Copyright © 2024 ICLab. All Rights Reserved.

Thank you for your attention!

Copyright © 2024 ICLab. All Rights Reserved.

2023年度演算増幅器設計コンテスト

部門1:1位　部門3:2位
試作の部:1位

東京都市大学 理工学部 電気電子通信工学科

集積化システム研究室

学部4年 森下航

目次

- 部門1
  - 設計方針
  - 回路構成
  - 回路の工夫点
  - 評価結果
- 部門3
  - 設計方針
  - 回路構成
  - 回路の工夫点
  - 同相利得のピーキング
  - 評価結果
- 試作の部
  - 設計方針
  - 回路構成
  - レイアウト
  - 測定結果
- 感想

部門1

部門１　設計方針

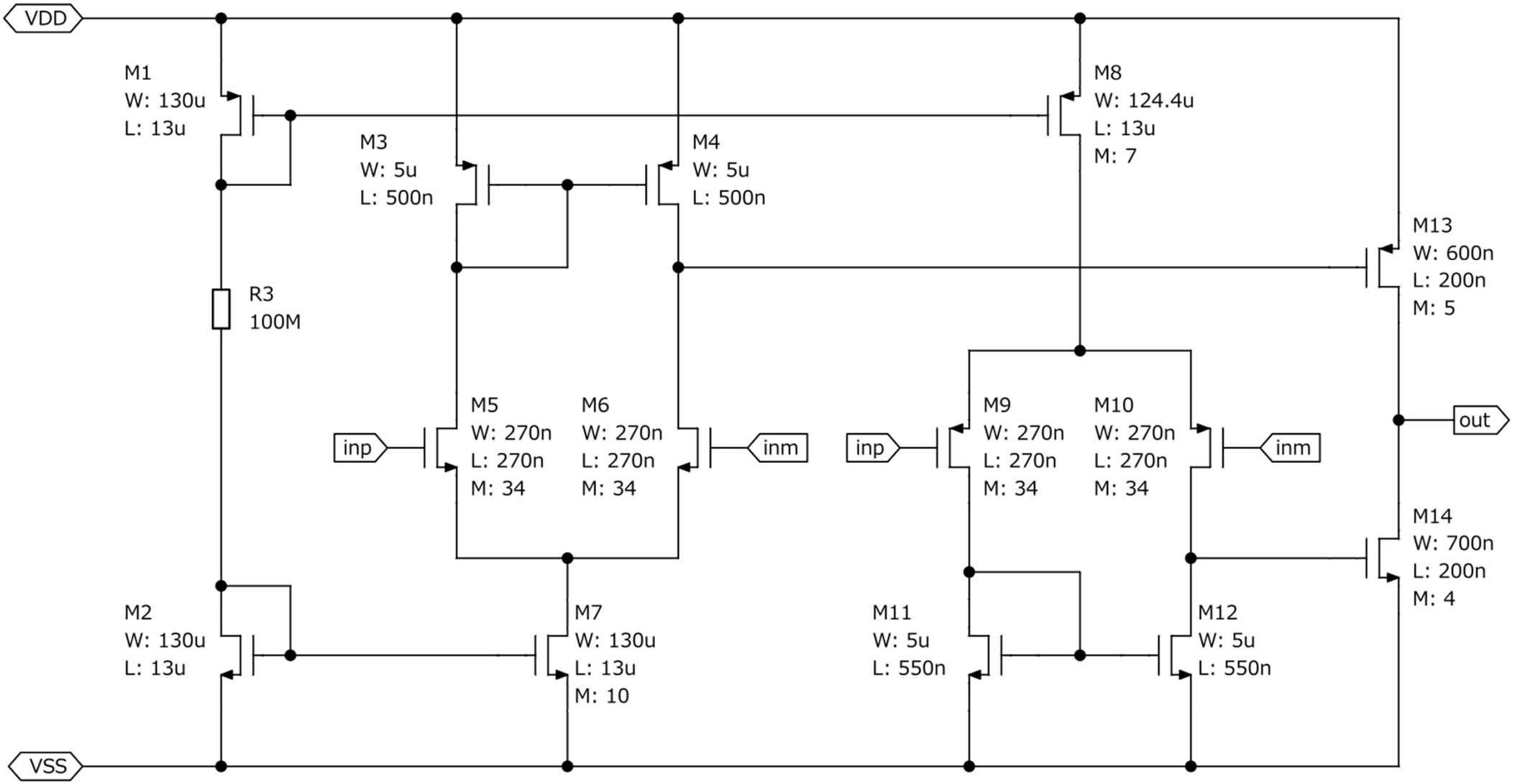
$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得 [dB]}}{\text{消費電流}}$$

- 直流利得はdB値で評価
  ⇒ 極端に高くする必要はない

- スルーレートは立ち上がり/下がりの小さい方で評価
  ⇒ 立ち上がり/下がりの速度をそろえた方が効率的

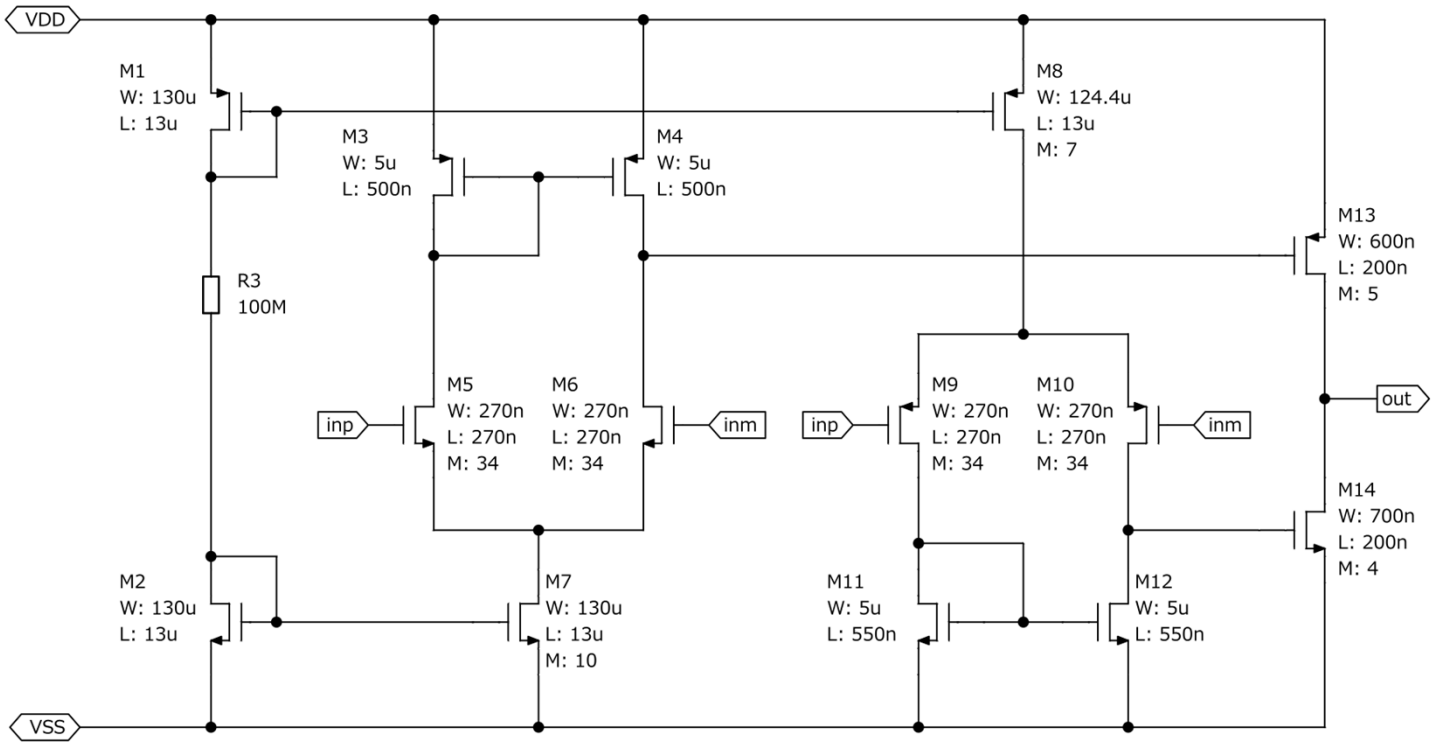
- 消費電流を小さくし、スルーレートを極限まで上げることが高得点につながる

部門１　回路構成



- 電源電圧 3V

部門１　回路の工夫点



目標	工夫点
上下対称なSR、 広い同相入力範囲	入出力レールツーレール構成
高SR	位相補償容量の排除、出力Trの小型化
低消費電力	コンテストで使える最大の抵抗値

部門１　評価結果

評価項目	結果
スルーレート	3.494e+10 V/s
同相入力範囲	100 %
直流利得	63.85 dB
消費電流	762.7 nA

スコア：2.924e+20

- 初段が駆動する容量性負荷を極限まで小さくする試みが成功
- 無信号時の消費電流を抑えつつ高SRを達成できた

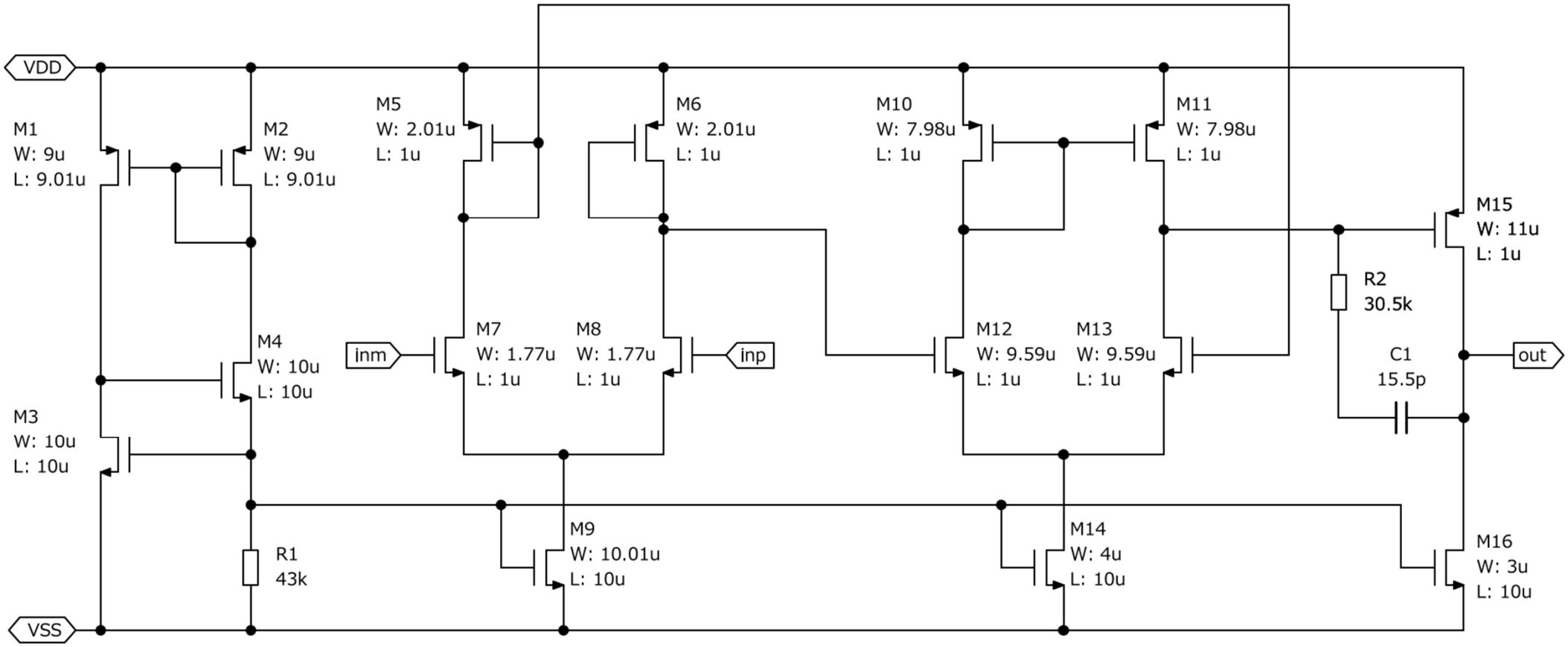
部門3

部門３　設計方針

$$\frac{\text{電源電圧変動除去比 [倍]} \times \text{同相除去比 [倍]}}{\text{直流利得 [倍]} \times \text{電源電圧 [V]}}$$

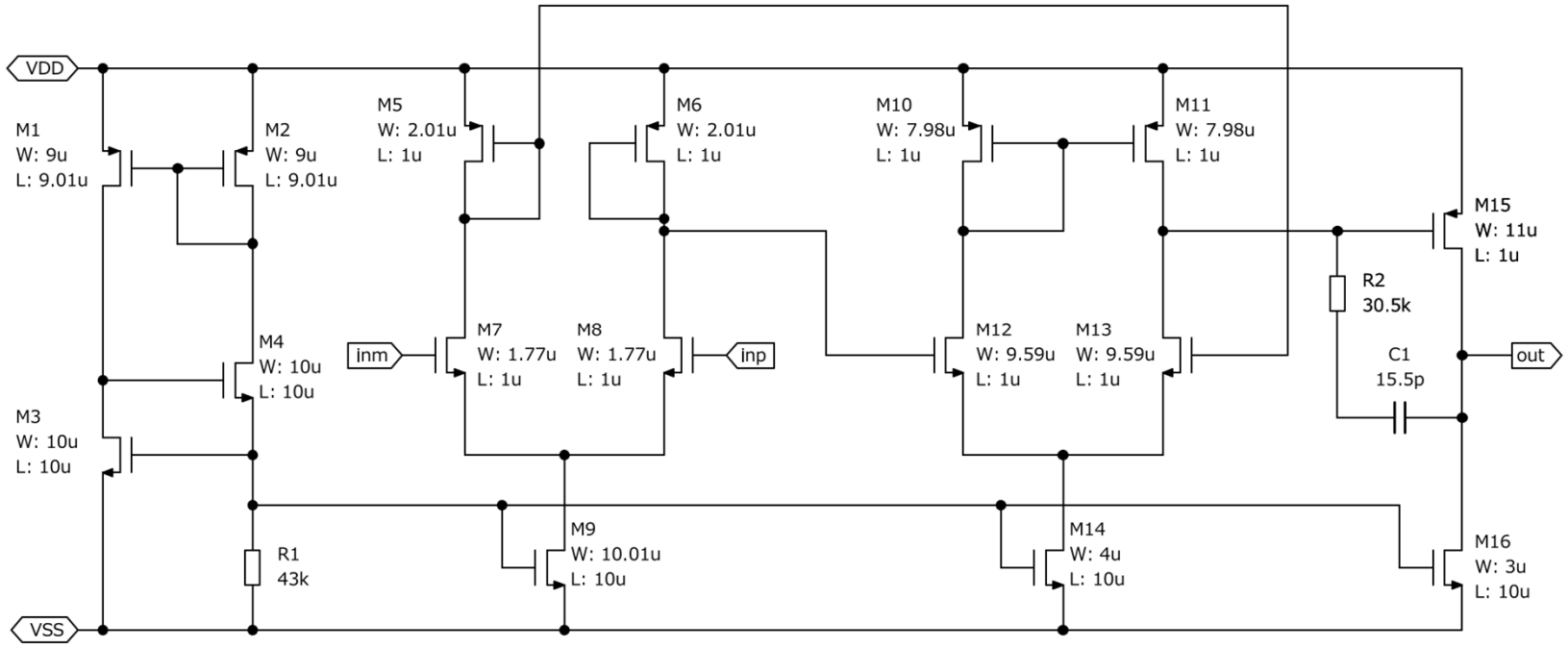
- PSRR、CMRR、利得はdBではなくリニア値で評価
  ⇒ これらの値は高くする価値がある。特にCMRRは上げやすいパラメータ
- 今年は直流利得が2乗ではなくなった
  ⇒ 直流利得が大きくてもスコアへの影響は少ない
- 電源電圧は極端に下げることができないため、高くても問題ない

部門３　回路構成



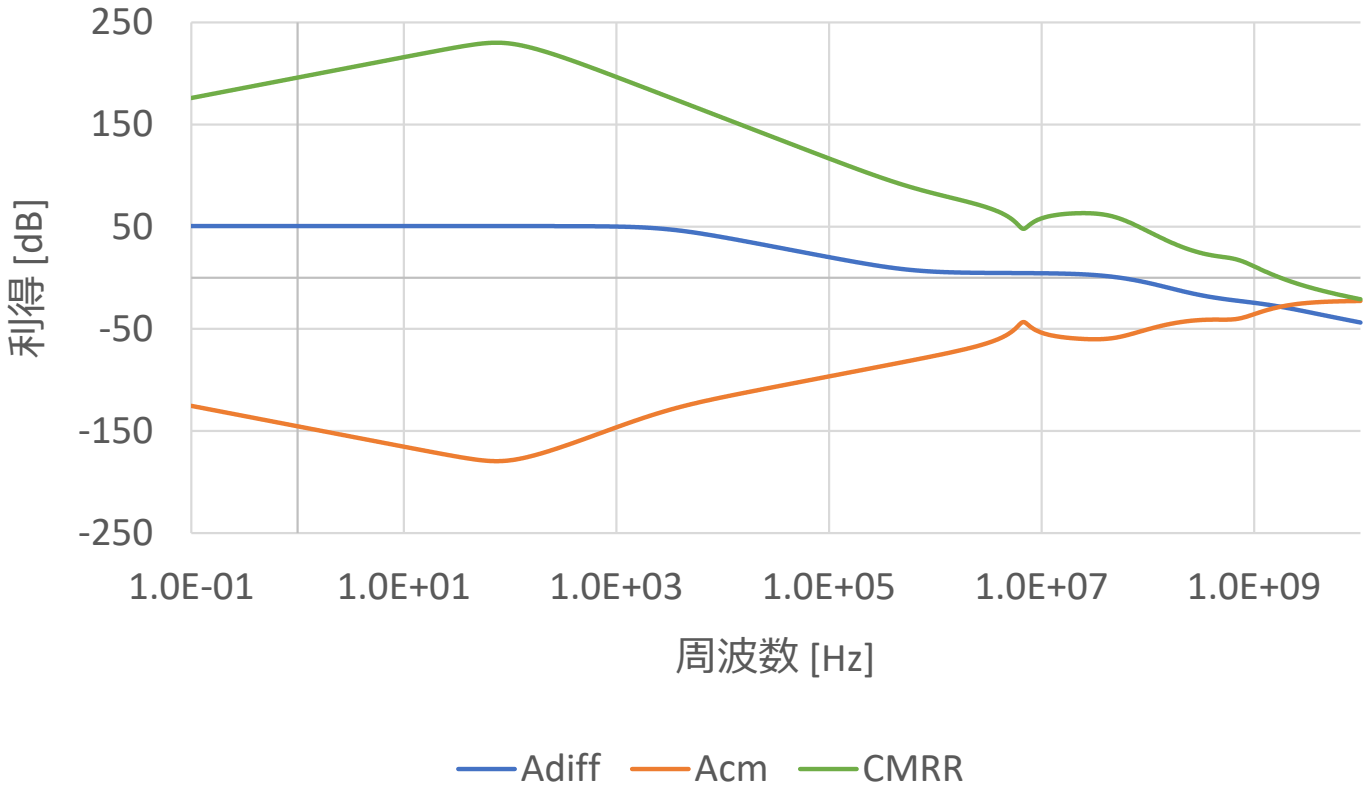
- 電源電圧 3V

部門３　回路の工夫点



目標	工夫点
高PSRR	Vth referenced 自己バイアス回路
低Acm	直列二段の差動増幅回路
各段のAcmのピークを近づける	細かい刻みのトランジスタサイズ

部門３　同相利得のピーキング



- CMRRは最大値が得点になる
  ⇒ 各段の同相利得のピークを100Hz付近に集め、高いCMRRを実現

部門３　評価結果

評価項目	結果
電源電圧変動除去比	91.38 dB
同相除去比	256.3 dB
直流利得	91.16 dB
電源電圧	3.0 V

スコア：2.232e+12

- トランジスタサイズの最小刻み幅を活用し特性を合わせこんだ
  ⇒ 高CMRRを達成。さらに段数を増やせばより高いCMRRを実現できる？

- PSRR改善、出力抵抗の低減によりスコア向上の見込みあり

試作の部

試作の部　設計方針

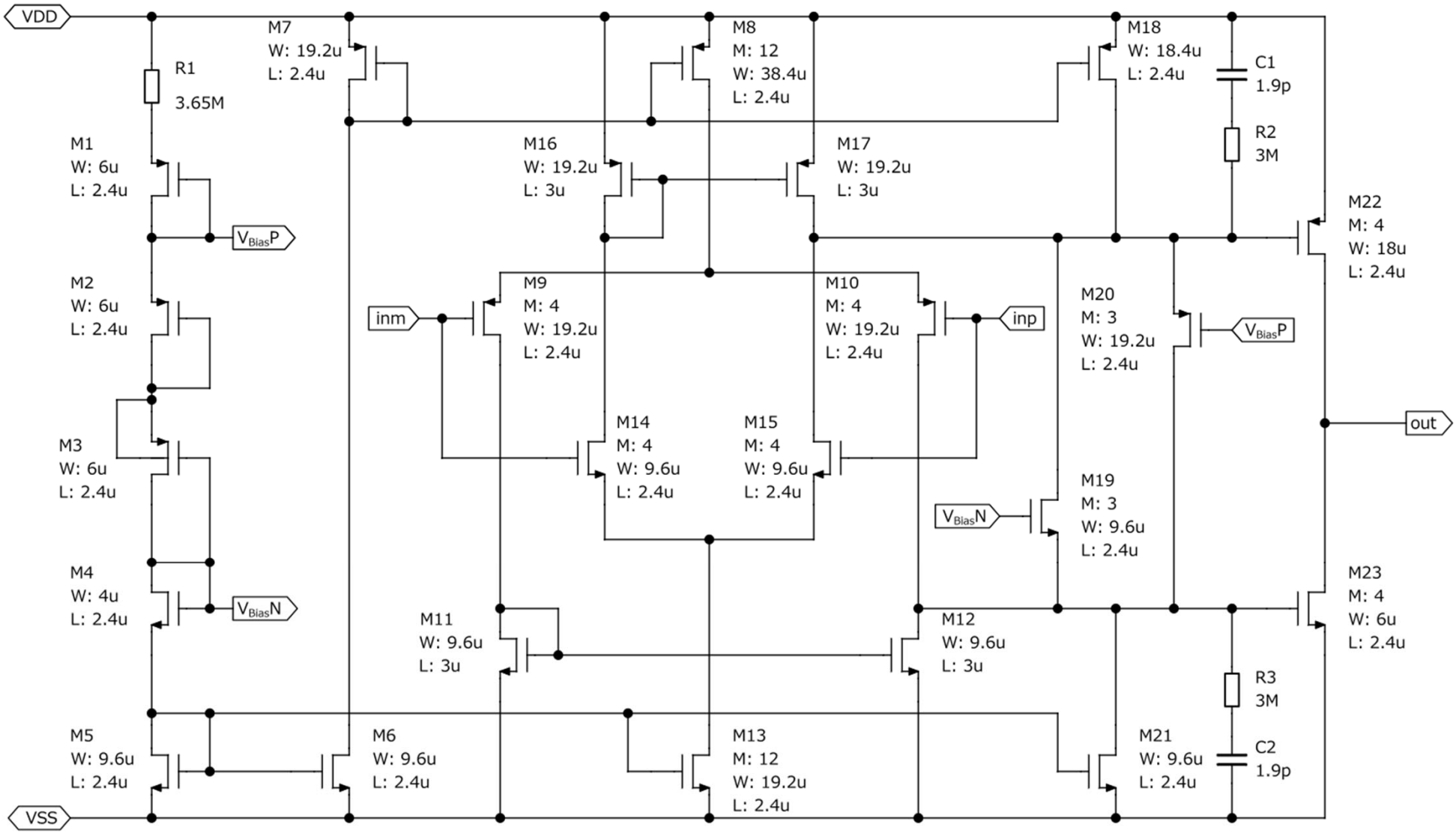
- 初めて設計するCMOSオペアンプなので面白いものを作りたい
  ⇒ 入出力レールツーレールにしたい
  　(消費電流は大きくなるもののロマンを優先)

- AB級出力段で低消費電力

- 要件ギリギリの特性を攻めて低消費電力

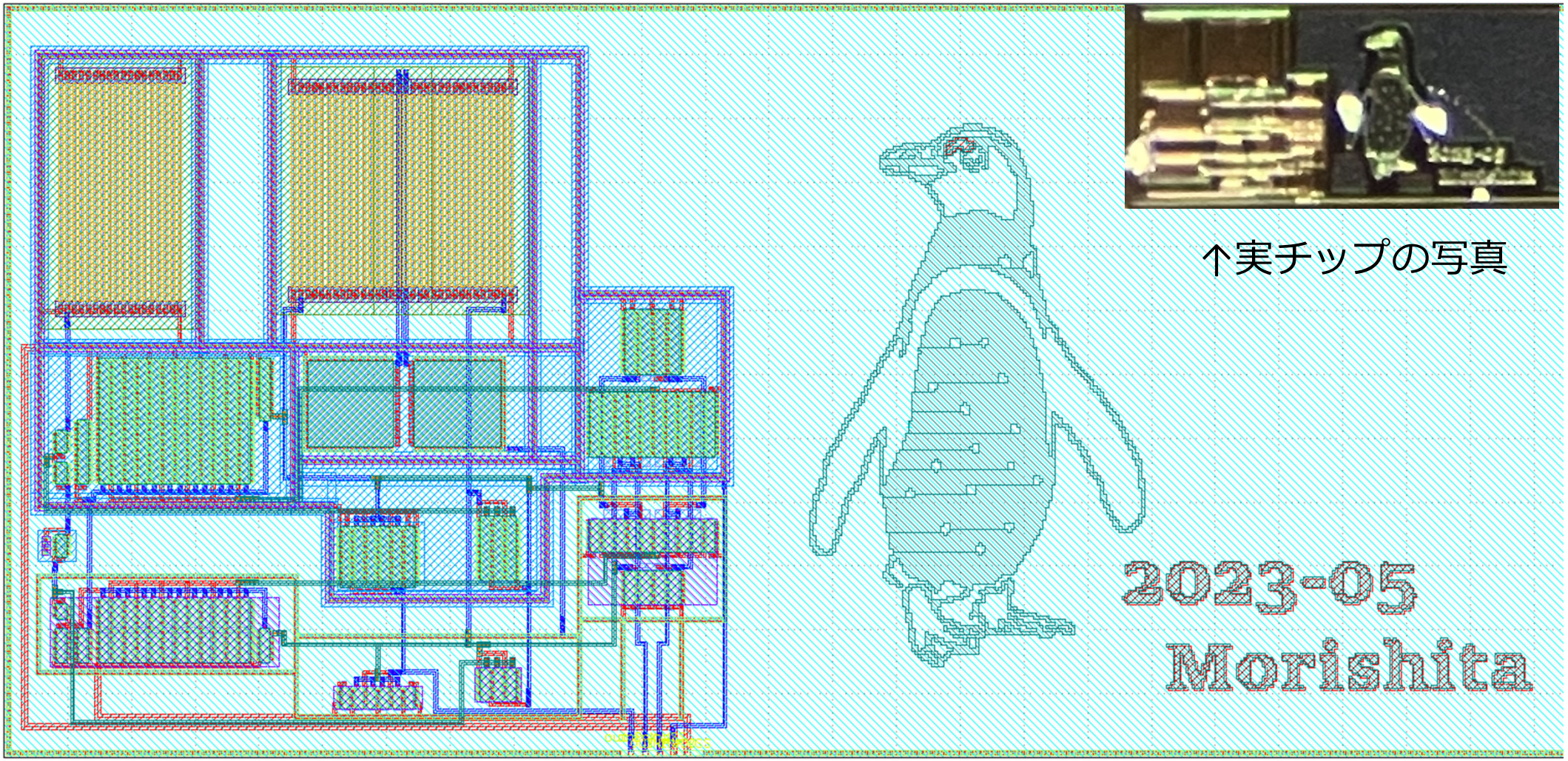
- 去年より10倍程度重い負荷
  ⇒ 消費電力も去年の1位(1.55uA)の10倍程度を目指す

試作の部　回路構成



- 電流パスが多いのでカレントミラーの倍率を高く設定(24倍程度)

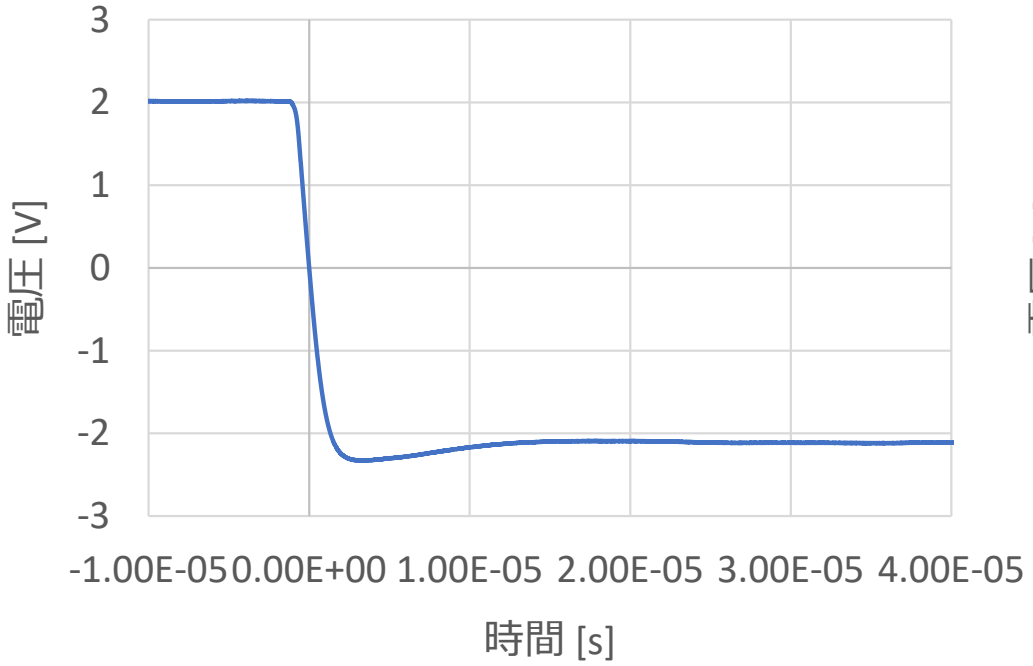
試作の部　レイアウト

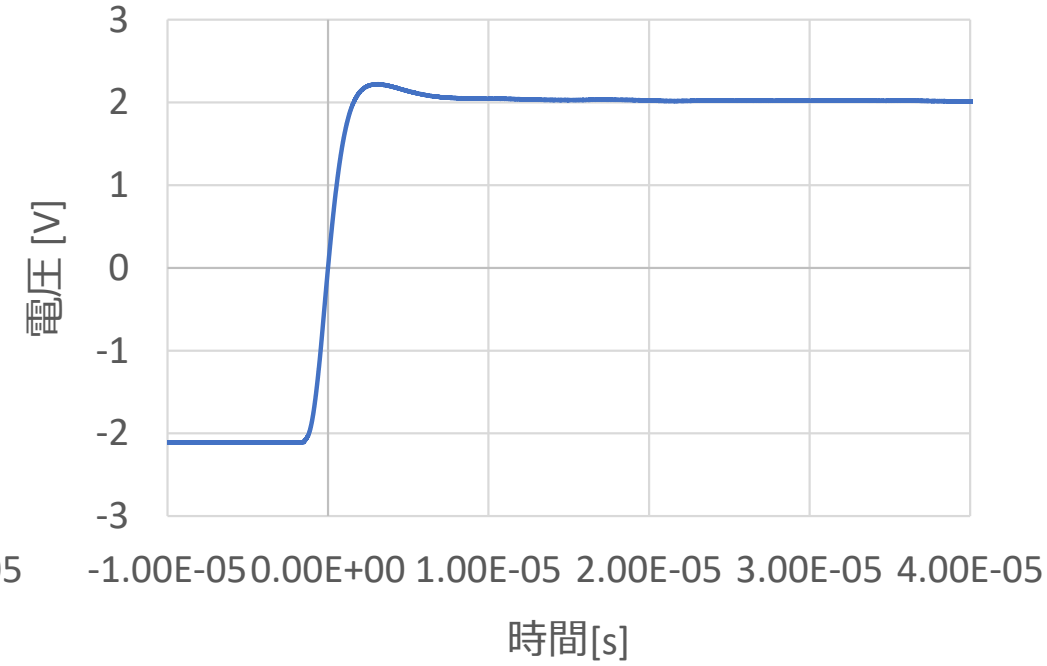


↑実チップの写真

- 対称、コンパクトなレイアウトを心がけた
- 面積：224um×216um = 0.048384mm^2

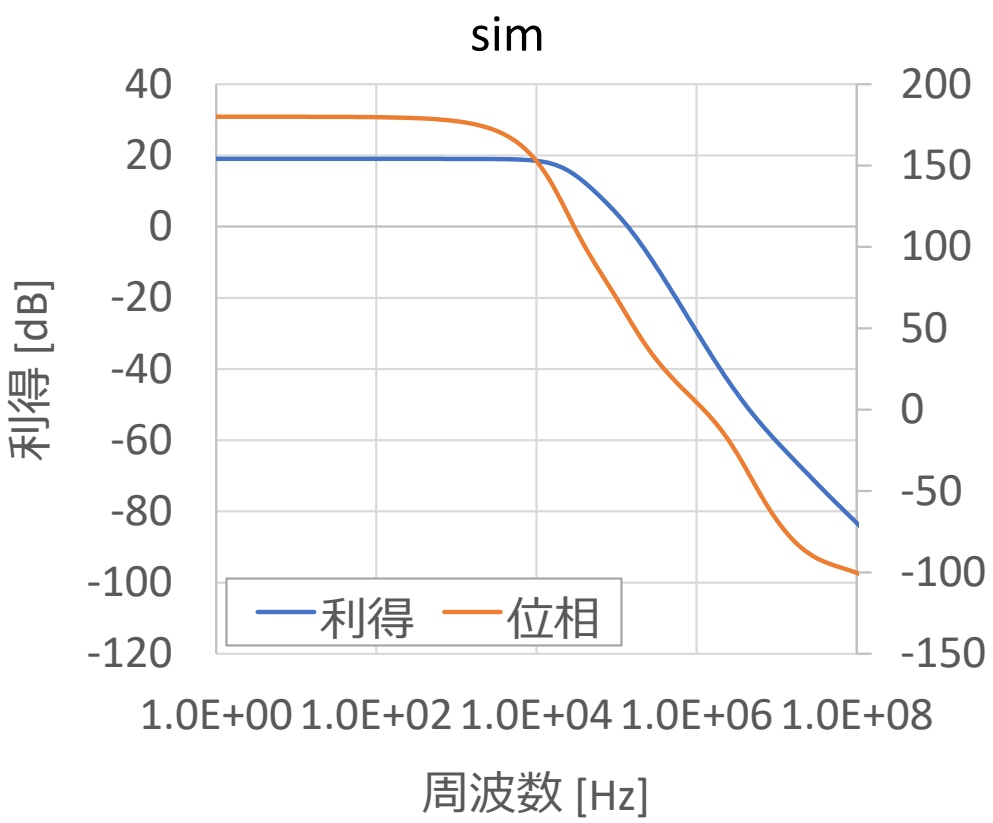
試作の部　測定結果 (スルーレート)

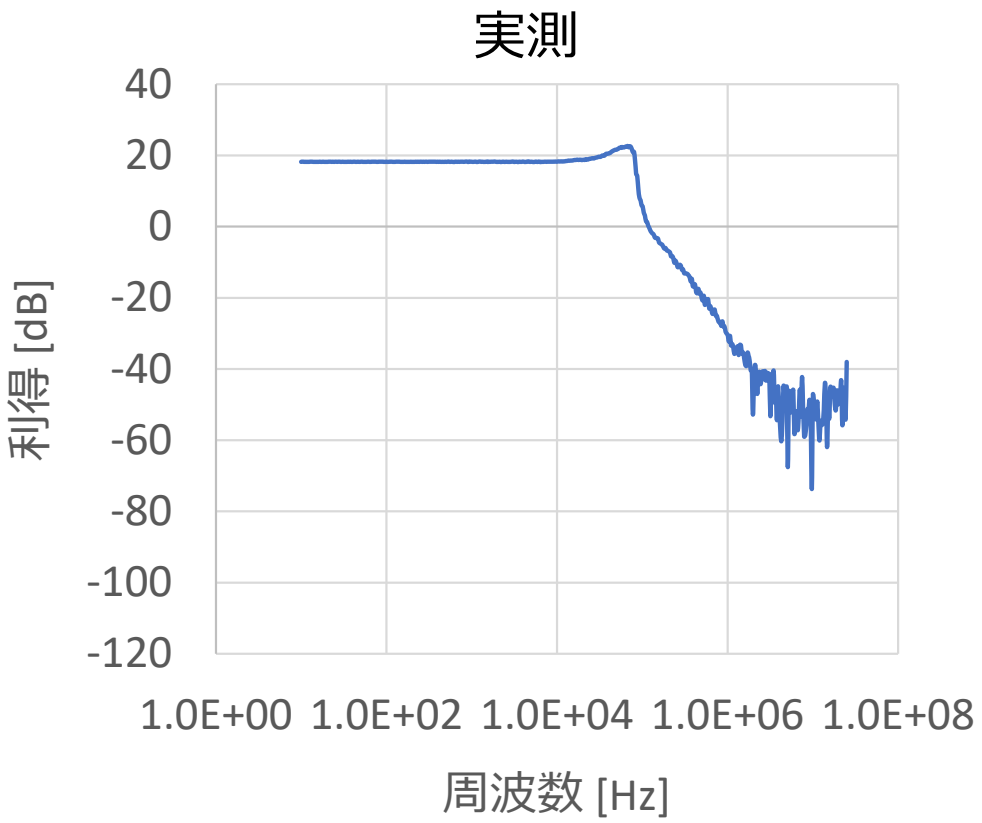




- スルーレート：-1.89V/us / +1.60V/us
- リンギングは少なく安定している

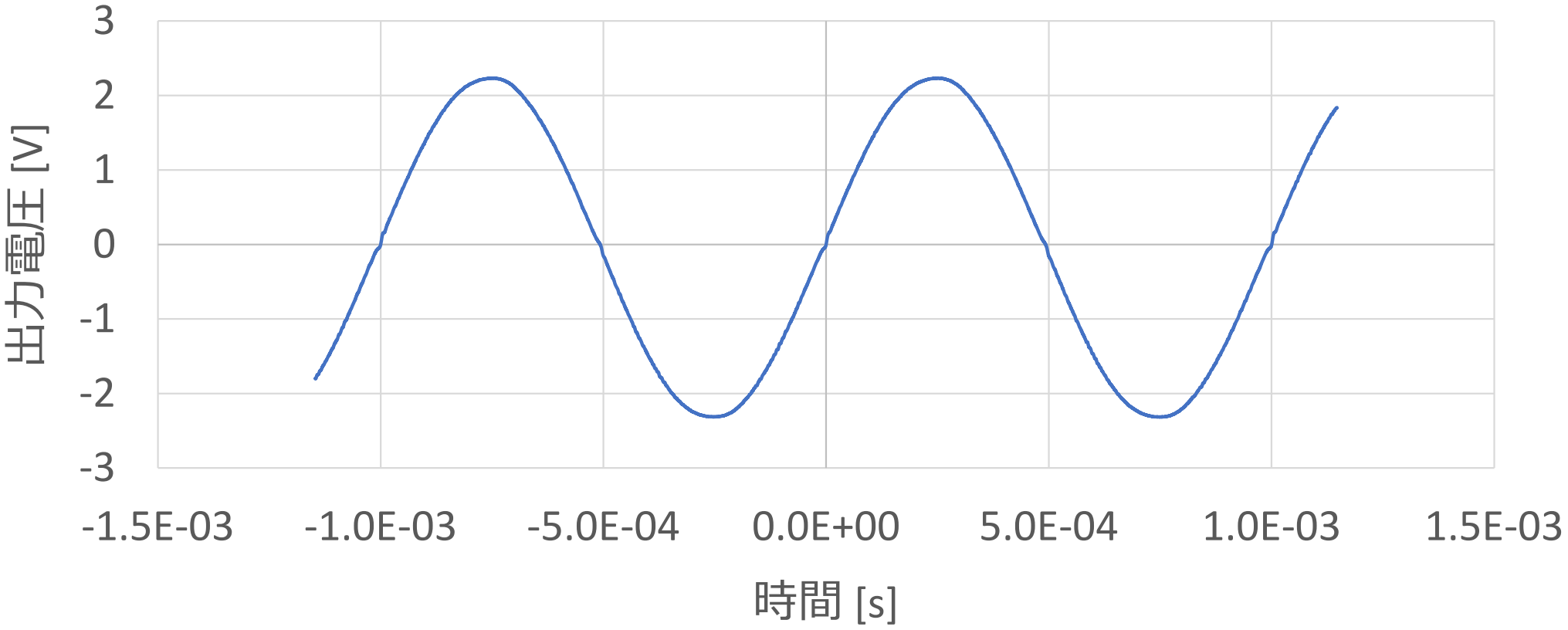
試作の部　測定結果 (周波数特性)





- 帯域幅 (-3dB) sim/実測：21.54kHz / 84.6kHz
- 利得のピーキングにより帯域はsimより拡張した

試作の部　測定結果 (正弦波)



- クロスオーバー歪みが大きくなってしまった

試作の部　測定結果まとめ

評価項目	要件値	Sim結果	実測
スルーレート	±1 V/us	-2.4 V/us / +1.48 V/us	-1.89 V/us / +1.60 V/us
帯域幅	20 kHz	21.54 kHz	84.6 kHz
入力電圧範囲	±100 mV	±220 mV	±245 mV
消費電流	NA	5.25 uA	9.40 uA

- sim結果とのずれが大きくなってしまった
  ⇒ 大きな値の抵抗の使用、ゲート容量による位相補償キャパシタ、高い倍率のカレントミラーによるもの？

- 入力/出力振幅によって安定度が変わっている？
  ⇒ 容量の電圧依存性、gmの変動の影響？

- 締め切り1週間前にコンテストへ参加することを決定した
  ⇒ もう少し余裕をもって設計したかった

感想

- 試作の部も参加したことで集積回路への理解が深まった
- 特定のパラメータに振り切った設計には実用回路設計とはまた違ったノウハウも必要と感じた
- 部門２は時間が足りず設計できなかったが、低雑音を目指すことにこそアナログ回路最大の面白さがあると思うので挑戦したい
- 試してみたい回路はたくさん！スーパーソースフォロワ、フォールテッドカスコード、レギュレーテッドカスコード、 MOSを抵抗とした位相補償回路、バンドギャップリファレンス etc...

謝辞

- コンテストに参加させていただいたことで非常に多くの貴重な経験をすることができました。コンテスト関係者の皆様、および協賛企業の皆様に深く感謝を申し上げます。