
2022年
演算増幅器設計コンテスト発表会

2023年1月20日

発表会プログラム

- ・ 上位入賞者作品解説 (14:05-18:00)
- ・ 表彰式 (18:00-18:30)

発表会プログラム

- 上位入賞者作品解説（敬称略）

		部門1	部門2	部門3	部門4	試作
14:05	清水智仁（愛知工業大学）		3位	4位		
14:15	戸田莉彩（東京理科大）		6位	3位		
14:25	待鳥維吹（有明高専）	2位				
14:40	寺田伊吹（日本大学）			2位		
14:55	有村知将（宮崎大学）		5位	1位		
15:15	中田遥己（東京理科大学）					3位
15:25	休憩					
16:00	南山陸（広島市立大学）					2位
16:15	福岡慶祐（芝浦工業大学）					1位
16:35	吉田海南太（防衛大学校）	3位	2位	5位		
16:55	横山零（防衛大学校）	1位	1位	6位		
17:25	休憩					
17:35	講評（兵庫審査委員長）					

協賛企業

- ・ 株式会社トッパン・テクニカル・デザインセンター
- ・ YITOAマイクロテクノロジー株式会社
- ・ 日清紡マイクロデバイス株式会社
- ・ 旭化成エレクトロニクス株式会社
- ・ SiTime Japan合同会社
- ・ セイコーNPC株式会社
- ・ エイブリック株式会社
- ・ 株式会社東芝
- ・ ザインエレクトロニクス株式会社
- ・ 横河電機株式会社
- ・ トレックス・セミコンダクター株式会社
- ・ ルネサスエレクトロニクス株式会社

演算増幅器設計コンテスト 第2部門 3位

愛知工業大学 工学部
電気学科 電子情報工学専攻
学部4年 清水 智仁

部門2の評価式

$$\text{得点} = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

- ・ 基本の回路で素子値による回路への影響を理解することを目標に設計をしていく
- ・ 消費電力、出力抵抗、入力換算雑音に注目

設計方針

- 電源電圧を0.9V

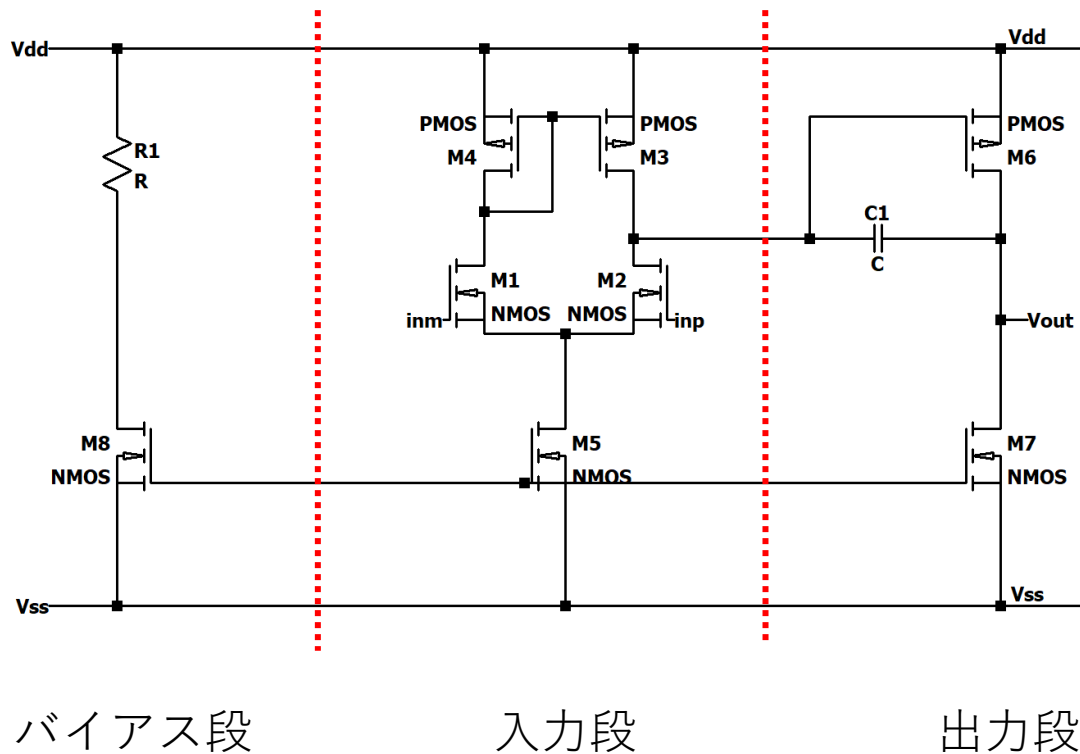
→基本の回路では、下の縦積み段数が少ないので電源電圧を低く設定することができるはず

→消費電力を減らすことが出来る

- 消費電力、出力抵抗、入力換算雑音

→小さくなるように計算値から素子値を調整する

回路 (計算値)



R1 70k

M8 L=1u W=3u

M3 L=1u W=1.33u

M4 L=1u W=1.33u

M1 L=1u W=11.5u

M2 L=1u W=11.5u

M5 L=1u W=3u

C1 0.3p

M6 L=1u W=162u

M7 L=1u W=9.85u

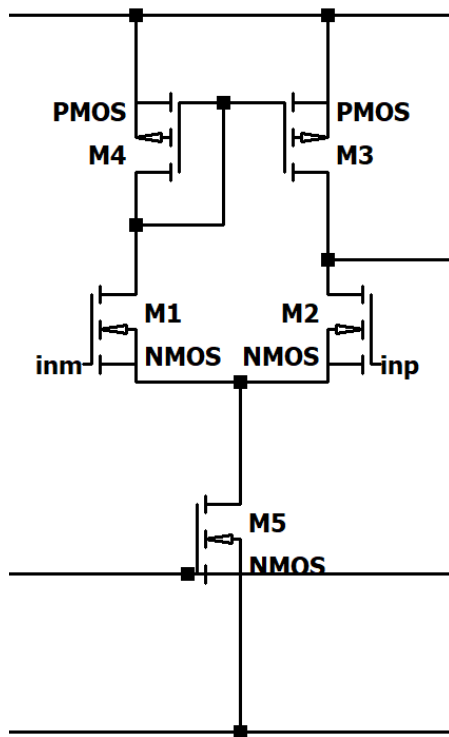
入力段

入力換算雑音の低減（LW比は固定）

① $1/f$ ノイズ

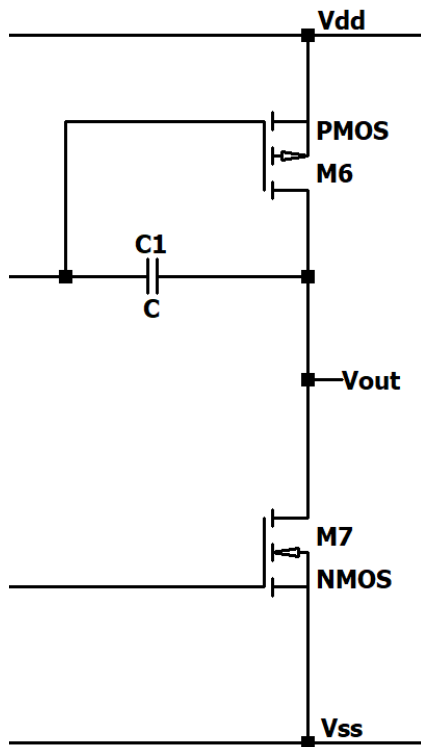
M1,M2,M3,M4のL値を大きく

することで入力換算雑音の低減を行った。



	計算値			調整後	
	L(um)	W(um)		L(um)	W(um)
M3	1	1.33		3	4
M4	1	1.33		3	4
M1	1	11.5	→	3.4	39
M2	1	11.5		3.4	39
M5	1	3		1	3

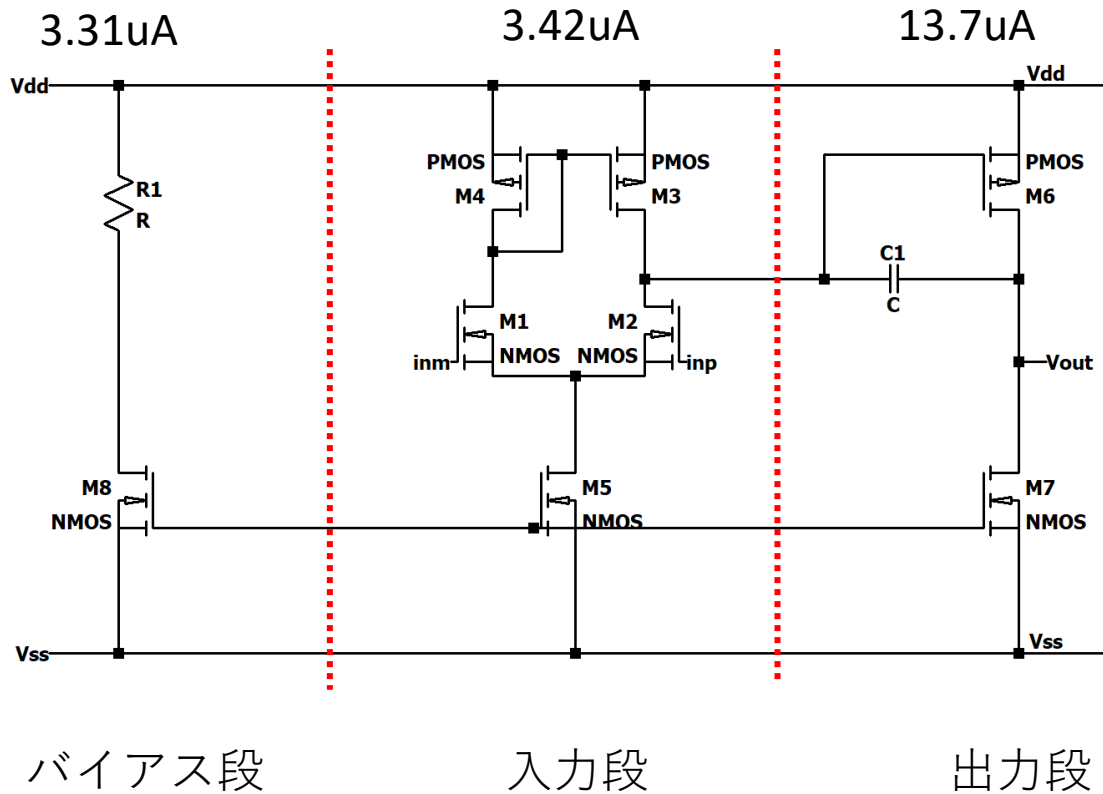
出力段



出力抵抗を下げるためM6のL値を小さく。

	計算値			調整後	
	L(um)	W(um)		L(um)	W(um)
M6	1	162	→	0.9	146

提出回路



R1 70k

M8 L=1u W=3u

M3 L=3u W=4u

M4 L=3u W=4u

M1 L=3.4u W=39u

M2 L=3.4u W=39u

M5 L=1u W=3u

C1 0.3p

M6 L=0.9u W=146u

M7 L=0.7u W=6.9u

評価結果

項目	評価結果(計算値)	評価結果(調整後)
利得帯域幅積(Hz)	1.341E+07	9.6154E+06
位相余裕(°)	70.42	47.48
消費電力(w)	2.359E-05	1.362E-05
出力抵抗(Ω)	42.85	33.70
入力換算雑音(Vrms)	5.087E-03	3.336E-03
スコア	7.78E+18	2.19E+19

考察

- ・消費電力、出力抵抗、入力換算雑音
→想定通り小さくすることが出来た。

- ・利得帯域幅積、位相余裕
→小さくなってしまった。

- 入力部のL値を大きくしたことによる周波数特性の悪化が原因と考えられる。

感想

コンテストで入賞できとてもうれしく感じます。

素子値を変えることにより回路にどのような影響を与えるか理解すると言う最初の目標は達成することができたと思います。

しかし、実際には今回のように様々なL値を用いないことやLW比が大きくなる際は、複数個のMOSを使うことで対処をすること、要件や動作にある程度余裕を持たせた設計を思うので今後の課題にしたい。

貴重な機会を設けて下さいました
運営の皆様及び協賛企業の皆様に深く感謝を申し上げます。



演算増幅器設計コンテスト 第2部門 6位 第3部門 3位

2022/01/20

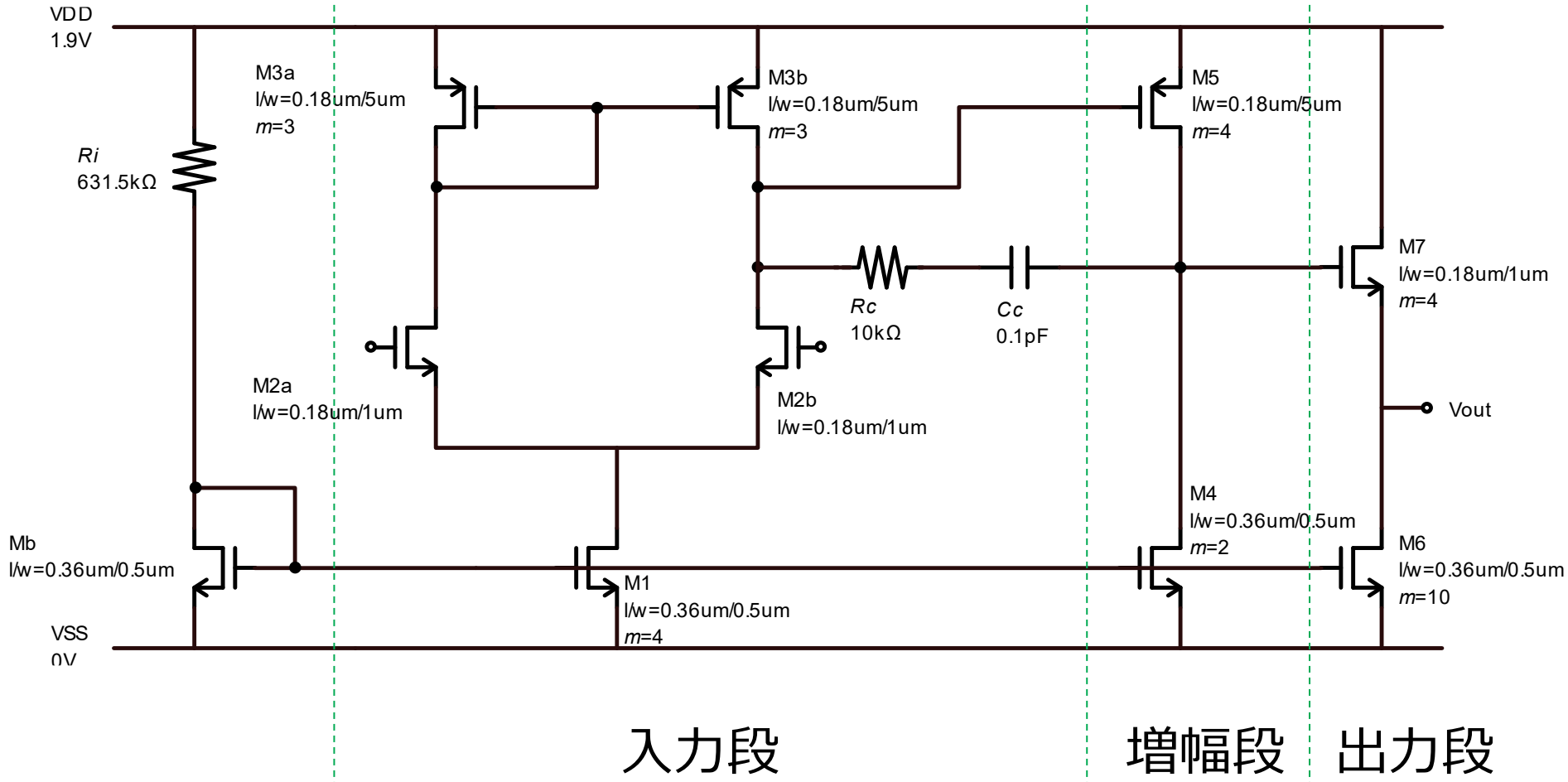
東京理科大学 理工学部 電気電子情報工学科
兵庫研究室

B4 戸田莉彩

はじめに

- 初めての演算増幅器の設計であったため、演算増幅器設計セミナーの資料を踏襲して設計した。
- 要件を満たす演算増幅器を設計することを目標にし、コンテストに取り組んだ。

提出回路



演算増幅器設計セミナーで紹介されていたトポロジを採用した

設計パラメータ

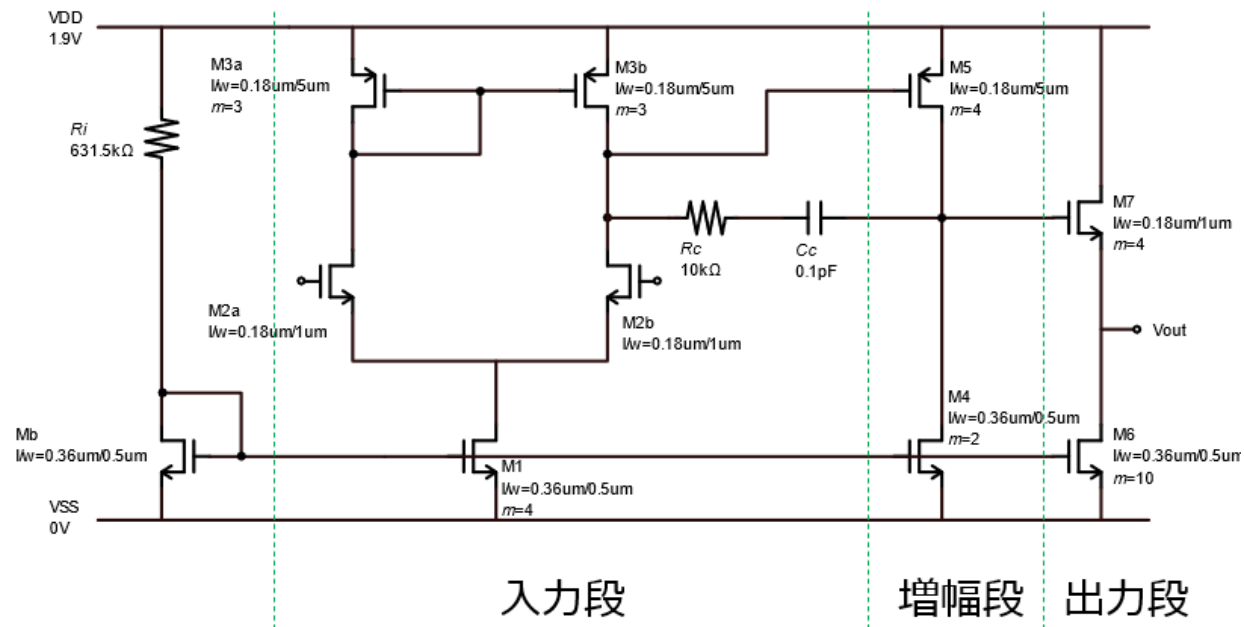
- 固定パラメータ

- 今回は表のパラメータで設計を行った

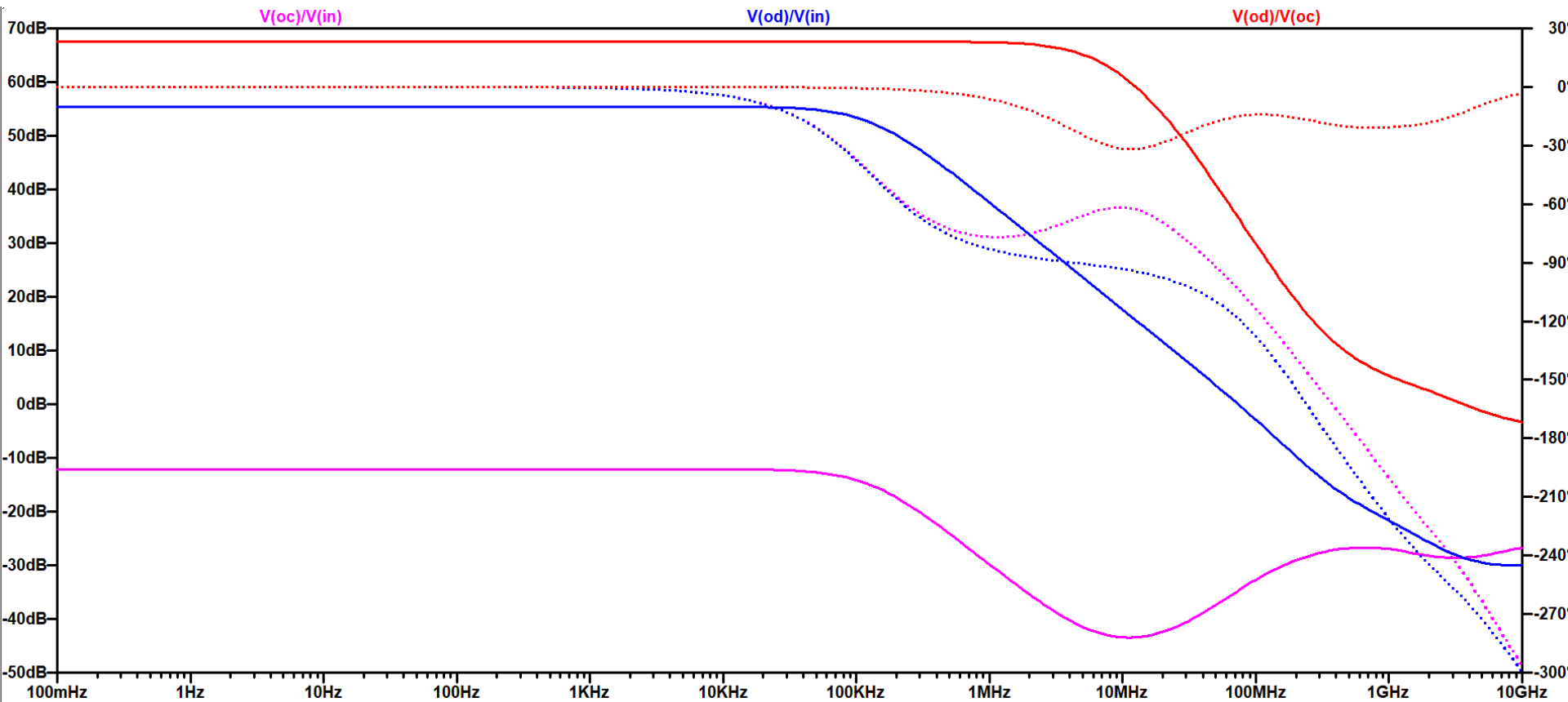
	L	W	λ
nmos	0.18 μ m	1 μ m	0.51/V
	0.36 μ m	0.5 μ m	0.2/V
pmos	0.18 μ m	5 μ m	0.34/V

- 利得配分

- 初段の利得を30dB
増幅段の利得を20dB
とし、全体で50dBとなるように設計した



同相除去比(CMRR)



同相利得

$$A_{com} = -12.34\text{dB}$$

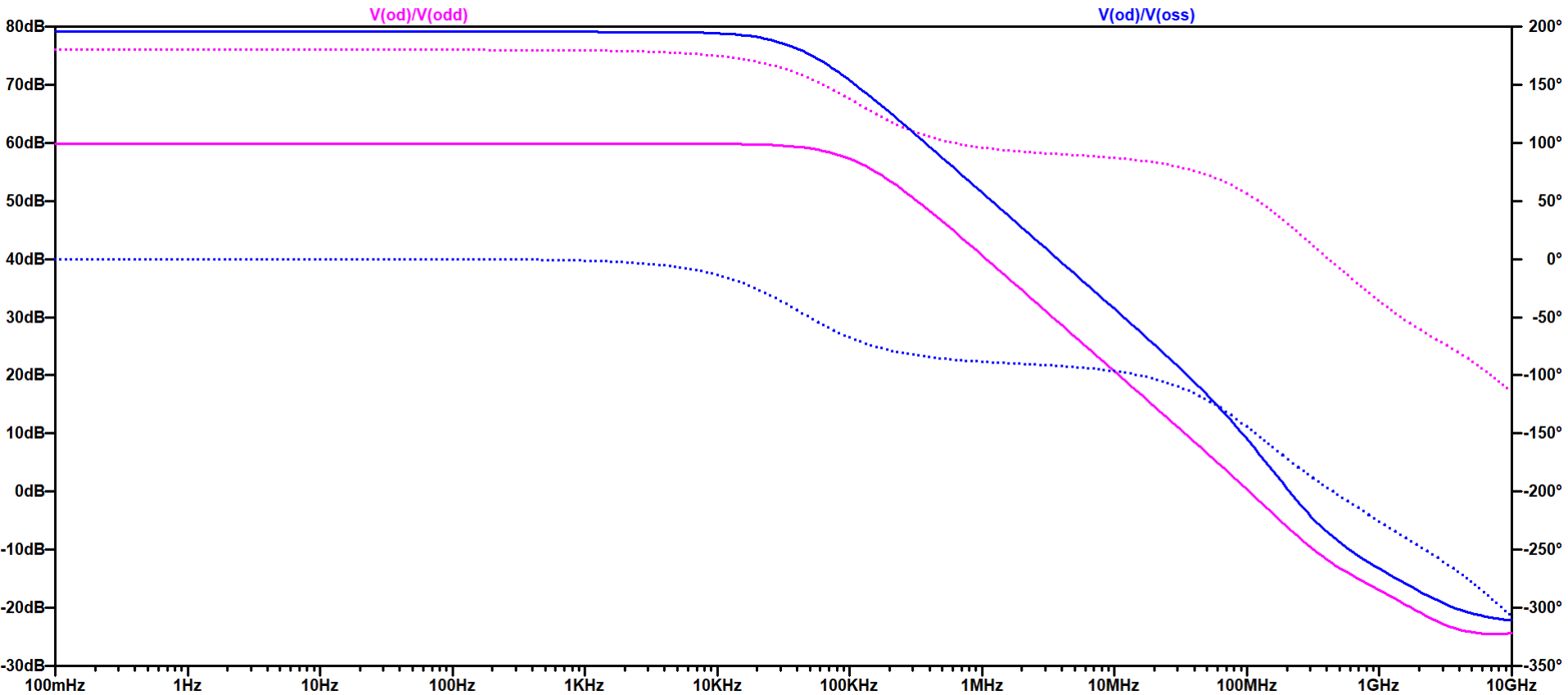
差動利得

$$A_{dif} = 55.19\text{dB}$$

同相除去比

$$CMRR = 67.53\text{dB}$$

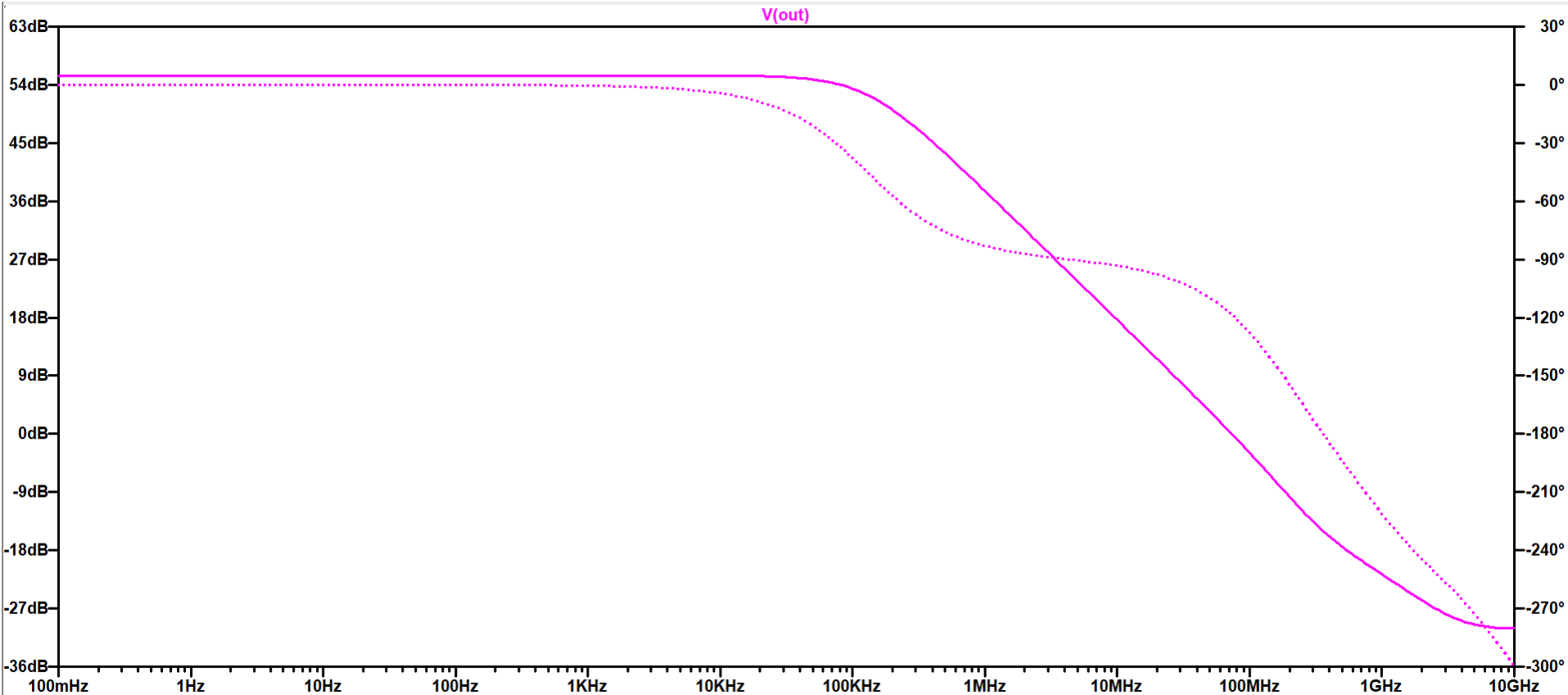
電源電圧変動除去比(PSRR)



V_{DD} 側 $PSRR = 59.85\text{dB}$

V_{SS} 側 $PSRR = 79.09\text{dB}$

直流利得



シミュレーション値

直流利得

55.44dB

出力抵抗

7.68kΩ

実際の値

直流利得

58.26dB

- 評価式

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

項目	評価結果
電源電圧変動除去比[dB]	4.308E+01
同相除去比[dB]	6.753E+01
直流利得[dB]	5.544E+01
電源電圧[V]	1.900E+00
スコア	5.10E-01

感想

- 提出段階では6位でしたが、最終的に3位を頂いてしまい大変恐縮です
- 今回はセミナーの資料通りに作ることで精一杯でしたが、次回はトポロジーから自分で考えて設計したいです

演算増幅器設計コンテスト運営の皆様、協賛企業の皆様、審査員の皆様 このような貴重な機会を設けていただき、心より感謝申し上げます。

演算増幅器設計コンテスト 部門1:2位

令和 5 年 1 月 20 日

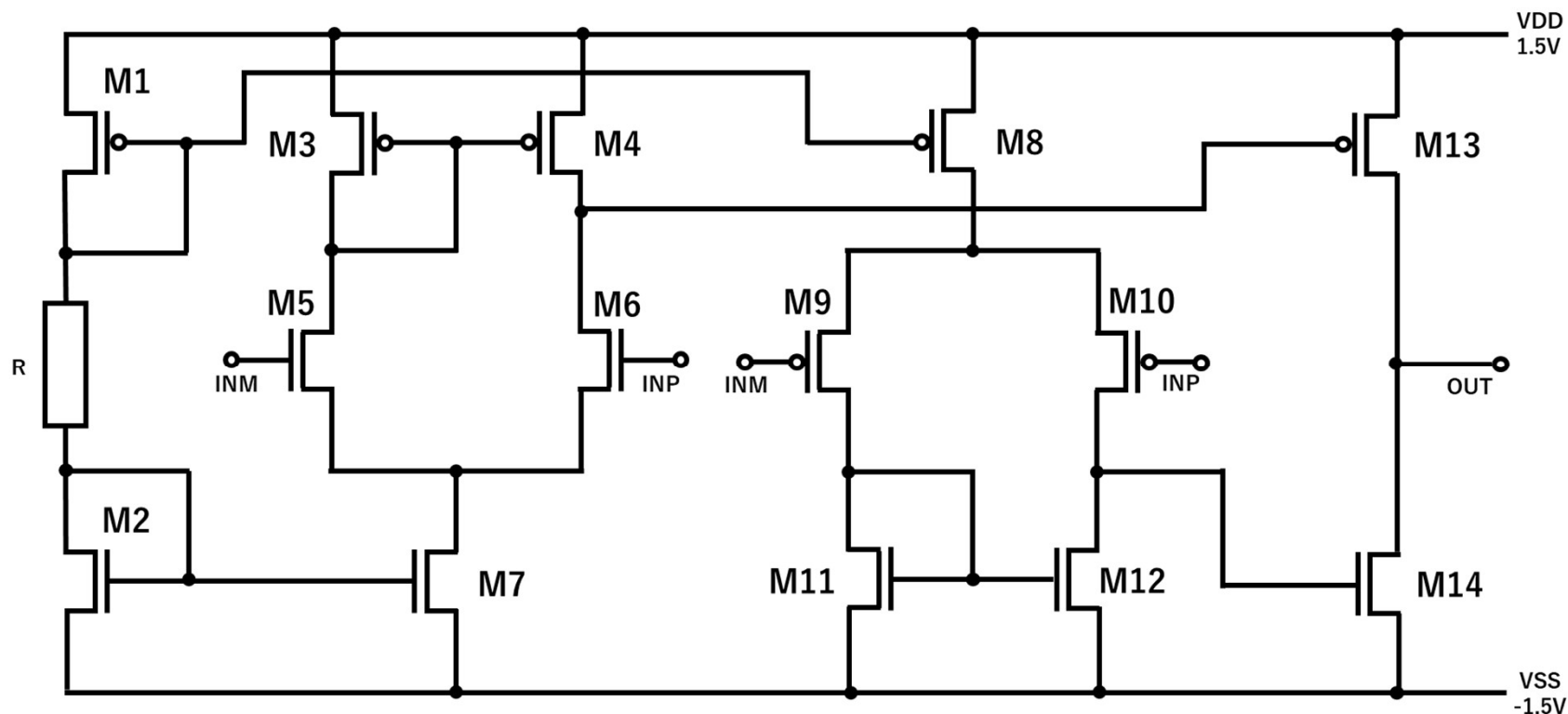
有明工業高等専門学校

National Institute of Technology, Ariake College

生産情報システム工学専攻 1年 ICLab(石川・清水・野口研究室)

待鳥 維吹

提出回路



	M1	M2	M3	M4	M5	M6	M7
素子値	5.43u/0.18u	1.97u/0.18u	5.43u/0.18u	5.43u/0.18u	1.97u/0.18u	1.97u/0.18u	1.97u/0.18u
並列数	1	1	1	1	4	4	29
	M8	M9	M10	M11	M12	M13	M14
素子値	5.43u/0.18u	5.43u/0.18u	5.43u/0.18u	1.97u/0.18u	1.97u/0.18u	5.43u/0.18u	1.97u/0.18u
並列数	39	4	4	1	1	5	5
	R						
	100M						

評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

- バイアス段の抵抗をできるだけ大きくする
➡消費電流を抑える
- Rail to Rail動作をさせる&カスコードは使わない
同相電圧範囲を高くする
- 位相補償容量を入れない
スルーレートを高くする

評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

- バイアス段の抵抗をできるだけ大きくする
消費電流を抑える
- Rail to Rail動作をさせる&カスコードは使わない
➡ 同相電圧範囲を高くする

$$V_{Dsat5} + V_{Tn} + V_{Dsat7} < V_{CM} < V_{DD} - V_{Dsat3} - |V_{Tp}| + V_{Tn}$$

相補型の入力段でヘッドルームを小さくする！

評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

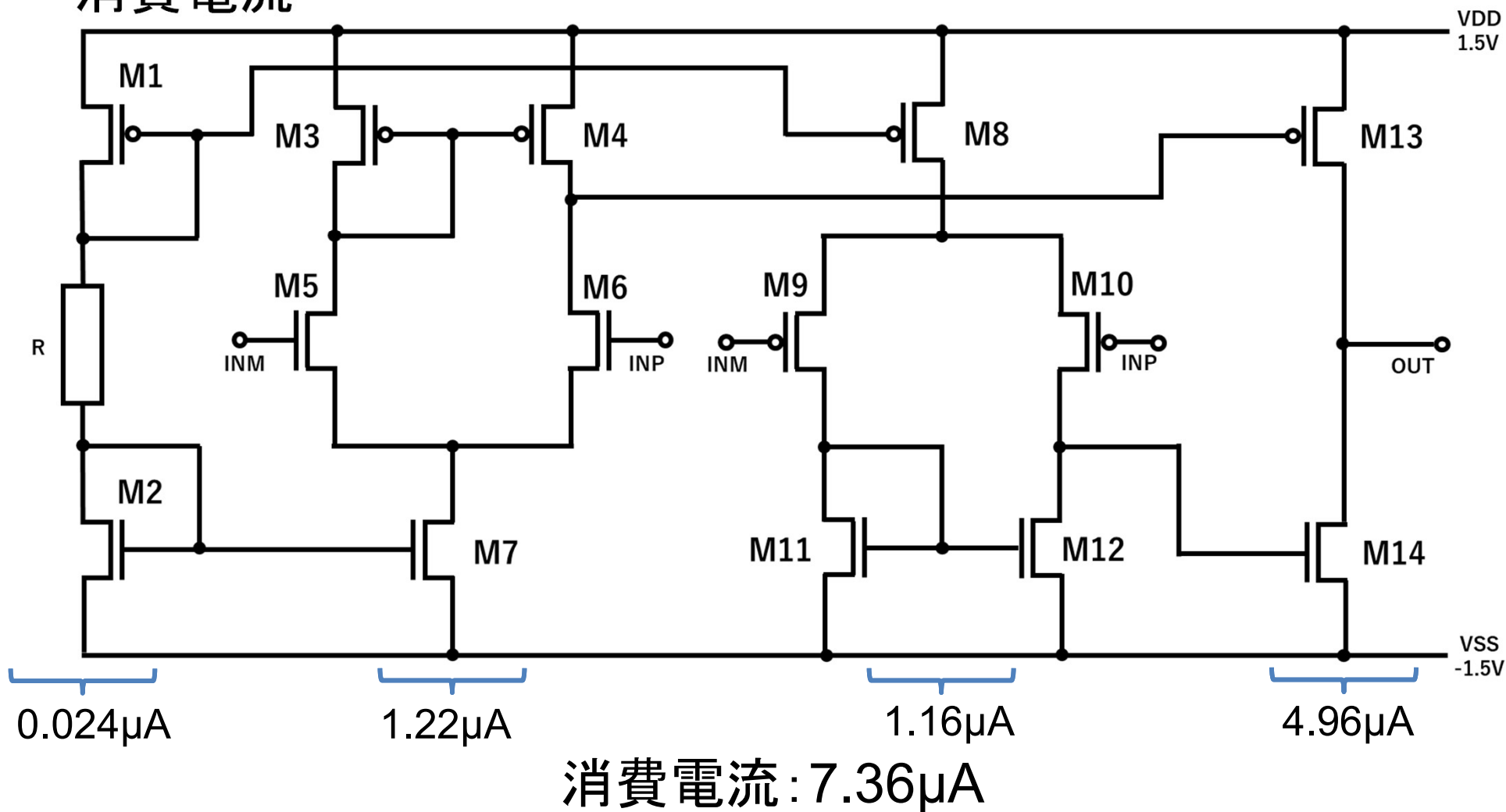
- バイアス段の抵抗をできるだけ大きくする
消費電流を抑える
- Rail to Rail動作をさせる&カスコードは使わない
同相電圧範囲を高くする

- 位相補償容量を入れない
➡スルーレートを高くする

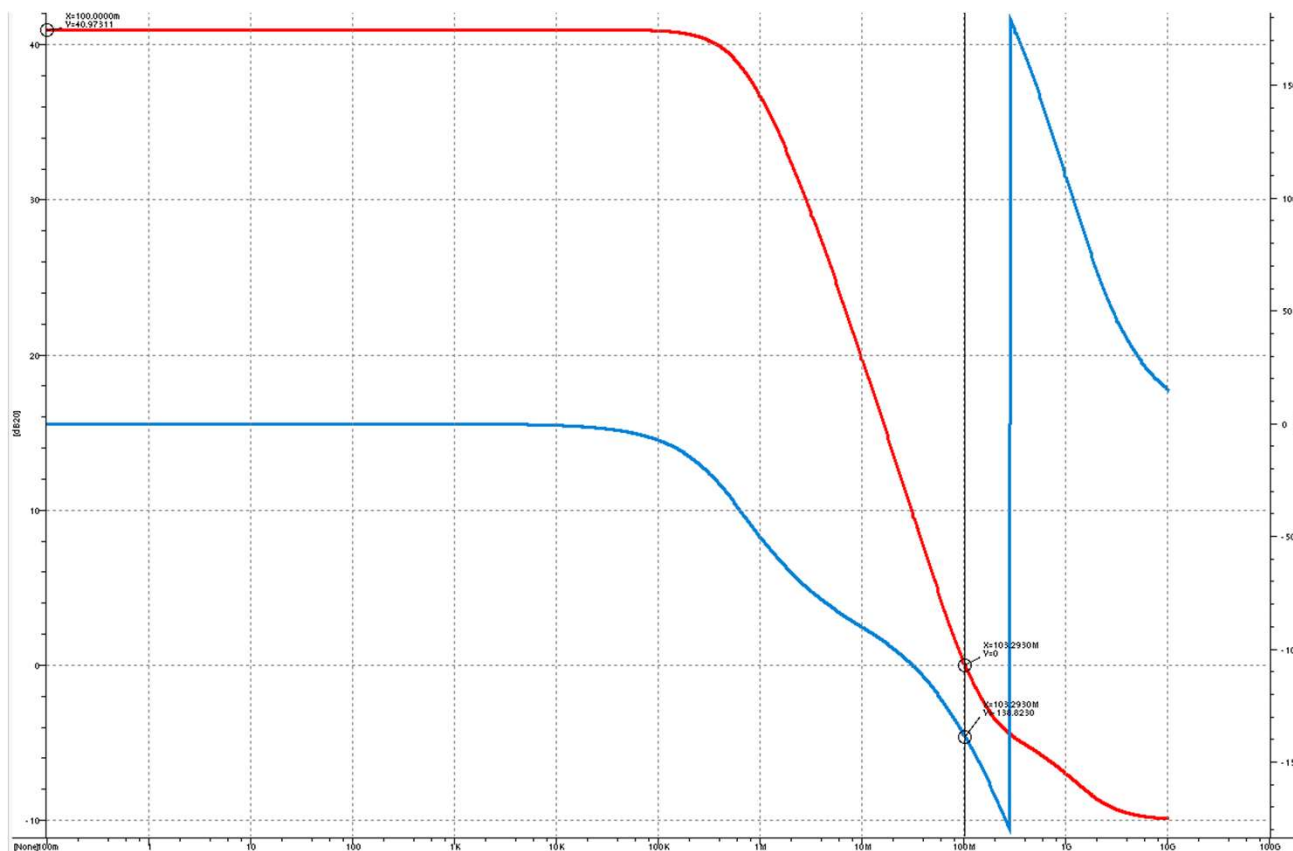
$$SR = \frac{I}{C_c}$$

電流を増やしたくないので、容量を小さくする！

- 消費電流



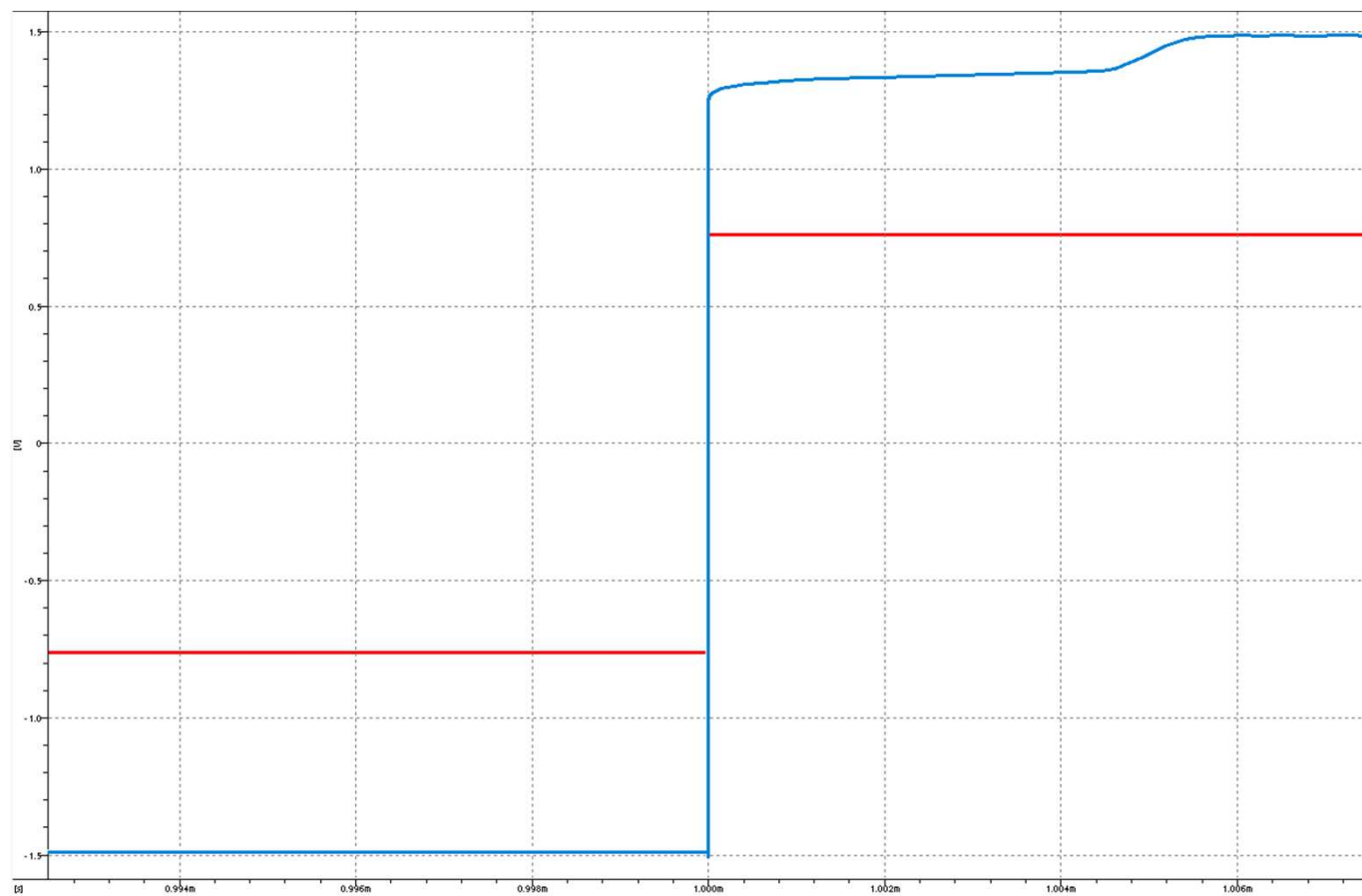
- 周波数特性



— Gain
— Phase

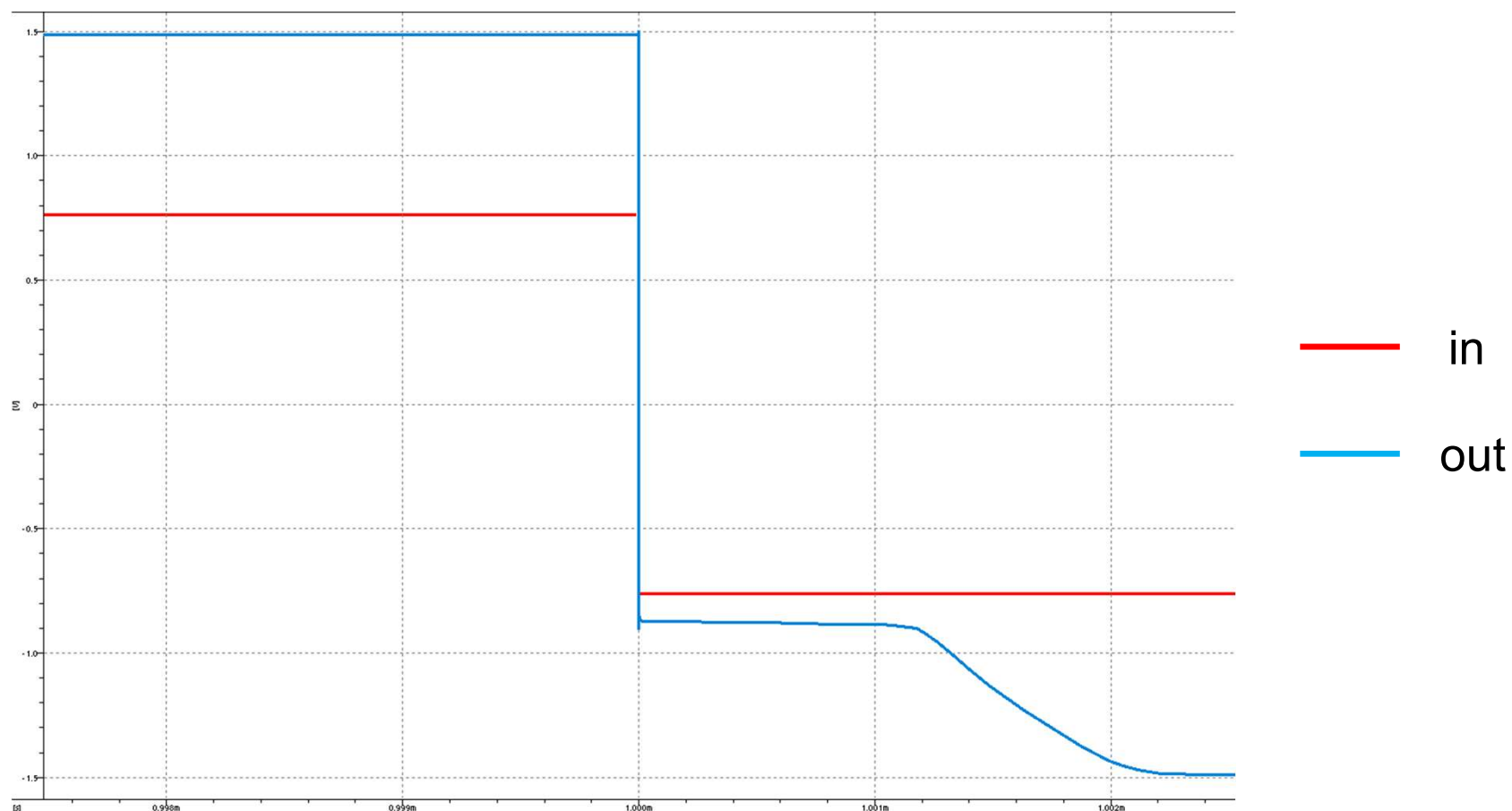
直流利得 40.97[dB]
位相余裕 45.18[deg]

- スルーレート(上昇)



SR(立ち上がり): 7.51×10^9 [V/s]

- スルーレート(立ち下がり)

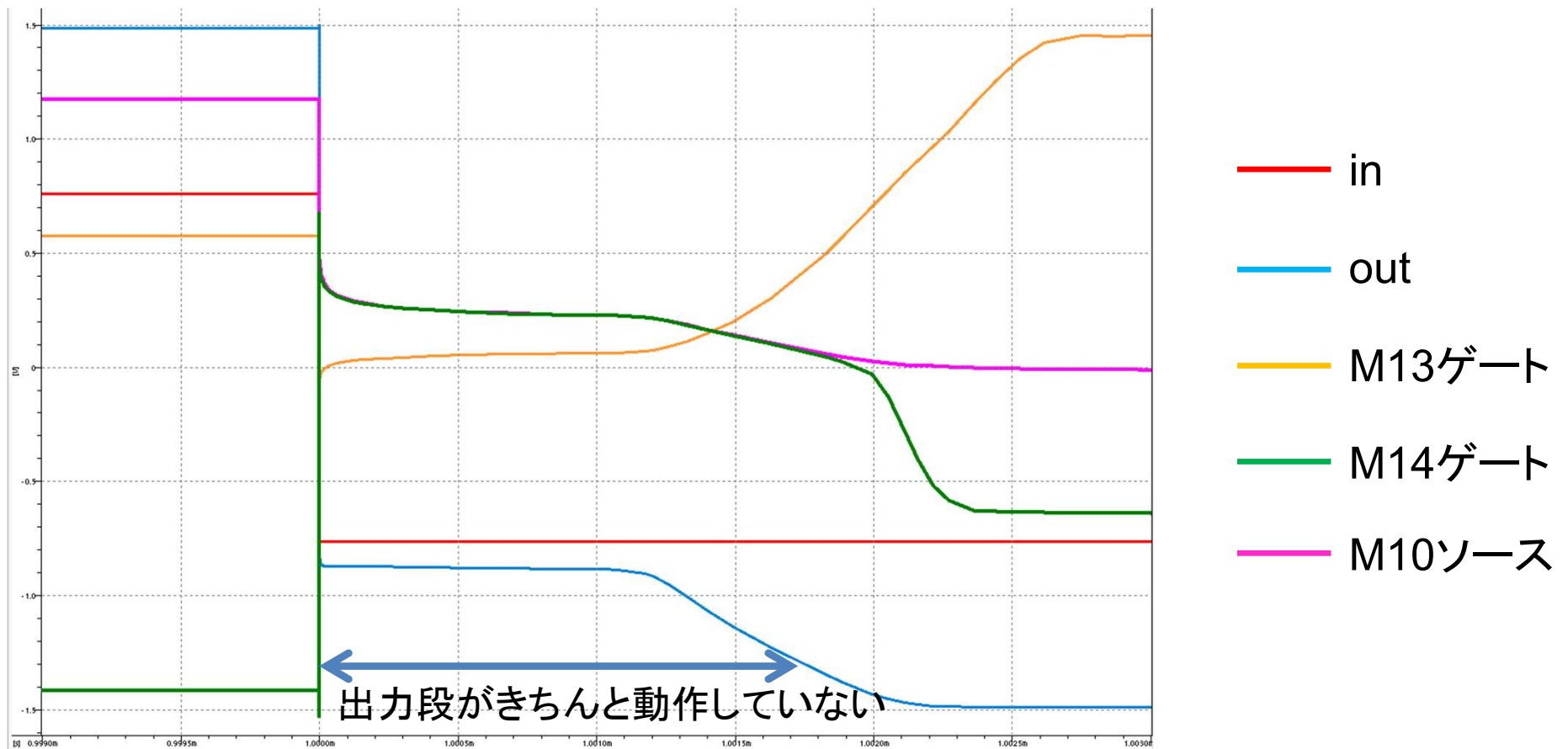


SR(立ち下がり): -1.02×10^{10} [V/s]

出力波形が歪んでいるのは何故？

出力段のPMOSとNMOSが同時にONになる範囲がある

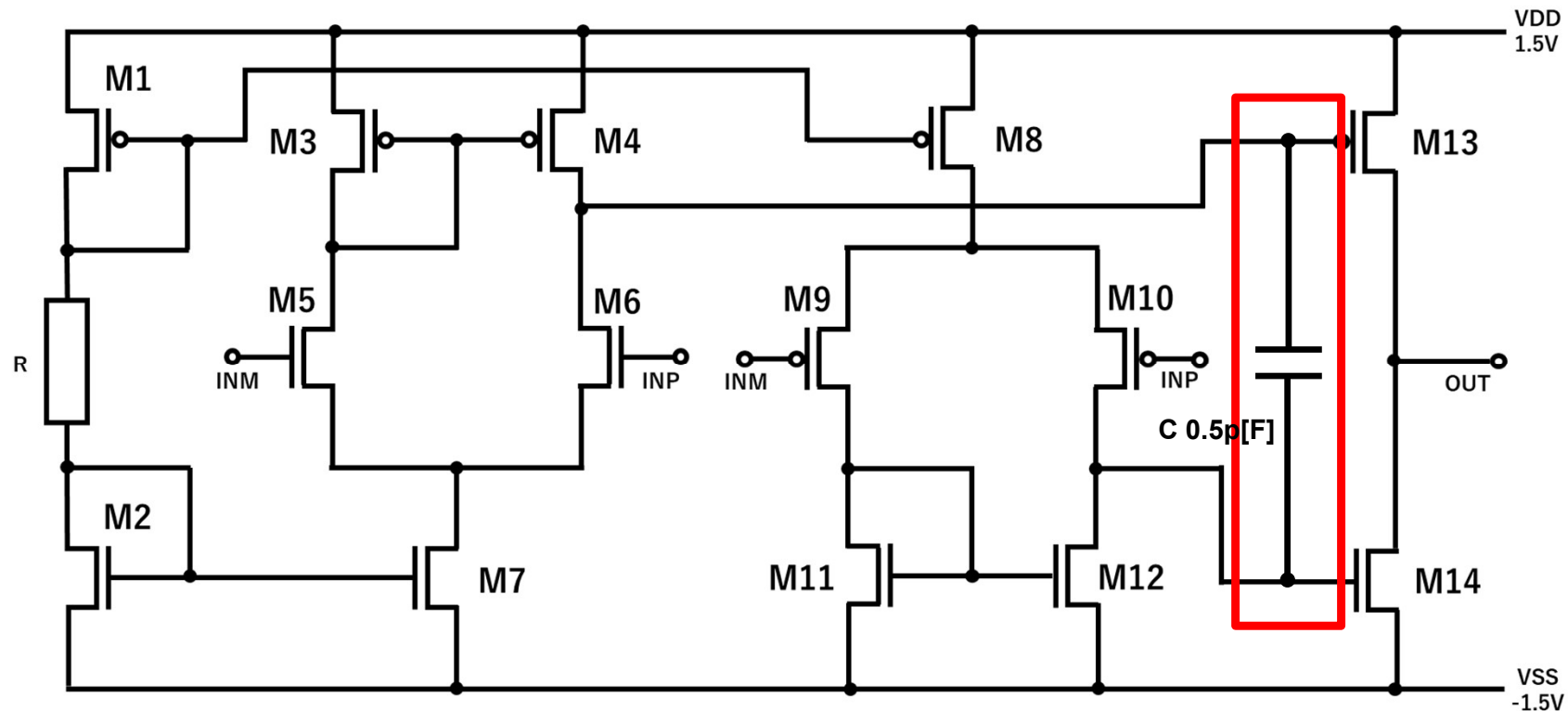
→うまく出力できていない？



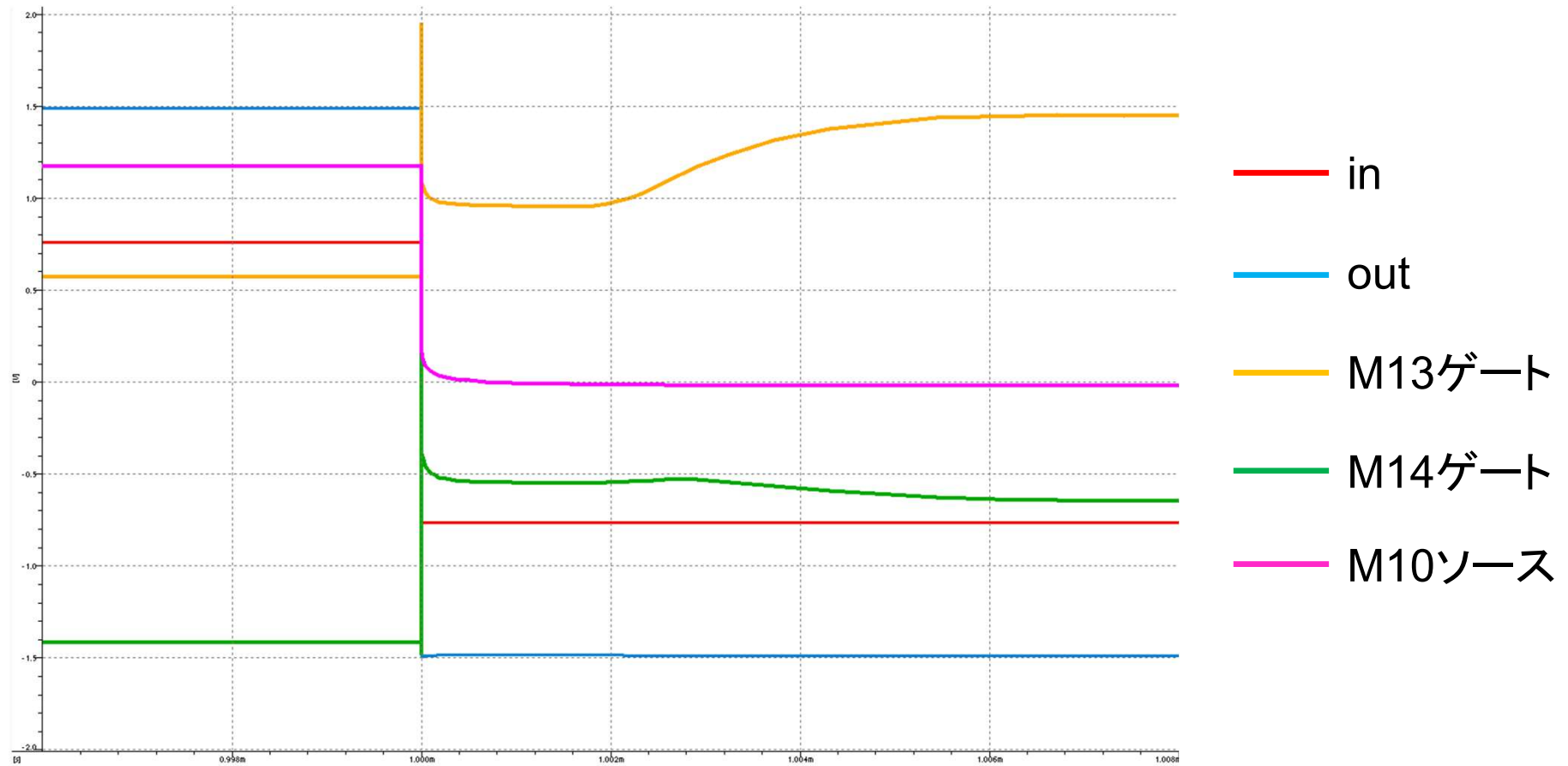
改善案

過渡状態でゲートの電位差を保ちたい

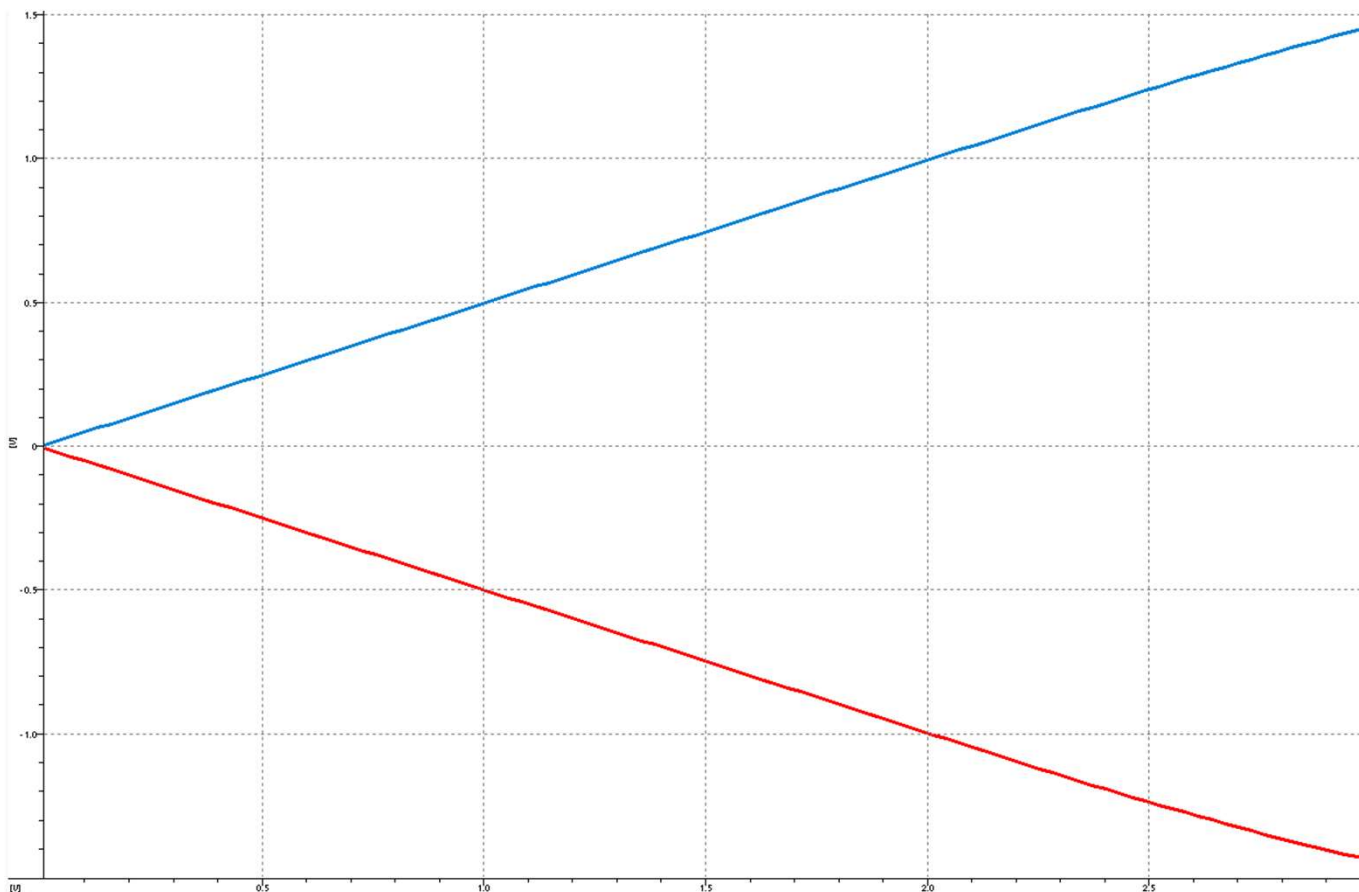
➡ M13とM14のゲート間にキャパシタを挿入



- キャパシタ挿入後の波形



- 同相入力範囲



同相入力範囲: 100[%]

項目	評価結果
スルーレート	1.30e+10
消費電流	7.39e-06
同相入力範囲	1.00e+02
直流利得	4.12e+01
スコア	2.41e+18

やってみたいこと

- 直流利得が制限ギリギリ & 同相入力範囲に余裕
➡ カスコードを使った回路トポロジーも試してみたい
- 温度変化や閾値電圧が変動したとき不安定になるのでは
➡ 温度不感型や V_T 不感型のバイアス段を使ってみたい
- 位相余裕がギリギリ
➡ 位相補償容量を外す以外でスルーレートを上げたい

- 本科生のときから挑戦していたので入賞できて嬉しい
➡ 専攻科の残り1年 & 大学院に入っても挑戦していきたい
- 回路設計の難しさと自分の知識不足を痛感した
- シミュレーション頼りな設計になってしまった
➡ どんな回路でも手計算をして動作が理解できるようになりたい

このような貴重な機会を与えてくださった
コンテスト運営及び審査委員の皆様と
協賛企業の皆様に深く感謝を申し上げます

演算増幅器設計コンテスト

シミュレーションの部 部門3：第2位

日本大学 理工学部 電子工学科 3年

佐伯研究室 所属

寺田伊吹

スコア

項目	値
CMRR[dB]	4.56E+1
PSRR[dB]	4.57E+01
直流利得[dB]	4.58E+1
電源電圧[V]	1.8
スコア	5.38E-01

去年の部門3入賞者と比較して**圧倒的に低い**(3位でスコア8.1e+4)
本来なら入賞できない程のスコア

設計方法

参考

CMOSアナログ回路入門, 谷口研二 著, CQ出版

第11章後半に2段構成演算増幅器の設計法の紹介
(差動増幅器+ソース接地増幅回路)

経験が浅いのでまず理論的な計算から設計してみる

CMOS アナログ回路入門での計算

補償用コンデンサのサイズ: $C_c > 0.2 \times C_L$

スルーレート要件 $I_5 = SR \times C_c$

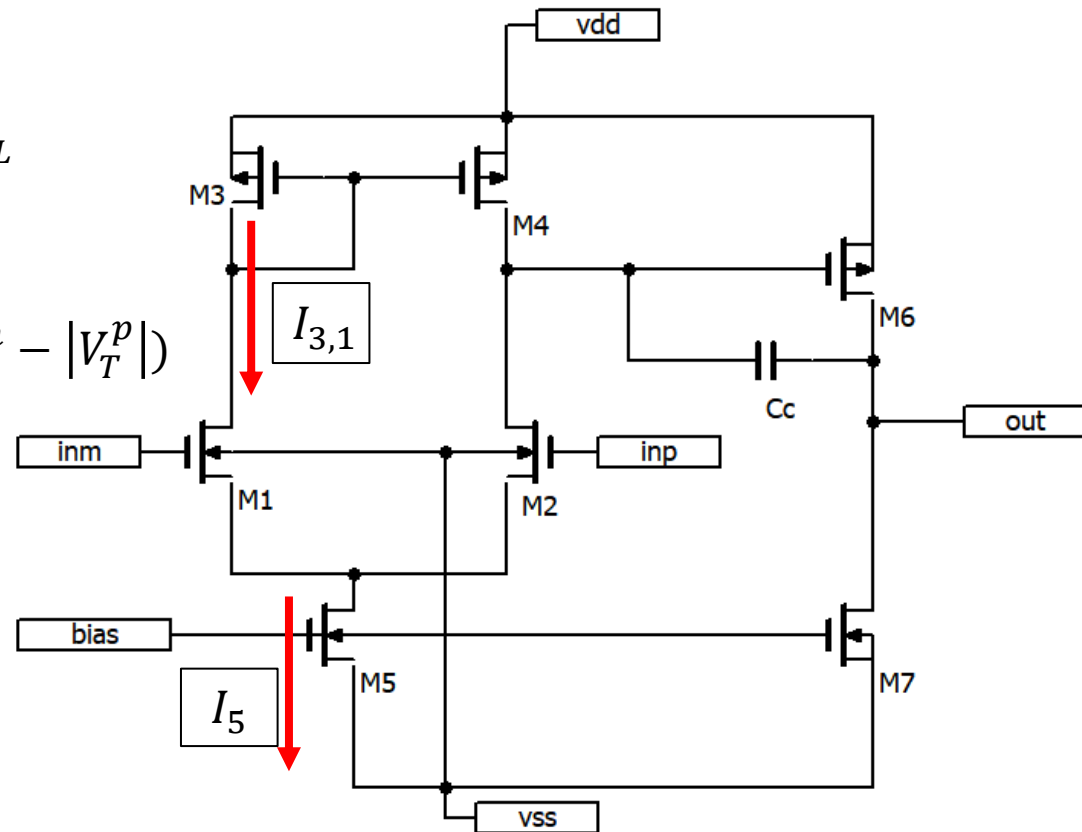
$$I_3 = \frac{I_5}{2} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_5 (V_{DD} - V_{in}^{max} + V_T^n - |V_T^p|)$$

$$g_{m1} = C_c \times UGB$$

$$g_{m1} = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right)_1 I_1}$$

⋮
⋮

以下省略



変数と定数

定数(プロセス)	SPICEパラメータ
キャリア移動度 $\mu(\text{cm}^2/\text{Vs})$	UO
酸化膜厚 $t_{ox}(\text{m})$	TOX
閾値電圧 V_{th}	VTH0

設計変数
UGB (Hz)
スルーレート(V/ μs)
負荷容量(F)
入力電圧範囲

計算中の定数はSPICEパラメータから簡易的に得られる
オペアンプを設計できるプログラムを作ってみよう

プログラム

初期構想

- ・慣れているPythonを使用
- ・設計変数をパラメータに
- ・MOSのアスペクト比だけを出力

追加要素

- ・PySpiceというモジュールを通してネットリストを出力

提出回路は出力されたものに電流源を追加し微調整したもの

オペアンプを自動設計する理由

私が所属している研究室が主に神経回路モデルを扱う

研究内容

- ・ニューラルネットワークのカオス
- ・シナプス可塑性の応用
- ・歩行パターン生成モデル

CMOSを利用しているが基本のアナログ回路とは別領域

オペアンプの設計経験者がいない(現在)
オペアンプ→アナログ回路で極めて重要

必要になった時のため...

比較的確実で簡単にオペアンプが作れると良い

ソースコード

ソースコードを公開します

<https://pastebin.com/rmEyxYWe>

実際に使用したものの改良版

PySpiceでのネットリスト作成, サブサーキット宣言, シミュレーションの実行などの基本的な動作は網羅

PySpiceの参考資料程度に

本プログラムに関する注意点

無保証

実行環境 : Python3以降

- ・PySpice (インストール後の処理に注意)
- ・numpy
- ・matplotlib

※出力結果が出力されない不安定な回路である場合エラーが出ます

出力されたネットリストが必ずしもオペアンプになるとは限りません

HSPICEモデルはLEVELを48まで落とせば使用できます

本プログラム自体の欠点

- ・製造時の設計マージンが考慮されていない
- ・出力されたネットリストに対し柔軟な変更が不可
- ・作成不可能, 動作不可な回路の出力
- ・PySpice使用のためngSPICEでシミュレーション
- ・SPICEモデルのパラメータを利用し実動作を無視

プログラムによる設計の長短

長所

- ・シミュレータ組み込み機能では難しい処理も可能
- ・おおよそ求めたスペックが素早く作れる

短所

- ・アナログ技術者の視点, 経験がほぼ得られない
- ・トポロジをハードコードしなければならない

次回に向けて

次回の設計コンテストでは・・・

設計技術を学んでスコアを狙って設計できるように

トポロジの多様化

プログラムの改良？

協賛企業の皆様および運営委員会の皆様に心より感謝申し上げます
次回のために更に努力を重ねていきます



*Department of Engineering Energy System Course,
Graduate School of Engineering, University of Miyazaki*

低電圧動作を実現したオペアンプ

演算増幅器設計コンテスト
シミュレーションの部 部門3 1位

宮崎大学 工学研究科 修士課程2年

有村 知将



部門3:設計方針

部門3の評価式

$$\text{スコア} = \frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{(\text{直流利得})^2 \times \text{電源電圧}}$$

例年の傾向をみると、

電源電圧変動除去比(PSRR) ⇒ 50 ~ 80[dB]

同相除去比(CMRR) ⇒ 120 ~ 200[dB]

直流利得 ⇒ 40 ~ 90[dB]

電源電圧 ⇒ 2.4 ~ 3.0[V]

直流利得を低くしつつ電源電圧を下げて設計する



部門3:設計方針

部門3の評価式

$$\text{スコア} = \frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{(\text{直流利得})^2 \times \text{電源電圧}}$$

☆設計方針

- 電源電圧を出来るだけ下げる
- CMRR、PSRRはあまり気にしない
- フォールデッドカスコードを作りたい
⇒ 入力範囲はrail-to-railでやってみたい



部門3: 電源電圧の設定

M_{15} のゲートソース間電圧

$$V_{SG15} = V_{OD} + V_{TP}$$

M_{19} 、 M_{20} の V_{DS}

$$V_{DS} = 2V_{OD}$$

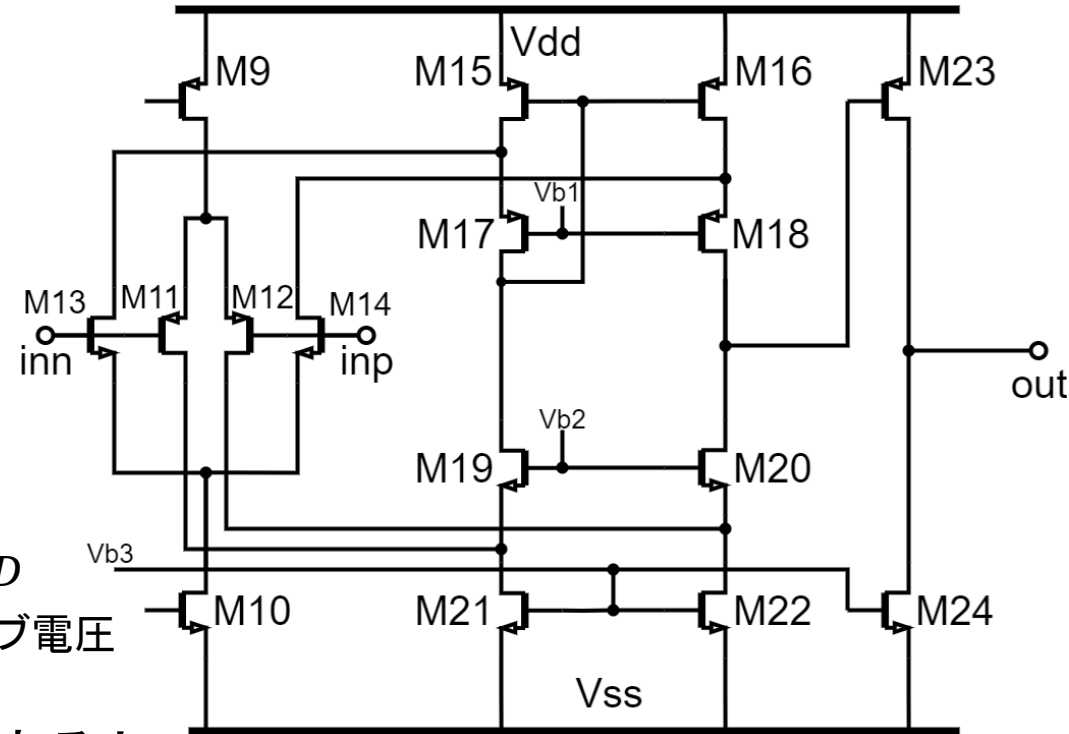
$$V_{PS} = V_{dd} - V_{ss} = V_{TP} + 3V_{OD}$$

V_{OD} : オーバードライブ電圧

$V_{OD}=0.2[V]$, $V_{TP}=0.37[V]$ とすると,

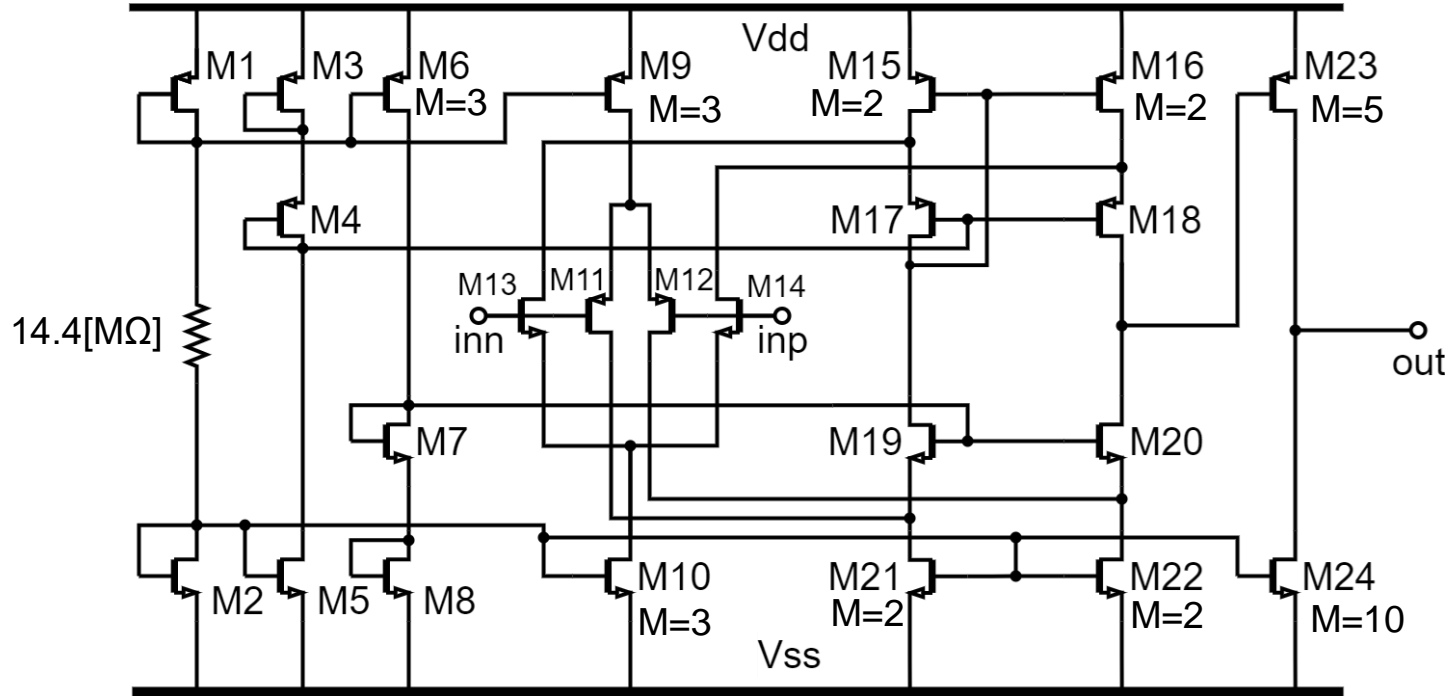
$$V_{PS} = V_{TP} + 3V_{OD} = 0.97[V]$$

電源電圧1Vでの動作が可能である





部門3:提出回路



M ₁ ,M ₂ ,M ₅ ,M ₆ ,M ₁₃ ,M ₁₄	L = 0.18[μm]	M ₇	L = 2.0[μm]	M ₁₉ ,M ₂₀	L = 1.8[μm]
M ₃ ,M ₄	L = 2.34[μm]	M ₈	L = 2.7[μm]	M ₂₂ ,M ₂₃	L = 0.27[μm] W = 0.54[μm]
M ₁₅ ,M ₁₆ ,M ₁₇ ,M ₁₈ ,M ₂₁ ,M ₂₂	L = 0.27[μm]	M ₉	L = 0.30[μm]		
M ₁₁ ,M ₁₂	L = 1.8[μm]	M ₁₀	L = 0.34[μm]	W = 0.27[μm]	



部門3: 直流利得

直流利得 : 42.6[dB]
位相余裕 : 63.0[°]

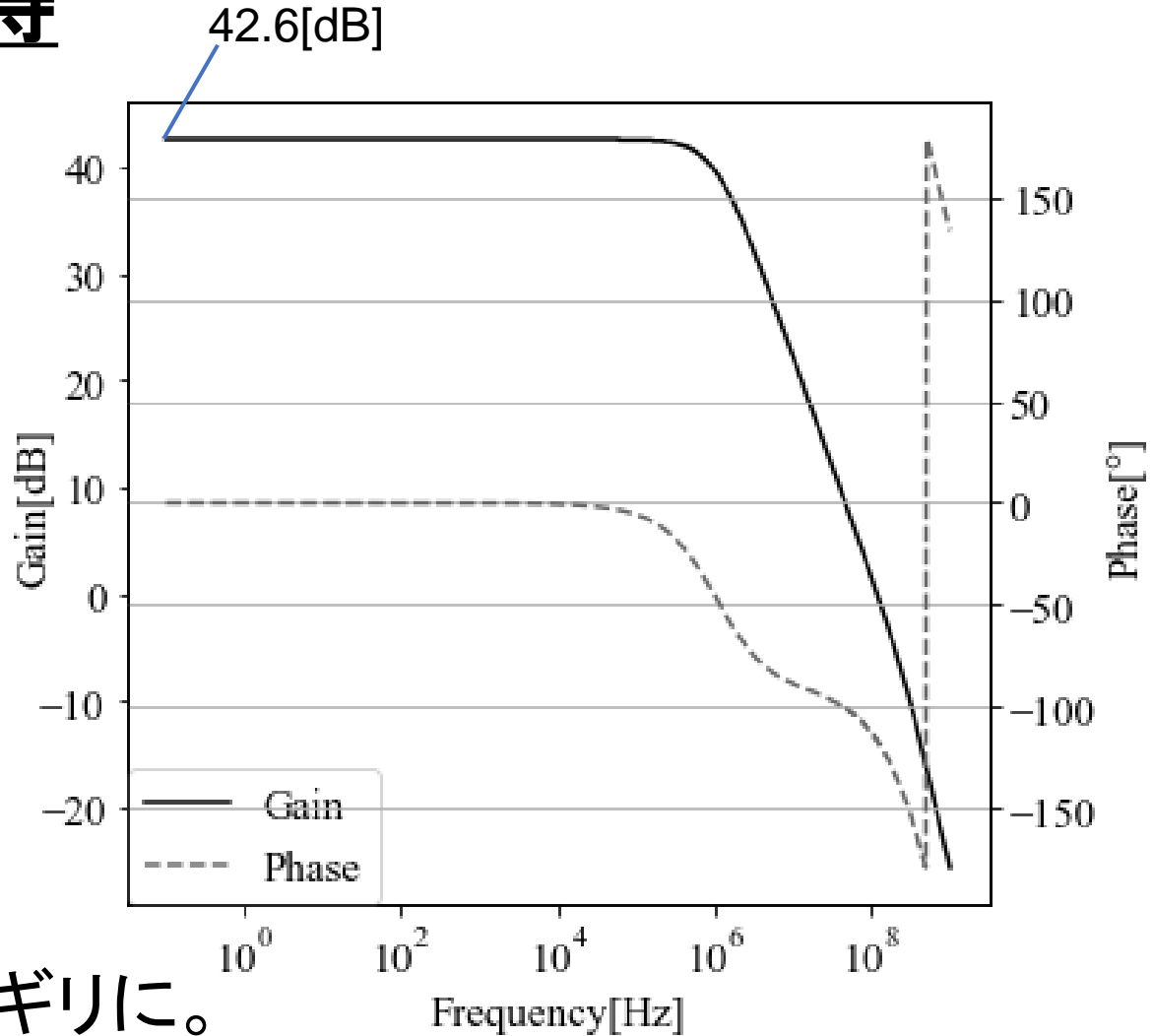


補正後

直流利得 : 52.9[dB]

電圧、電流を絞りに絞って

特性要件(40dB)ギリギリに。





部門3:CMRR

Frequency = 0.1[Hz]

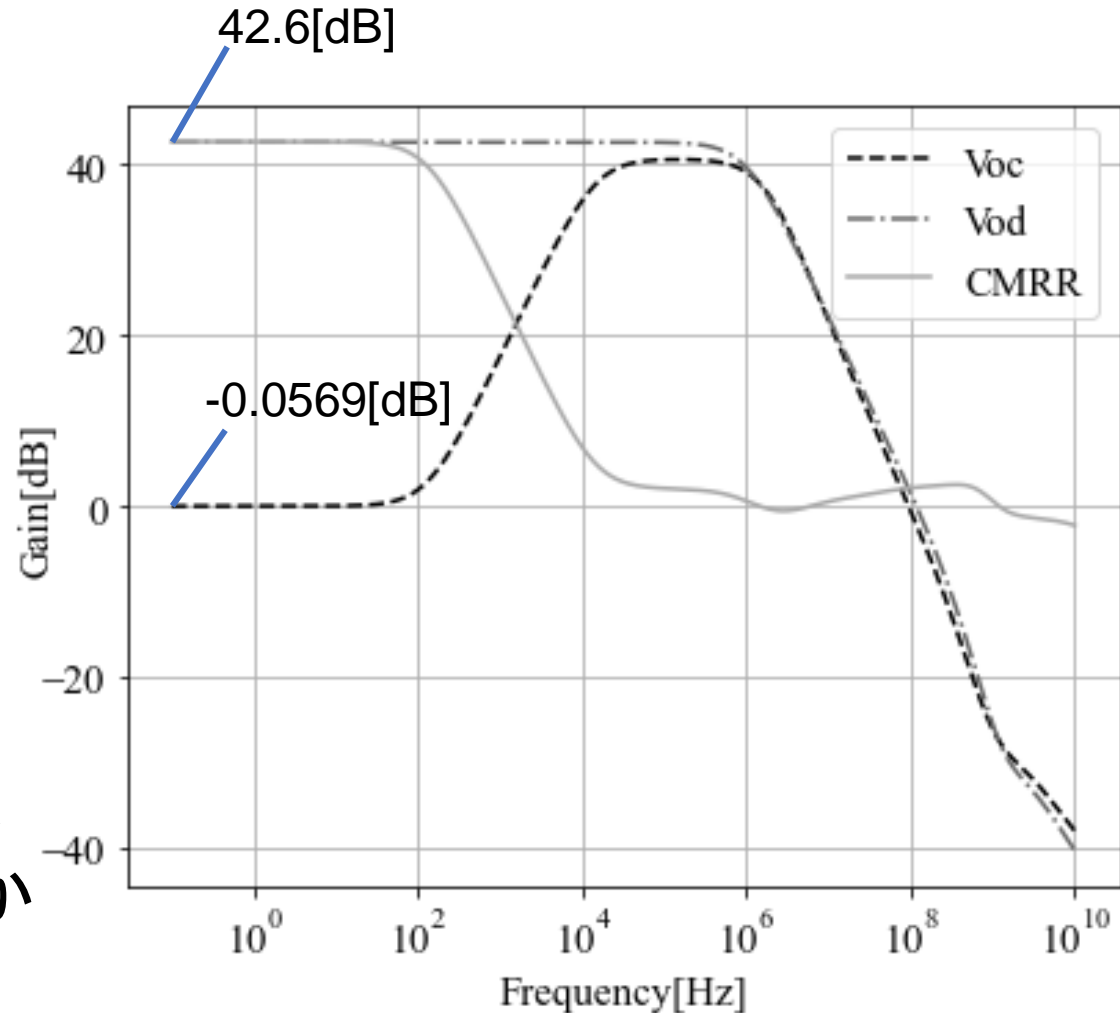
Vod : 42.6[dB]

Voc : -0.0569[dB]

CMRR : 42.6[dB]

同相利得Voc

⇒ シングルエンドでは
同相抑圧は難しいか



全差動アンプの採用で改善が可能である



部門3:PSRR

Frequency = 0.1[Hz]

Vdd側 : 45.9[dB]

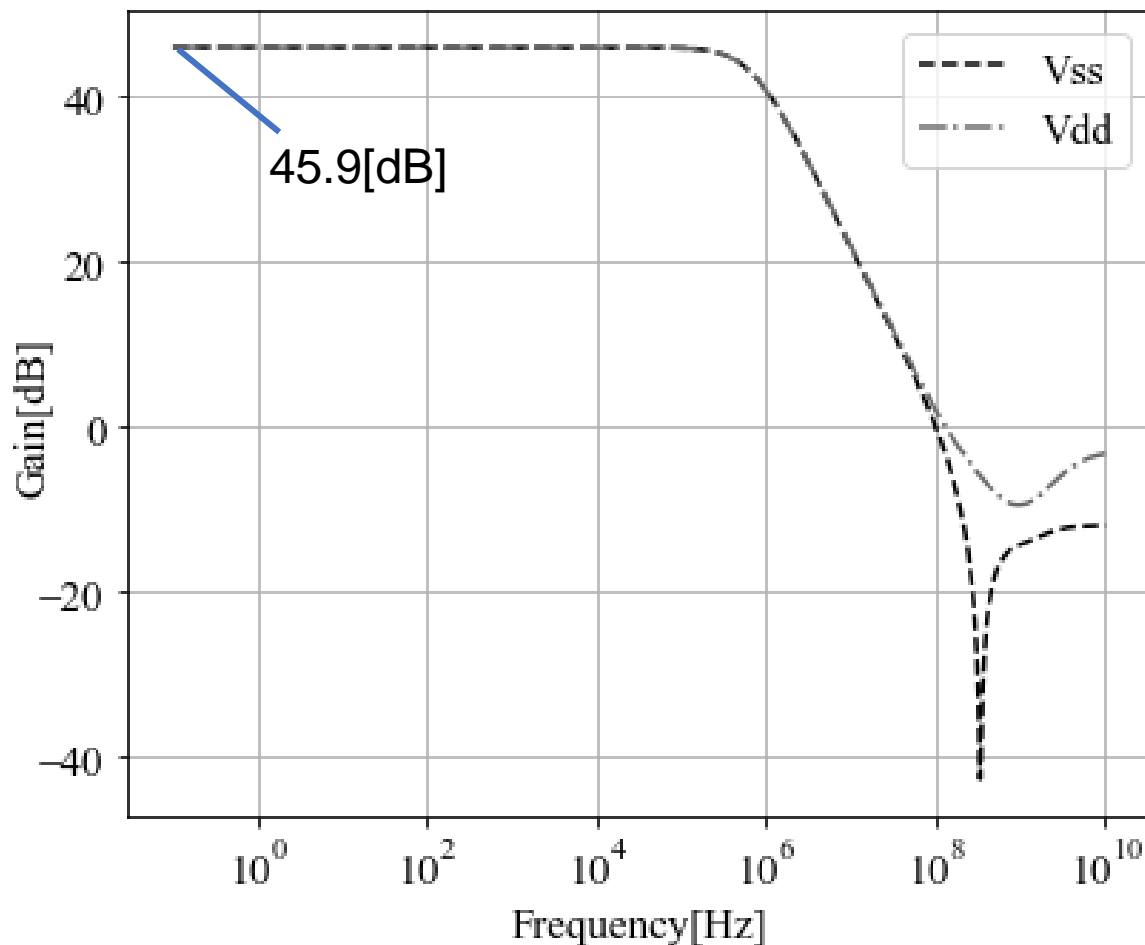
Vss側 : 45.9[dB]



CMRRと同様に
伸び代がある

出力抵抗の増加や

電源ラインへのバッファ追加などの改善が可能





部門3:評価結果

評価項目	評価結果 ※補正後
電源電圧変動除去比	51.93 [dB]
同相除去比	45.94 [dB]
直流利得	51.93 [dB]
電源電圧	1 [V]
スコア	9.684452e-01

低電圧化に注目してFCアンプを設計できた

⇒ さらにスコアが向上する余地あり。



部門3:最後に

- 回路図の提出が遅れて申し訳ありませんでした。
- オペコンに参加できる最後の機会に実績を作ることができ、今後自信をもって回路設計に取り組める。
- PSRR及びCMRRに関して改善策を考えることで特性への理解を深めることが出来た。

謝辞: 今回このような貴重な機会をいただき、非常に大切な経験を得ることが出来ました。協賛企業の皆様と運営の皆様方に深く感謝申し上げます。回路図の提出が遅くなったこと、本当に申し訳ありません。



2022年演算増幅器設計コンテスト

試作の部 3位

日付 2023年1月20日

所属 東京理科大学 理工学研究科

電気工学専攻 兵庫研究室

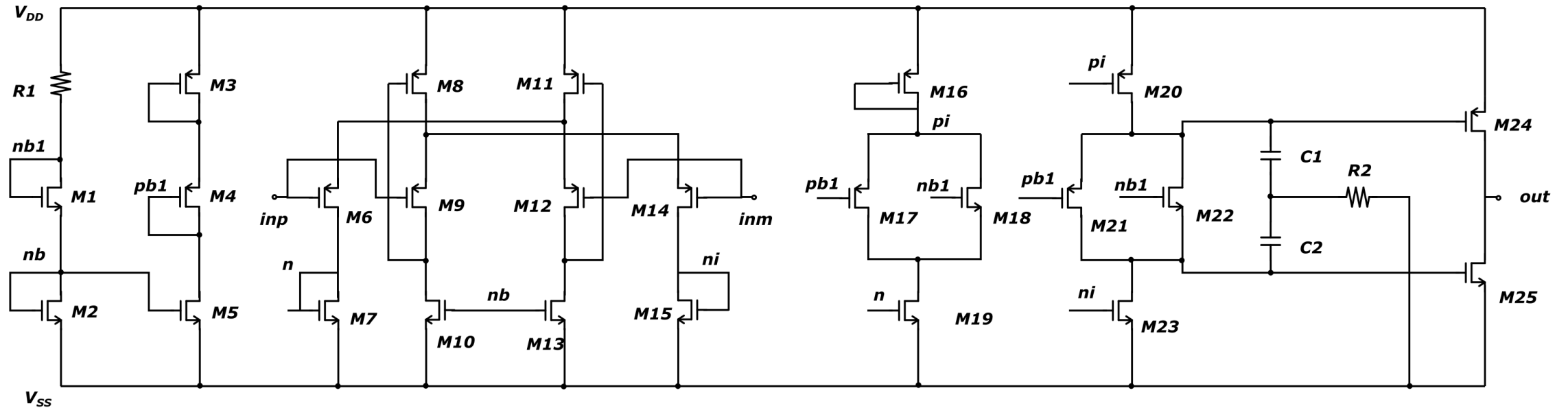
名前 中田 遥己

- 今回は消費電流が評価対象
 - 消費電流を抑える必要がある
- しかし消費電流を抑えると諸特性が悪くなる
 - 消費電流を抑えることでスルーレートが悪化する



AB級入力段を使用することで
低消費電力かつ高スルーレート、高ゲインを実現

提出回路

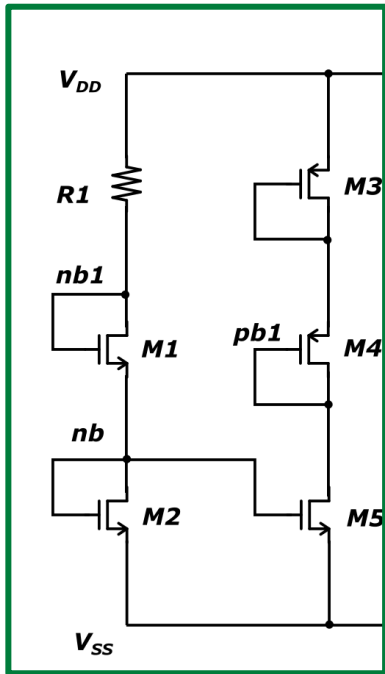


M1:W/L=2 μ /1 μ m=2	M6:W/L=6 μ /1 μ m=2	M11:W/L=6 μ /1 μ m=2	M16:W/L=6 μ /1 μ m=2	M21:W/L=6 μ /1 μ m=4	C1:1.5 pF
M2:W/L=2 μ /1 μ m=2	M7:W/L=2 μ /1 μ m=2	M12:W/L=6 μ /1 μ m=2	M17:W/L=6 μ /1 μ m=2	M22:W/L=2 μ /1 μ m=4	C2:1.5 pF
M3:W/L=6 μ /1 μ m=2	M8:W/L=6 μ /1 μ m=2	M13:W/L=2 μ /1 μ m=2	M18:W/L=2 μ /1 μ m=2	M23:W/L=2 μ /1 μ m=4	R1:7 M Ω
M4:W/L=6 μ /1 μ m=2	M9:W/L=2 μ /1 μ m=2	M14:W/L=6 μ /1 μ m=2	M19:W/L=2 μ /1 μ m=2	M24:W/L=6 μ /1 μ m=6	R2:600 k Ω
M5:W/L=2 μ /1 μ m=2	M10:W/L=2 μ /1 μ m=2	M15:W/L=2 μ /1 μ m=2	M20:W/L=6 μ /1 μ m=4	M25:W/L=2 μ /1 μ m=6	

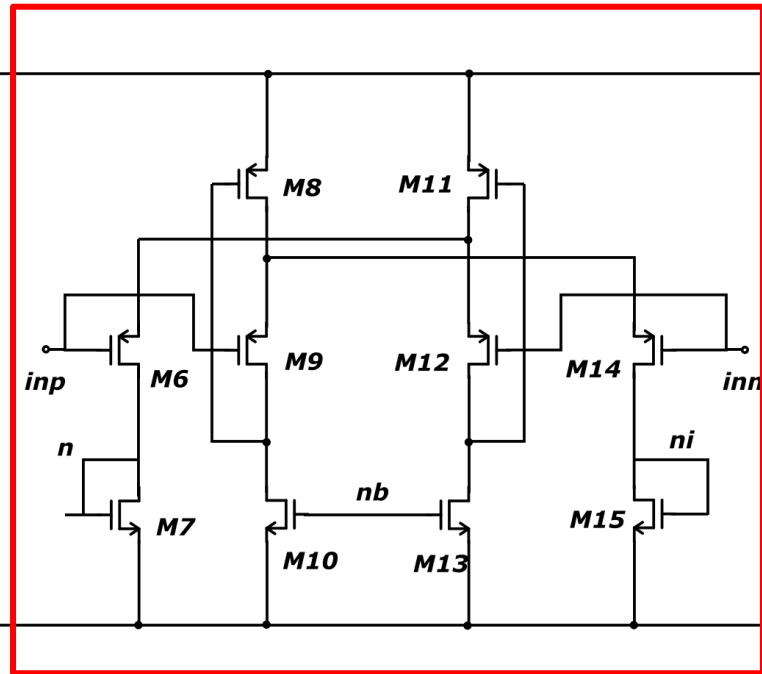
PMOSのバルクはVDD、NMOSのバルクはVSSに接続

提出回路

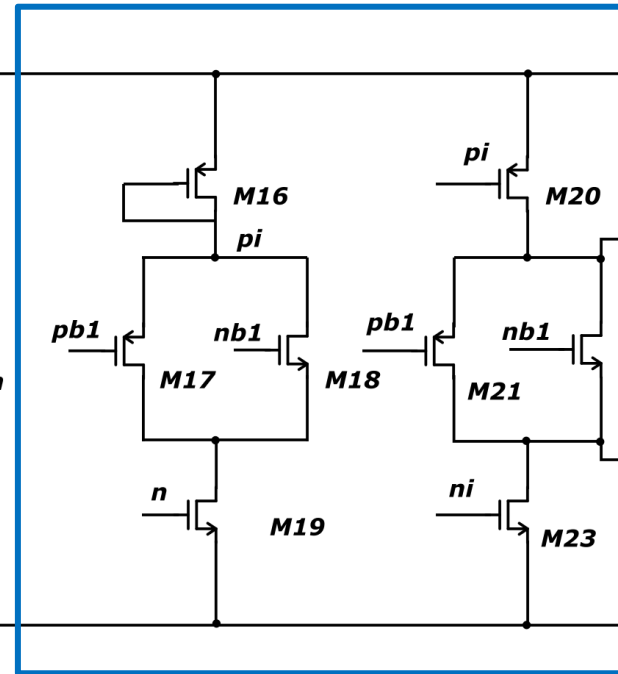
バイアス段



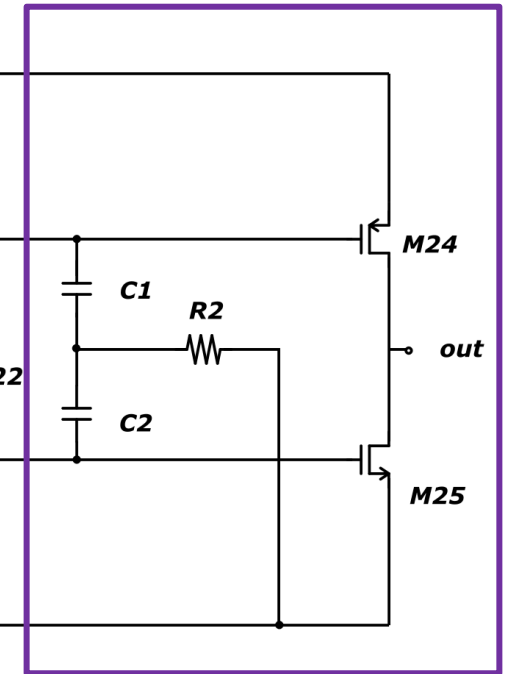
AB入力



レベルシフト



AB出力



M1:W/L=2 μ /1 μ m=2
M2:W/L=2 μ /1 μ m=2
M3:W/L=6 μ /1 μ m=2
M4:W/L=6 μ /1 μ m=2
M5:W/L=2 μ /1 μ m=2

M6:W/L=6 μ /1 μ m=2
M7:W/L=2 μ /1 μ m=2
M8:W/L=6 μ /1 μ m=2
M9:W/L=2 μ /1 μ m=2
M10:W/L=2 μ /1 μ m=2

M11:W/L=6 μ /1 μ m=2
M12:W/L=6 μ /1 μ m=2
M13:W/L=2 μ /1 μ m=2
M14:W/L=6 μ /1 μ m=2
M15:W/L=2 μ /1 μ m=2

M16:W/L=6 μ /1 μ m=2
M17:W/L=6 μ /1 μ m=2
M18:W/L=2 μ /1 μ m=2
M19:W/L=2 μ /1 μ m=2
M20:W/L=6 μ /1 μ m=4

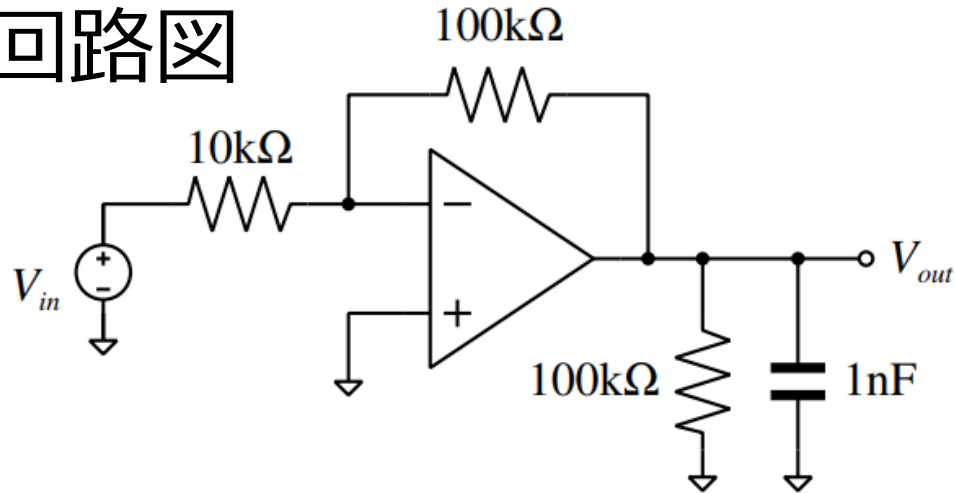
M21:W/L=6 μ /1 μ m=4
M22:W/L=2 μ /1 μ m=4
M23:W/L=2 μ /1 μ m=4
M24:W/L=6 μ /1 μ m=6
M25:W/L=2 μ /1 μ m=6

C1:1.5 pF
C2:1.5 pF
R1:7 M Ω
R2:600 k Ω

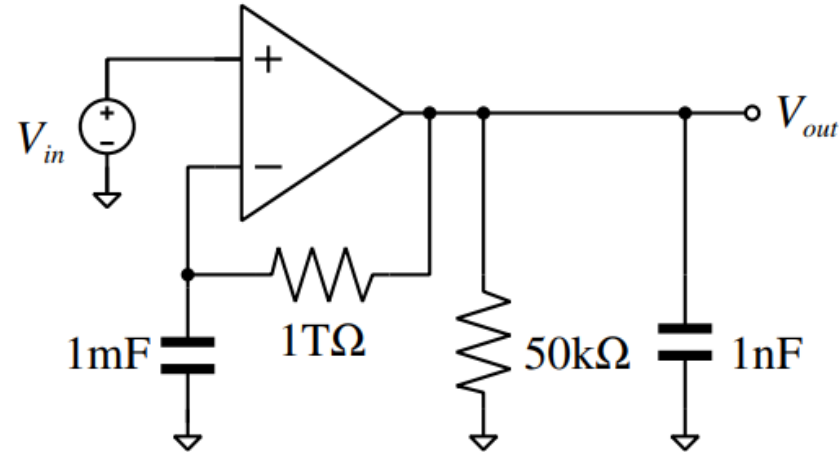
PMOSのバルクはVDD、NMOSのバルクはVSSに接続

評価回路及び要件

● 評価回路図



(a) デザイン部門の評価回路

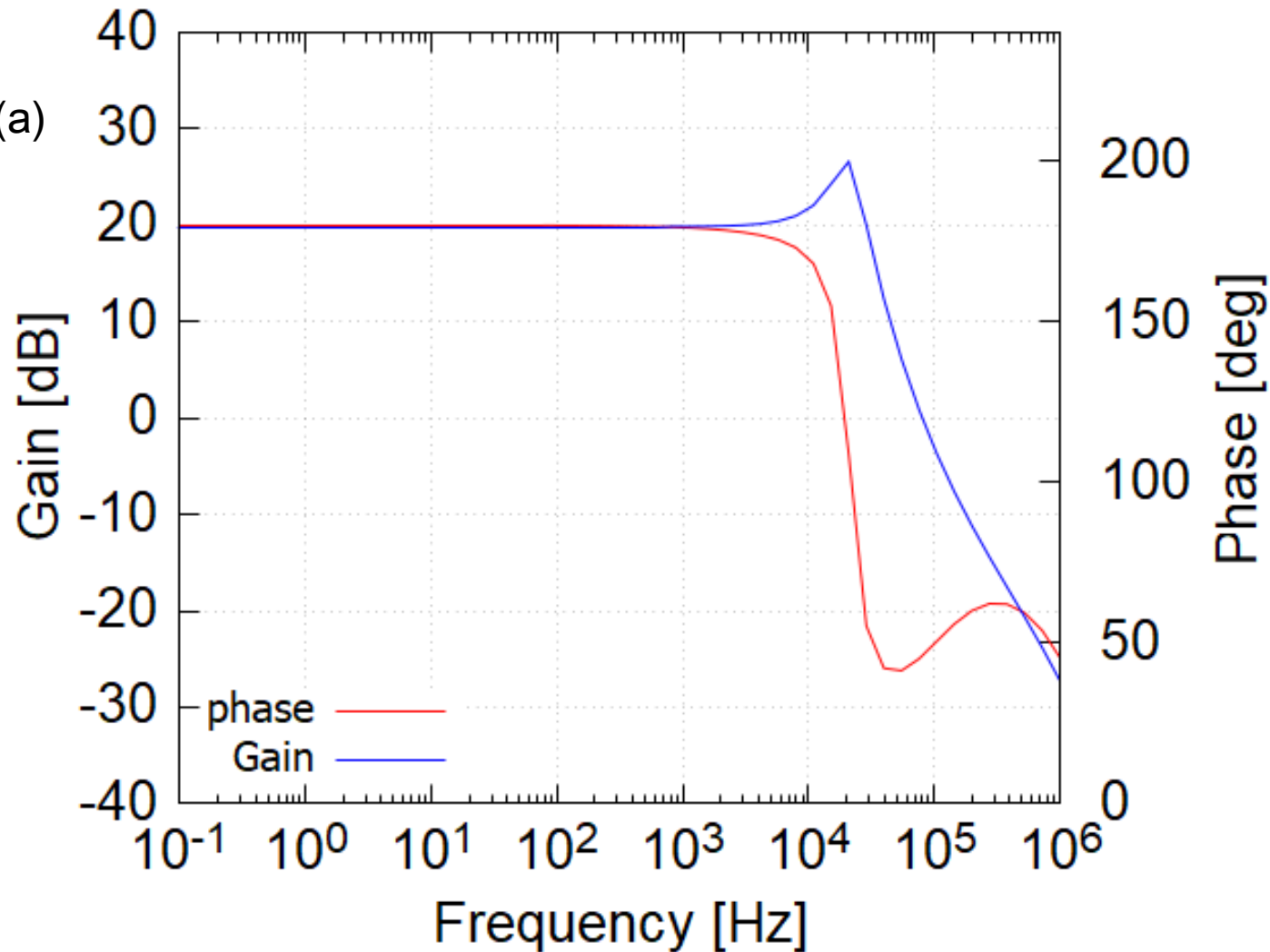


(b) 小信号評価回路

項目	要件	評価回路
直流利得	40 dB以上	(a)
位相余裕	45°以上	(b)
-3dB帯域幅	20kHz以上	(a)
入力電圧範囲	±100mV以上	(a)
スルーレート	±1V/μs	(a)

シミュレーション結果(1)

評価回路(a)

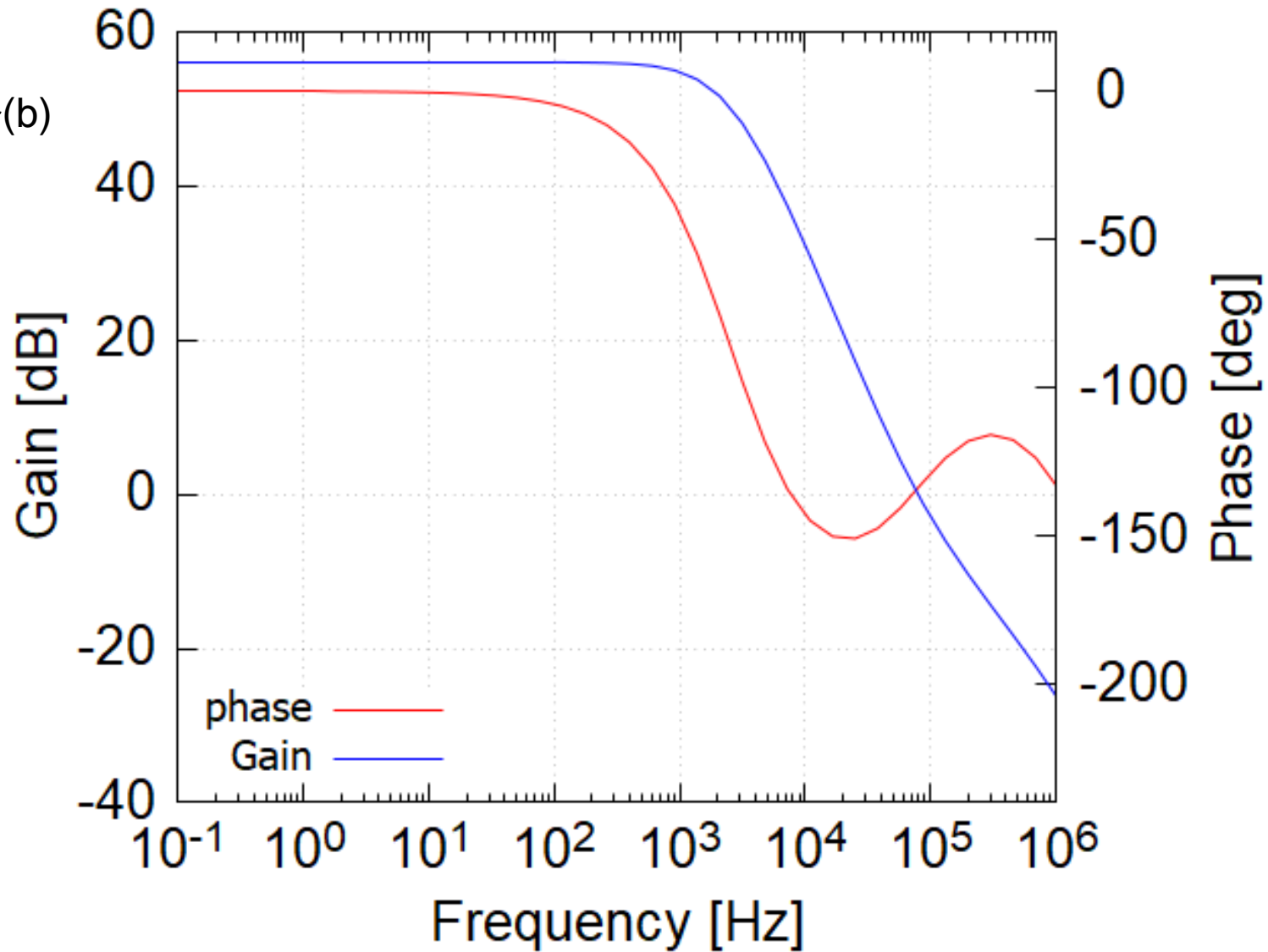


直流利得
(Closed Loop Gain)
:19.9 dB

-3dB帯域幅
:32.7 kHz

シミュレーション結果(2)

評価回路(b)

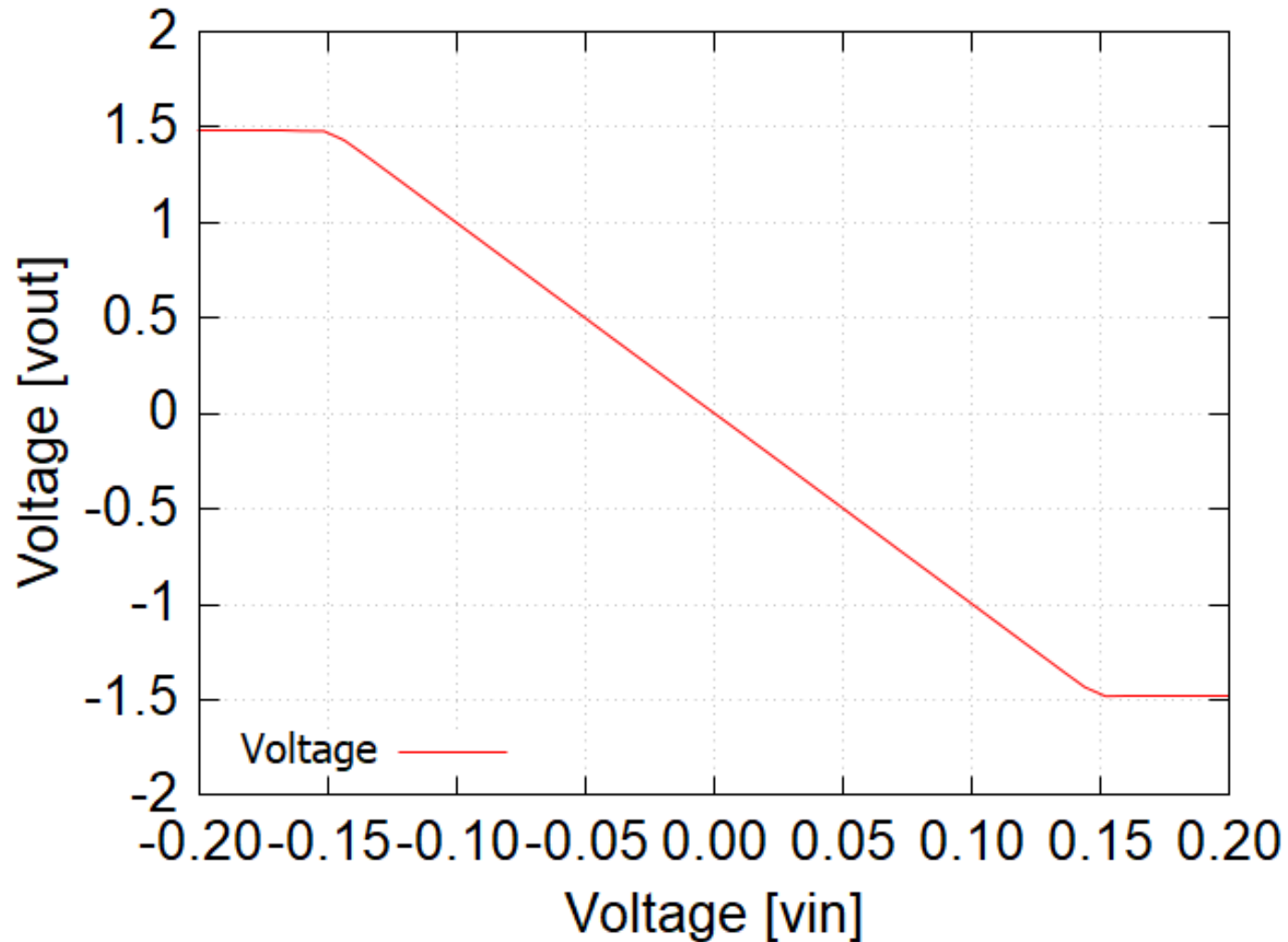


直流利得
(Open Loop Gain)
:56.1 dB

位相余裕
:45°

シミュレーション結果(3)

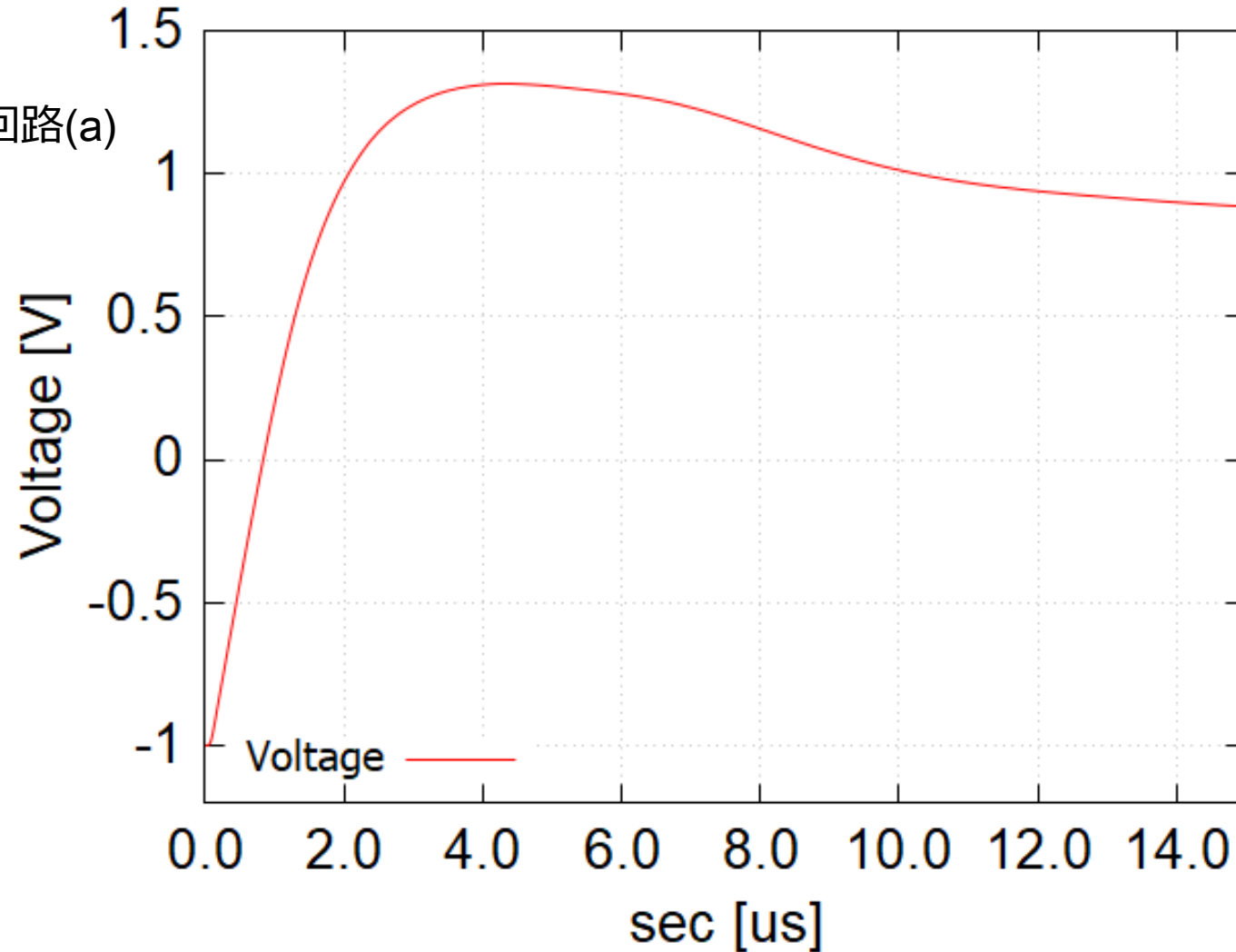
評価回路(a)



入力電圧範囲
: ± 152 mV

シミュレーション結果(4)

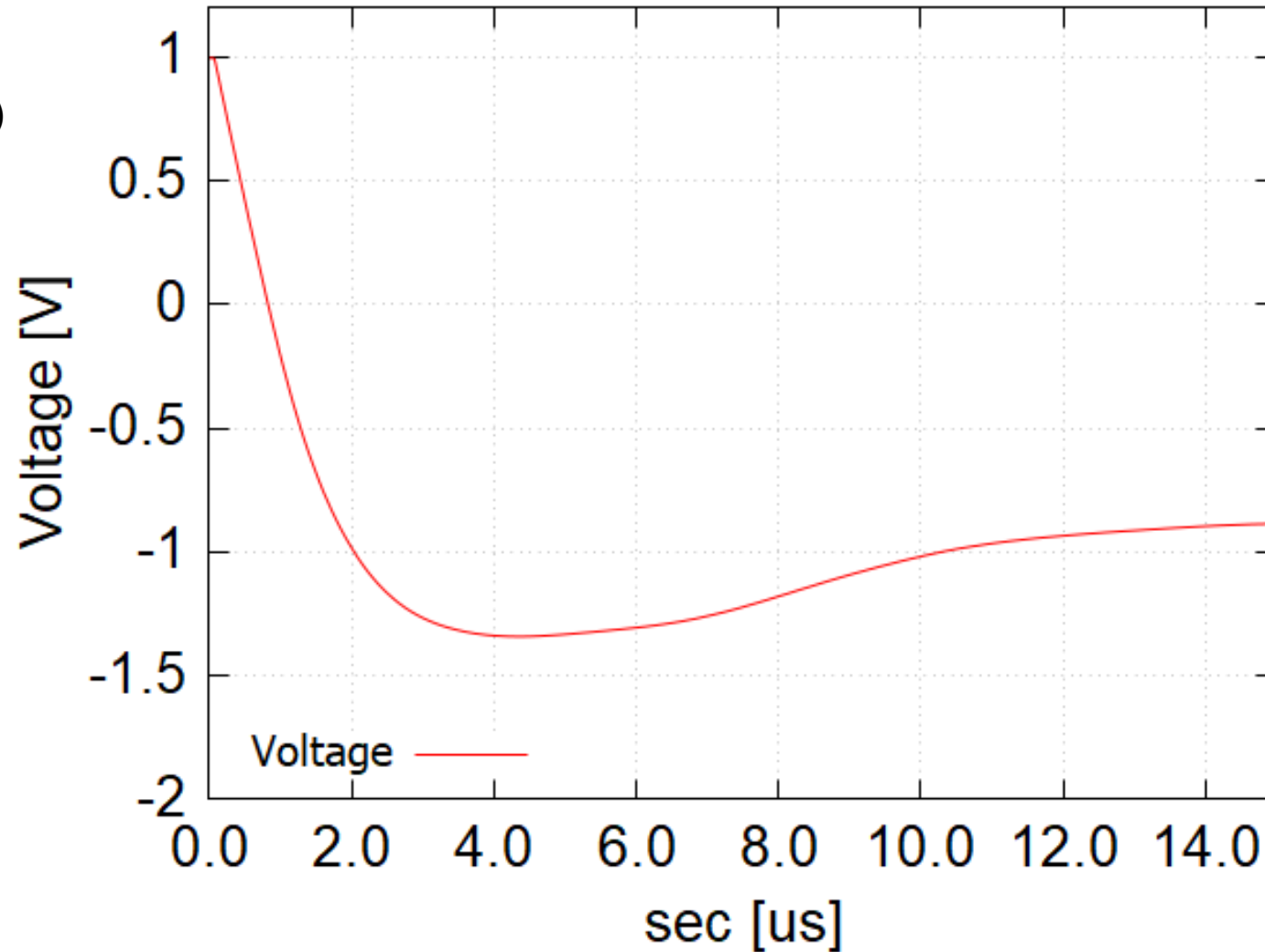
評価回路(a)



立ち上がり
:1.1V/ μ s

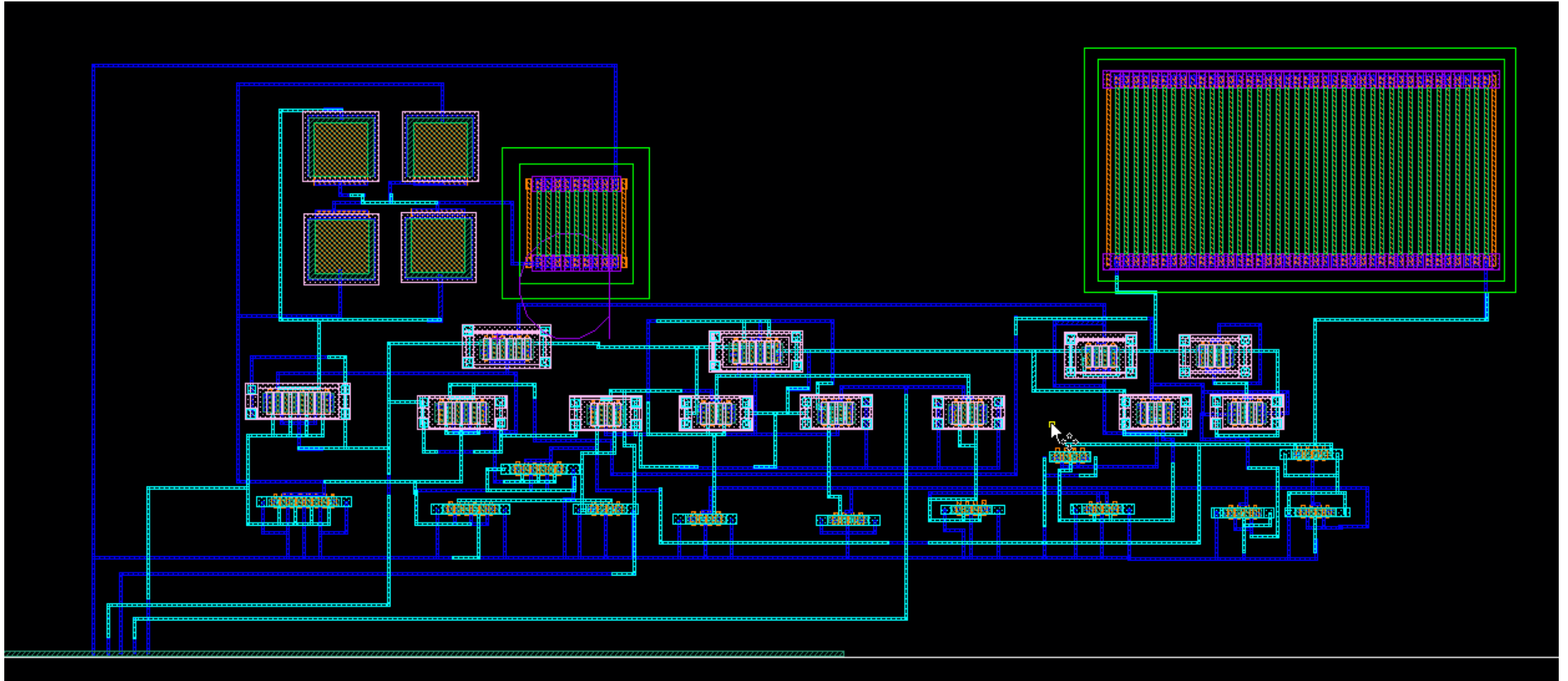
シミュレーション結果(5)

評価回路(a)

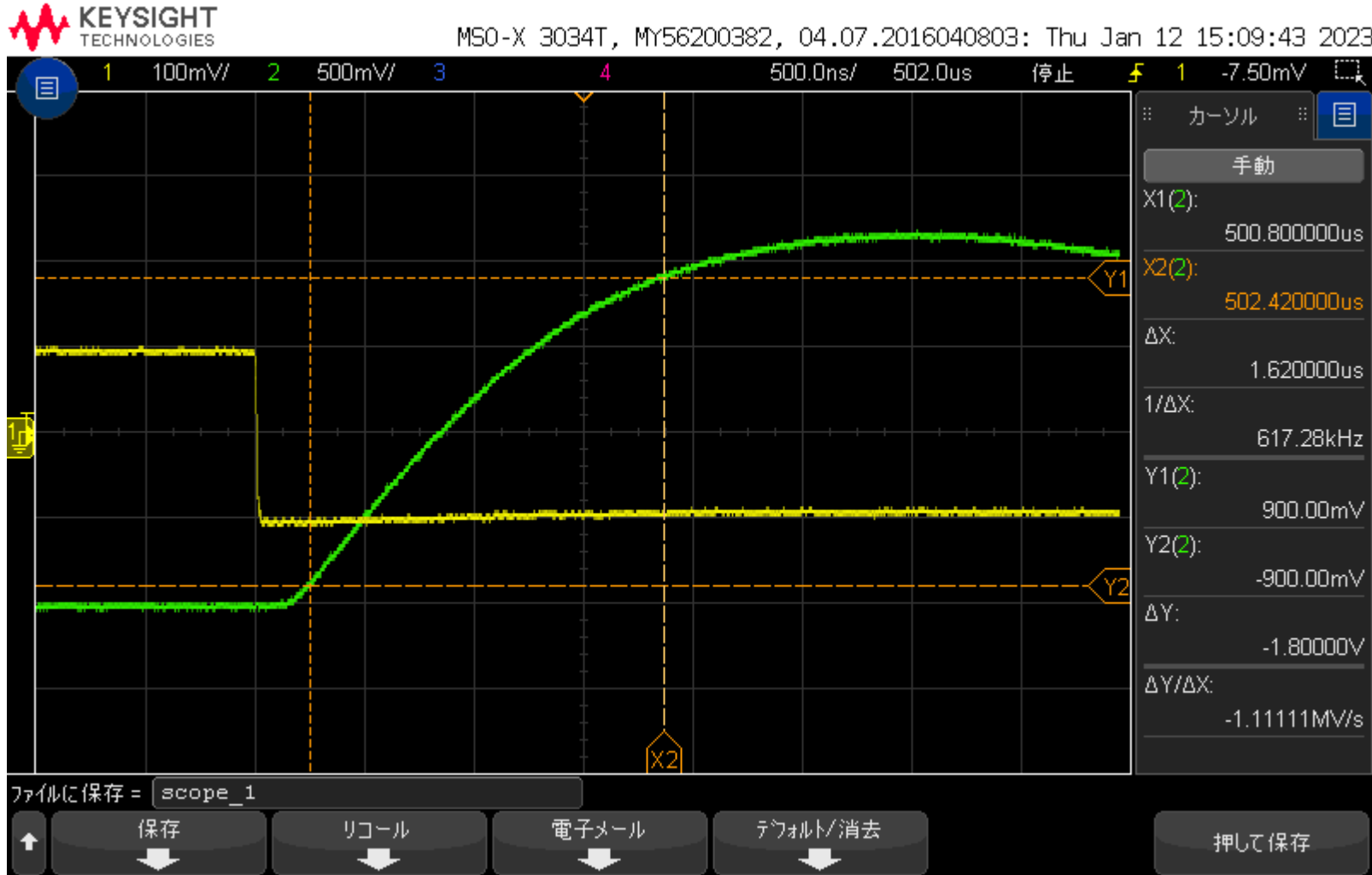


立ち下がり
:1.1V/ μ s

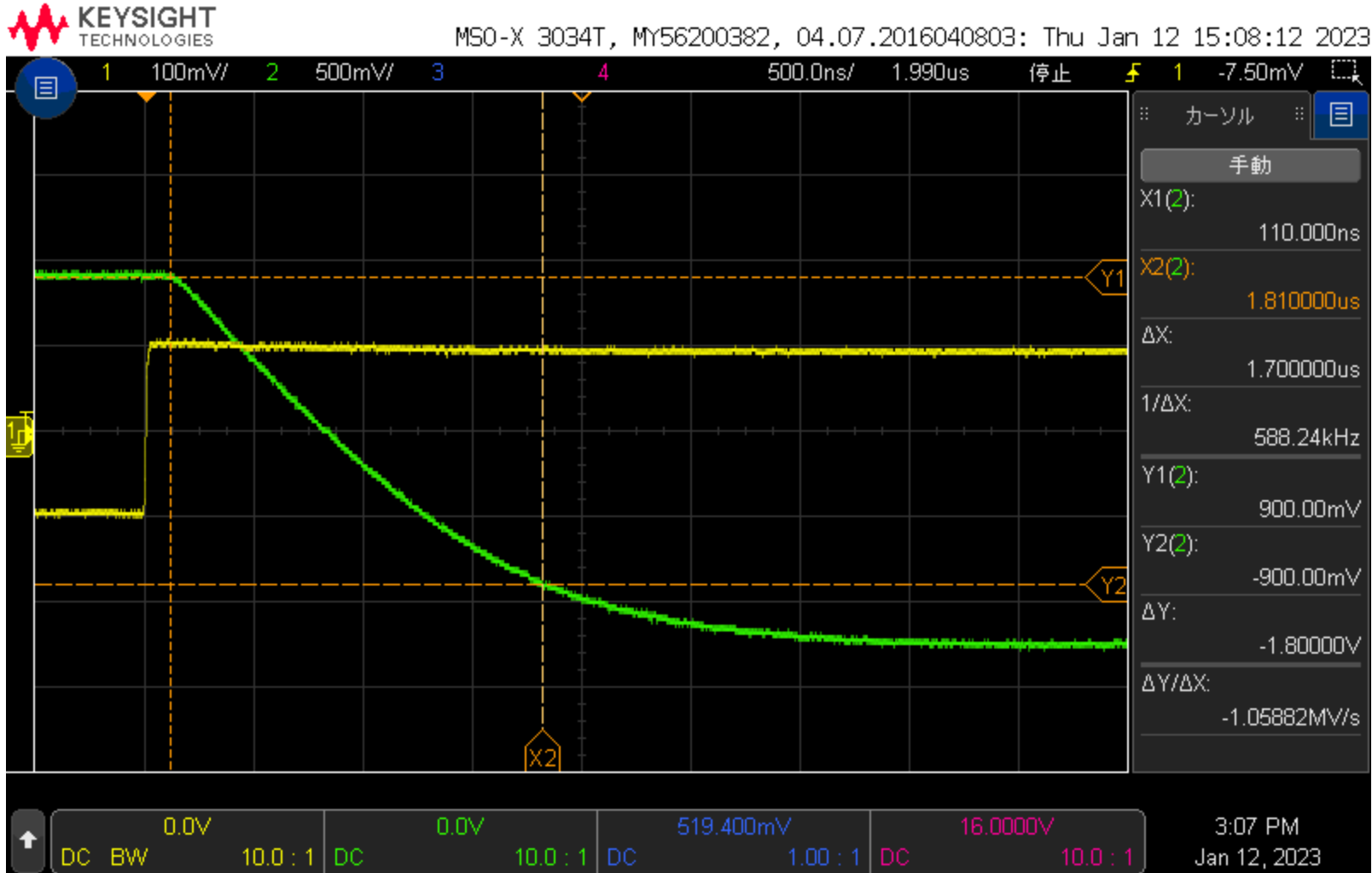
レイアウト図



測定結果 (SR:立ち上がり)



測定結果 (SR:立ち下がり)



立ち下がり
:1.1V/ μ s

シミュレーション結果と測定結果の比較

	消費電流 [μ A]	利得 [dB]	スルーレート[V/us]		最大入力電圧[mV]	帯域幅 [kHz]
			立ち上がり	立ち下がり		
要件値			1.0	1.0	100	20
シミュレーション値	3.0	19.9	1.1	1.1	152	32.7
測定値	3.7	19.9	1.1	1.1	130	300
増加率(%)	23.0	0.0	0.1	3.7	14.5	817.4

反省

- AB級入力段を用いて低消費電流でスルーレートを改善
- 要件ギリギリの設計をしてしまった。
 - さらにトランジスタサイズや素子の追求
 - 位相特性をしっかりと打ち消せていない
- 設計に時間をかけてしまい、レイアウトで工夫をすることができなかった。
 - ばらつきや回路面積を考慮したレイアウト

まとめ

- 感想

自分で設計からレイアウトを経験することで演算増幅器に対する理解が深まった

私は来年もあるので1位を目指して勉強したいと感じた

- 謝辞

このような機会を与えてくださった演算増幅器設計コンテスト運営の方々および協賛企業の方々に熱く御礼申し上げます。

本コンテストは東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門(d.lab-VDEC)を通し、日本ケイデンス・デザイン・システム社の協力で行われたものである。



2022年演算増幅器設計コンテスト

試作の部 3位

日付 2023年1月20日

所属 東京理科大学 理工学研究科

電気工学専攻 兵庫研究室

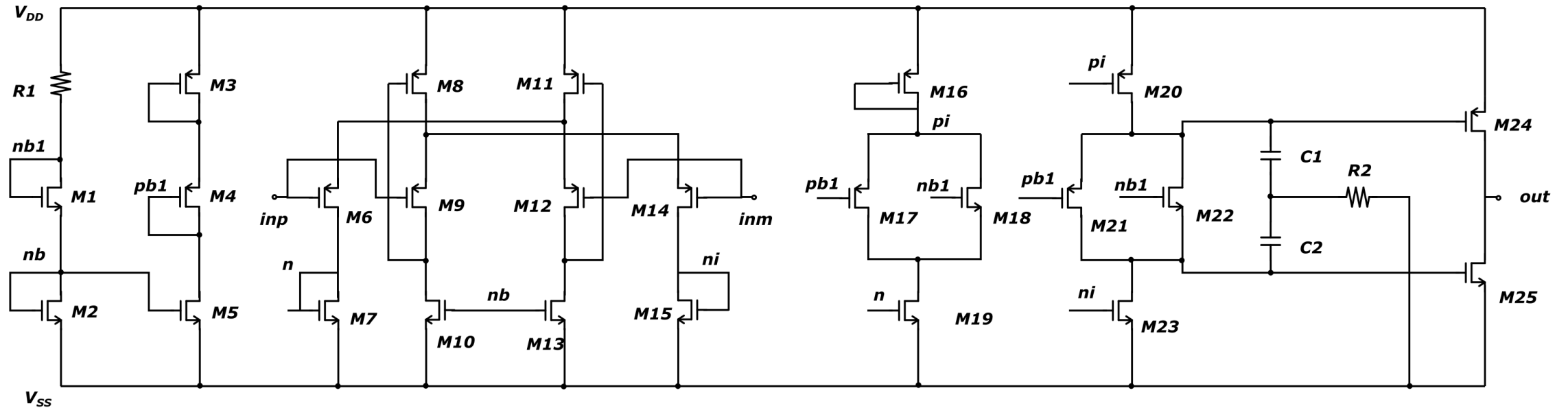
名前 中田 遥己

- 今回は消費電流が評価対象
 - 消費電流を抑える必要がある
- しかし消費電流を抑えると諸特性が悪くなる
 - 消費電流を抑えることでスルーレートが悪化する



AB級入力段を使用することで
低消費電力かつ高スルーレート、高ゲインを実現

提出回路

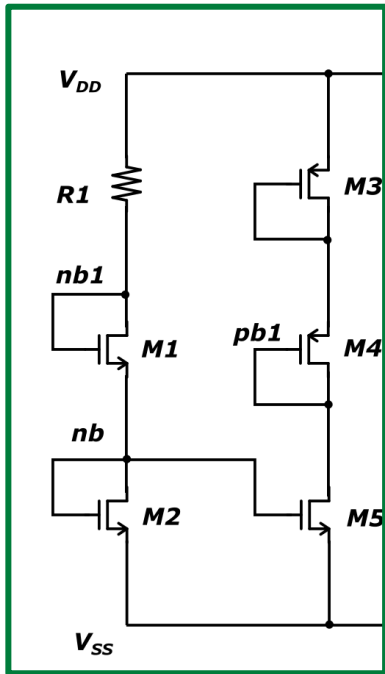


M1:W/L=2 μ /1 μ m=2	M6:W/L=6 μ /1 μ m=2	M11:W/L=6 μ /1 μ m=2	M16:W/L=6 μ /1 μ m=2	M21:W/L=6 μ /1 μ m=4	C1:1.5 pF
M2:W/L=2 μ /1 μ m=2	M7:W/L=2 μ /1 μ m=2	M12:W/L=6 μ /1 μ m=2	M17:W/L=6 μ /1 μ m=2	M22:W/L=2 μ /1 μ m=4	C2:1.5 pF
M3:W/L=6 μ /1 μ m=2	M8:W/L=6 μ /1 μ m=2	M13:W/L=2 μ /1 μ m=2	M18:W/L=2 μ /1 μ m=2	M23:W/L=2 μ /1 μ m=4	R1:7 M Ω
M4:W/L=6 μ /1 μ m=2	M9:W/L=2 μ /1 μ m=2	M14:W/L=6 μ /1 μ m=2	M19:W/L=2 μ /1 μ m=2	M24:W/L=6 μ /1 μ m=6	R2:600 k Ω
M5:W/L=2 μ /1 μ m=2	M10:W/L=2 μ /1 μ m=2	M15:W/L=2 μ /1 μ m=2	M20:W/L=6 μ /1 μ m=4	M25:W/L=2 μ /1 μ m=6	

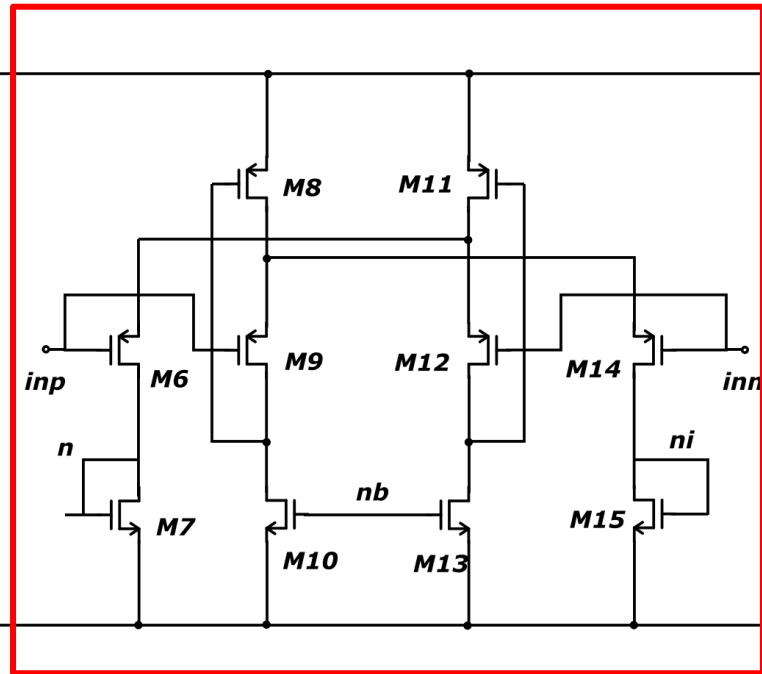
PMOSのバルクはVDD、NMOSのバルクはVSSに接続

提出回路

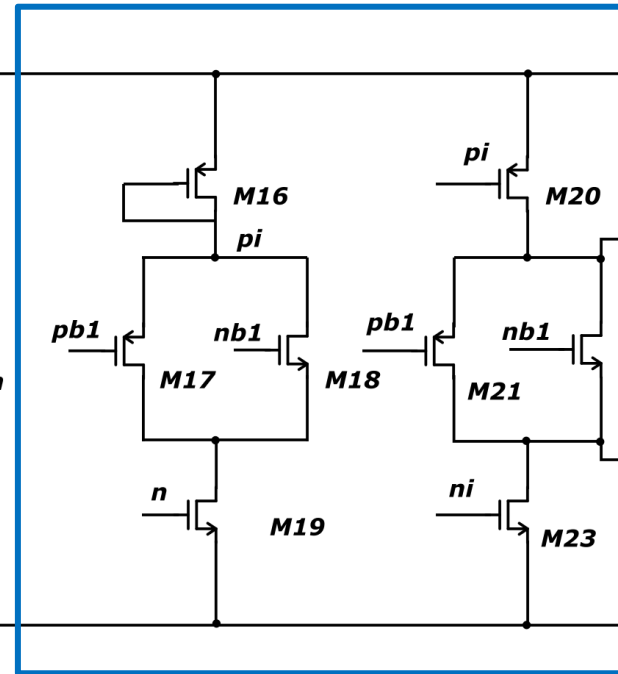
バイアス段



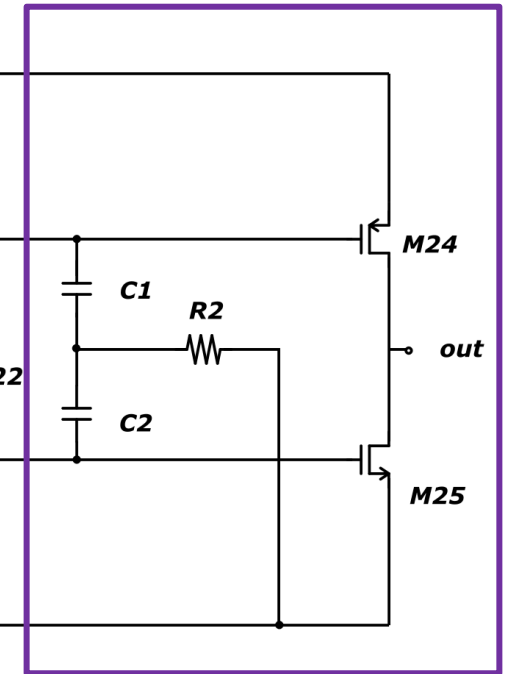
AB入力



レベルシフト



AB出力



M1:W/L=2 μ /1 μ m=2
M2:W/L=2 μ /1 μ m=2
M3:W/L=6 μ /1 μ m=2
M4:W/L=6 μ /1 μ m=2
M5:W/L=2 μ /1 μ m=2

M6:W/L=6 μ /1 μ m=2
M7:W/L=2 μ /1 μ m=2
M8:W/L=6 μ /1 μ m=2
M9:W/L=2 μ /1 μ m=2
M10:W/L=2 μ /1 μ m=2

M11:W/L=6 μ /1 μ m=2
M12:W/L=6 μ /1 μ m=2
M13:W/L=2 μ /1 μ m=2
M14:W/L=6 μ /1 μ m=2
M15:W/L=2 μ /1 μ m=2

M16:W/L=6 μ /1 μ m=2
M17:W/L=6 μ /1 μ m=2
M18:W/L=2 μ /1 μ m=2
M19:W/L=2 μ /1 μ m=2
M20:W/L=6 μ /1 μ m=4

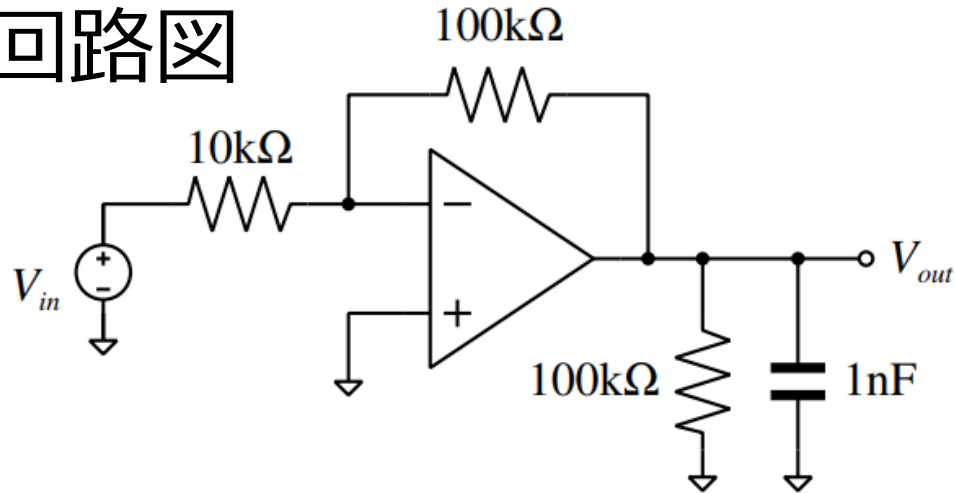
M21:W/L=6 μ /1 μ m=4
M22:W/L=2 μ /1 μ m=4
M23:W/L=2 μ /1 μ m=4
M24:W/L=6 μ /1 μ m=6
M25:W/L=2 μ /1 μ m=6

C1:1.5 pF
C2:1.5 pF
R1:7 M Ω
R2:600 k Ω

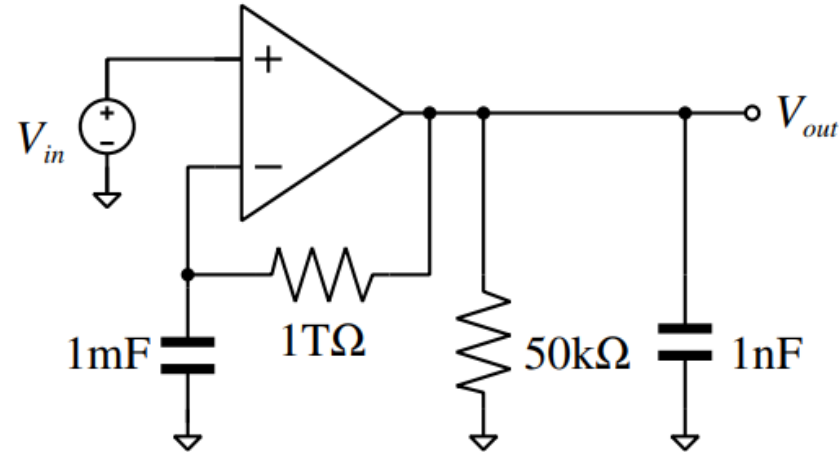
PMOSのバルクはVDD、NMOSのバルクはVSSに接続

評価回路及び要件

● 評価回路図



(a) デザイン部門の評価回路

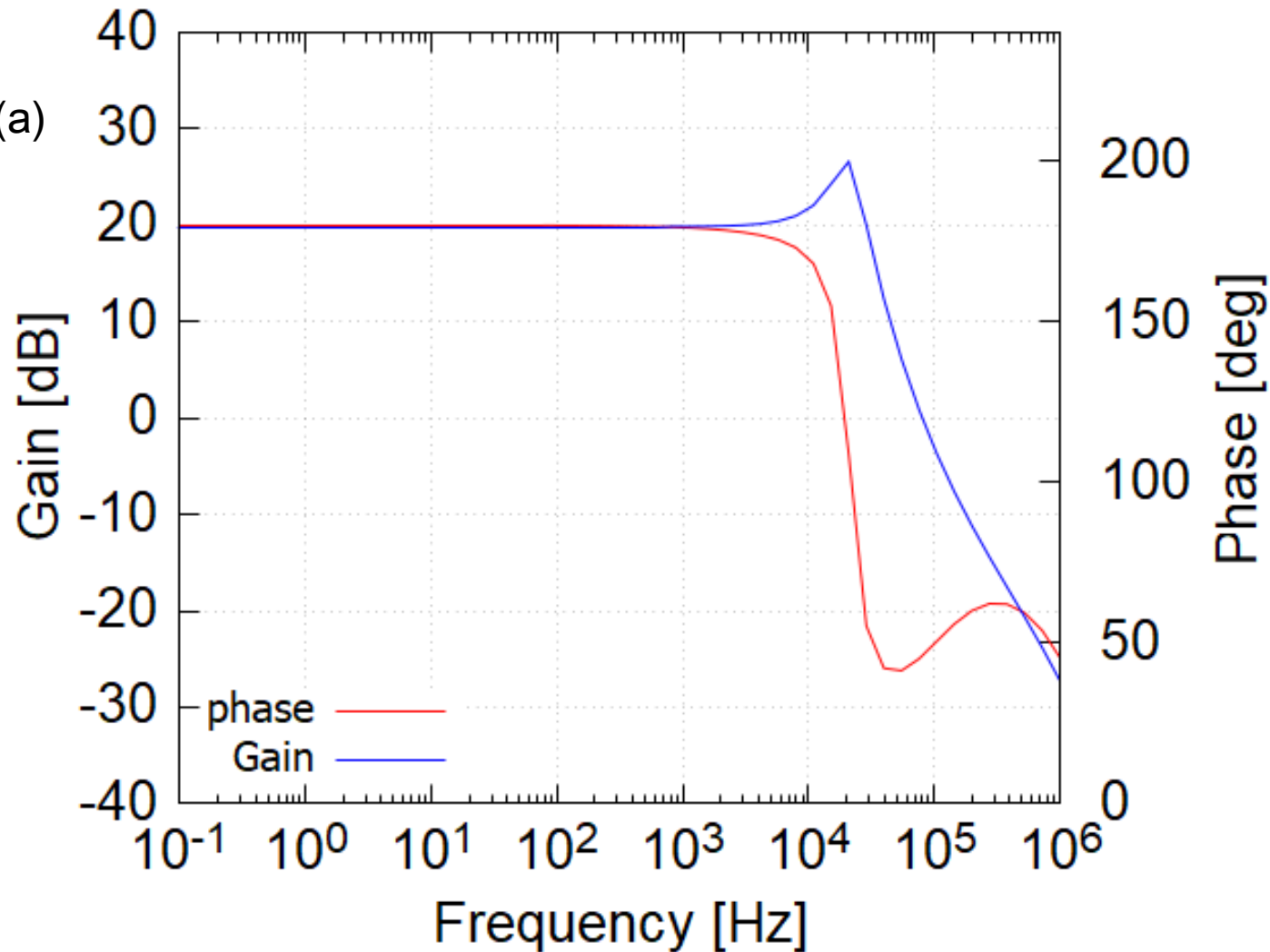


(b) 小信号評価回路

項目	要件	評価回路
直流利得	40 dB以上	(a)
位相余裕	45°以上	(b)
-3dB帯域幅	20kHz以上	(a)
入力電圧範囲	±100mV以上	(a)
スルーレート	±1V/μs	(a)

シミュレーション結果(1)

評価回路(a)

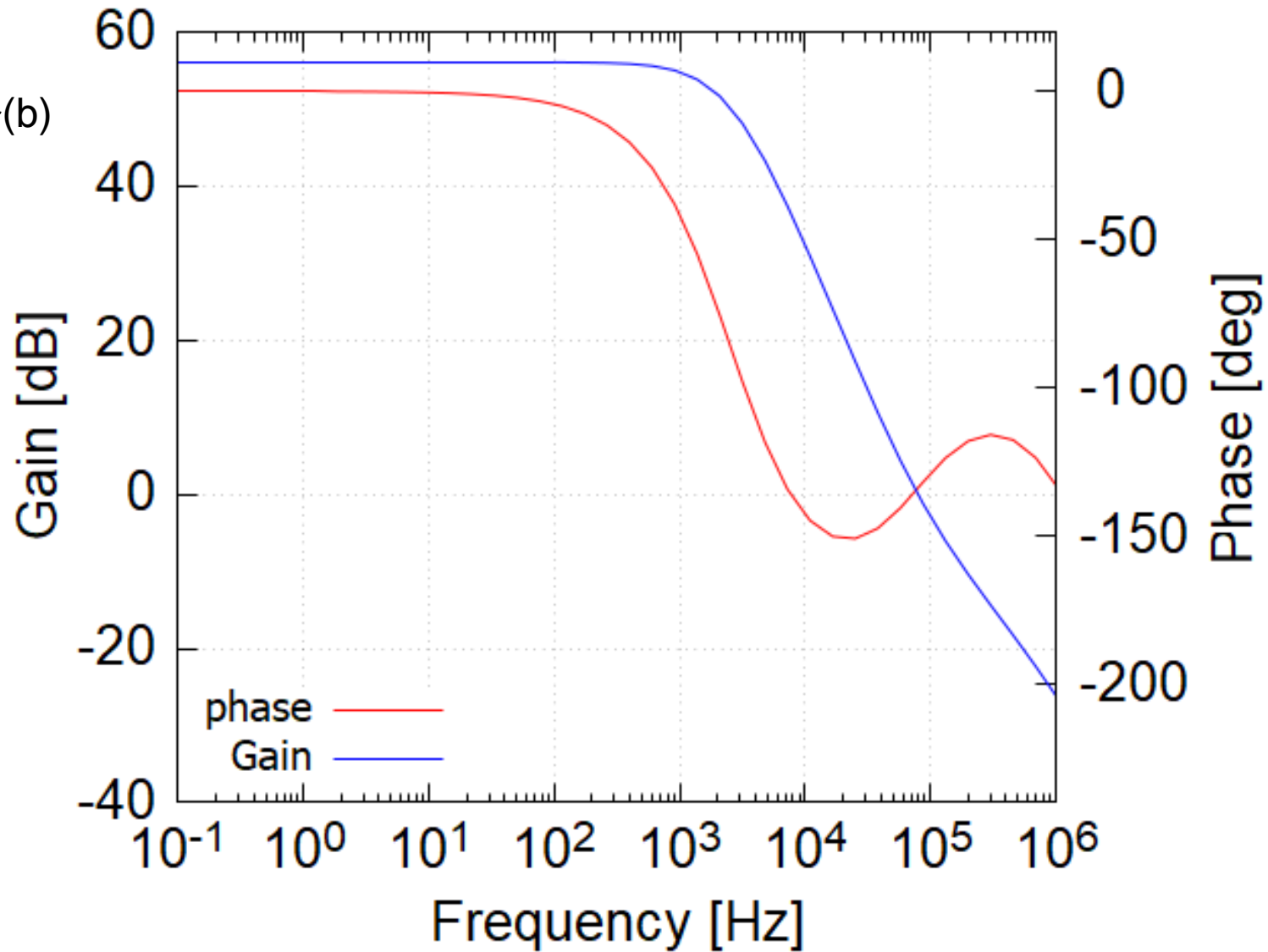


直流利得
(Closed Loop Gain)
:19.9 dB

-3dB帯域幅
:32.7 kHz

シミュレーション結果(2)

評価回路(b)

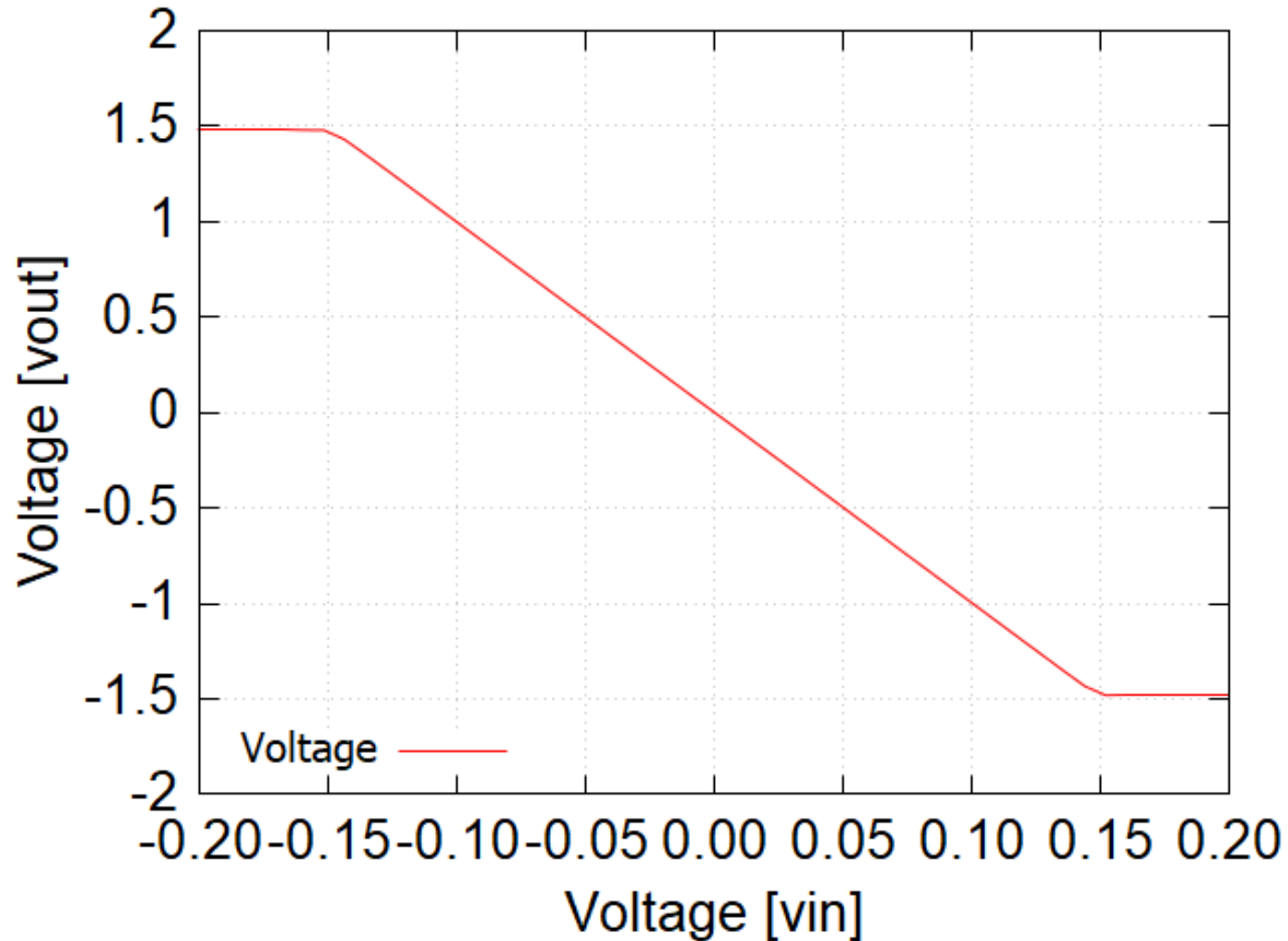


直流利得
(Open Loop Gain)
:56.1 dB

位相余裕
:45°

シミュレーション結果(3)

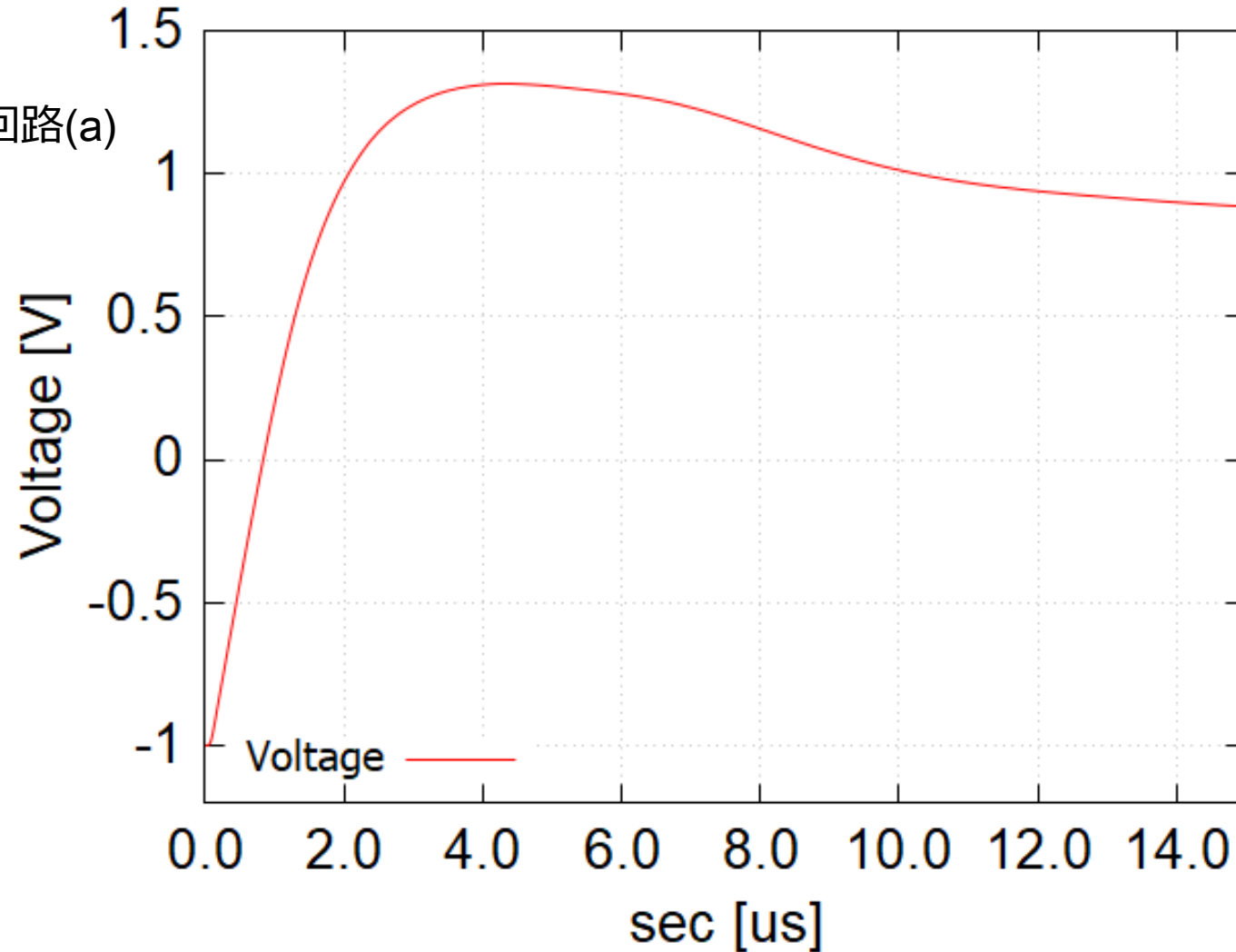
評価回路(a)



入力電圧範囲
:±152 mV

シミュレーション結果(4)

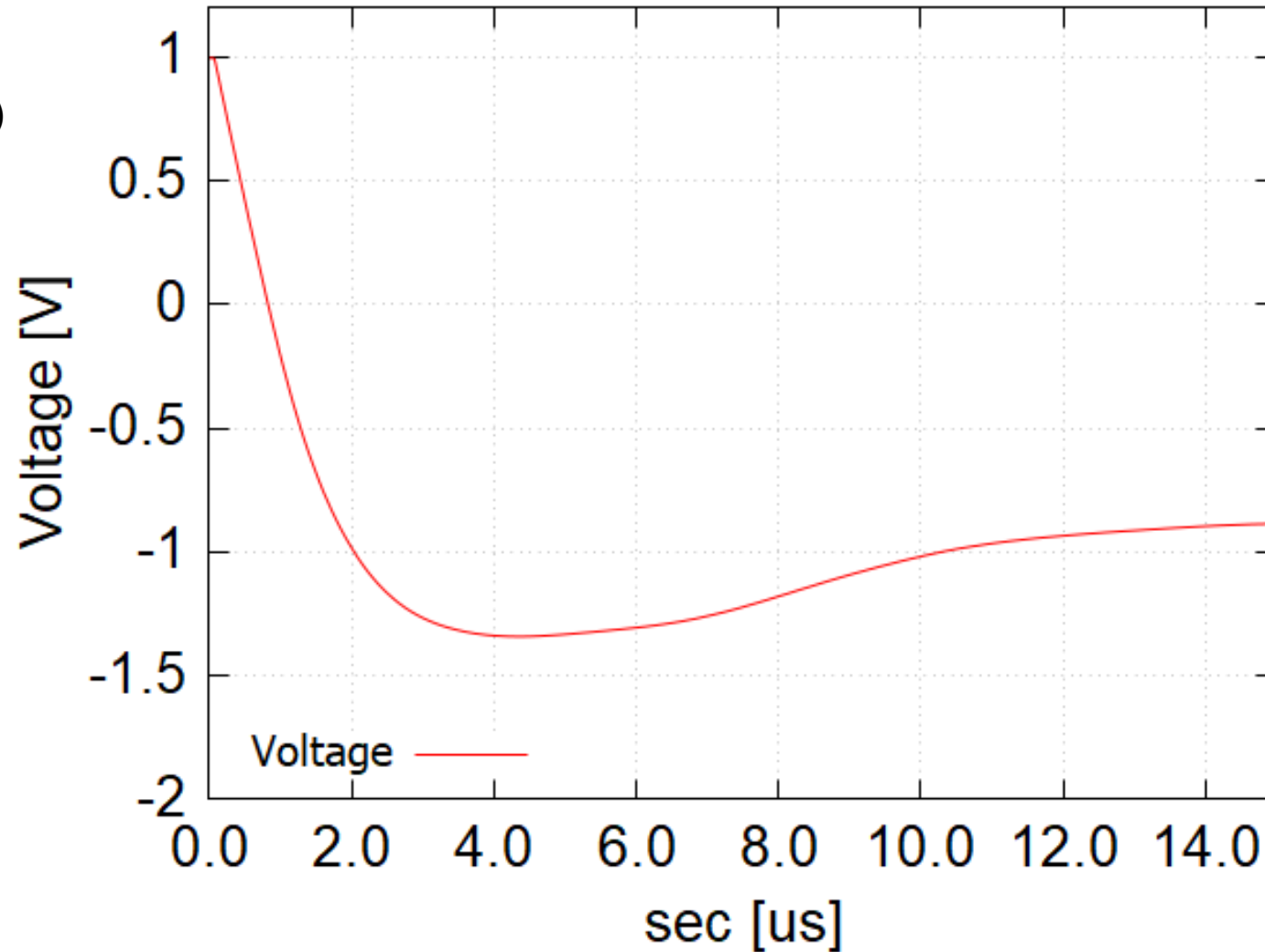
評価回路(a)



立ち上がり
:1.1V/ μ s

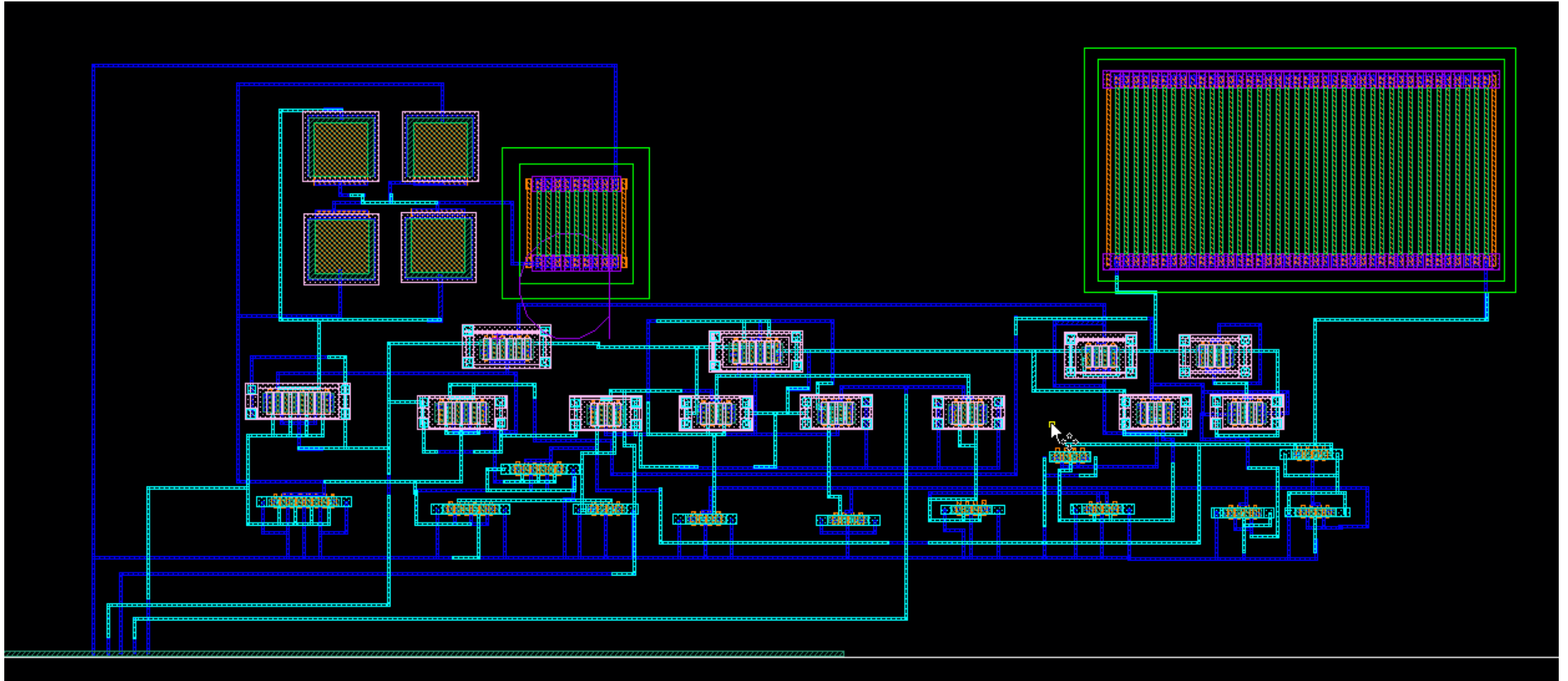
シミュレーション結果(5)

評価回路(a)

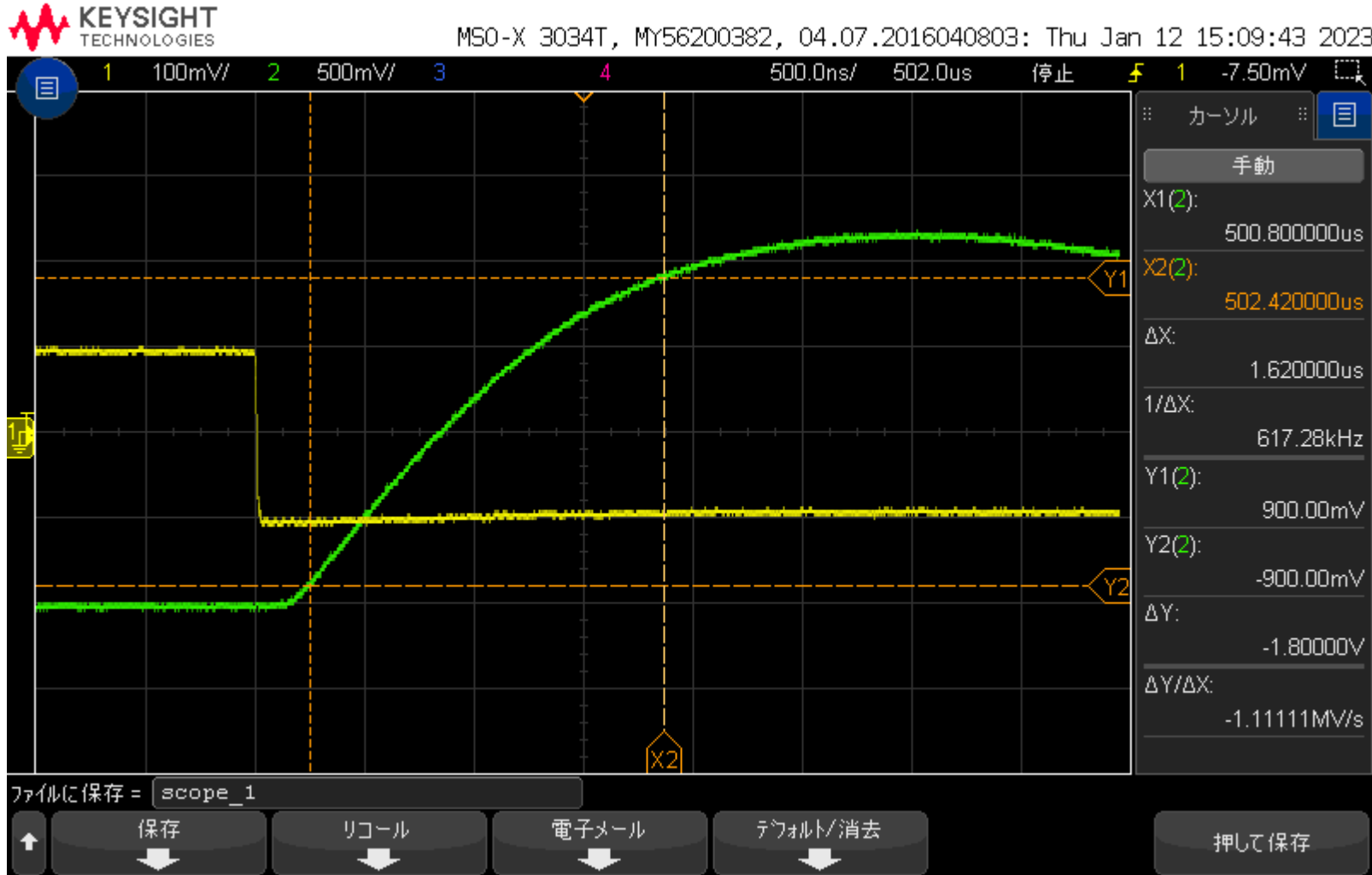


立ち下がり
:1.1V/ μ s

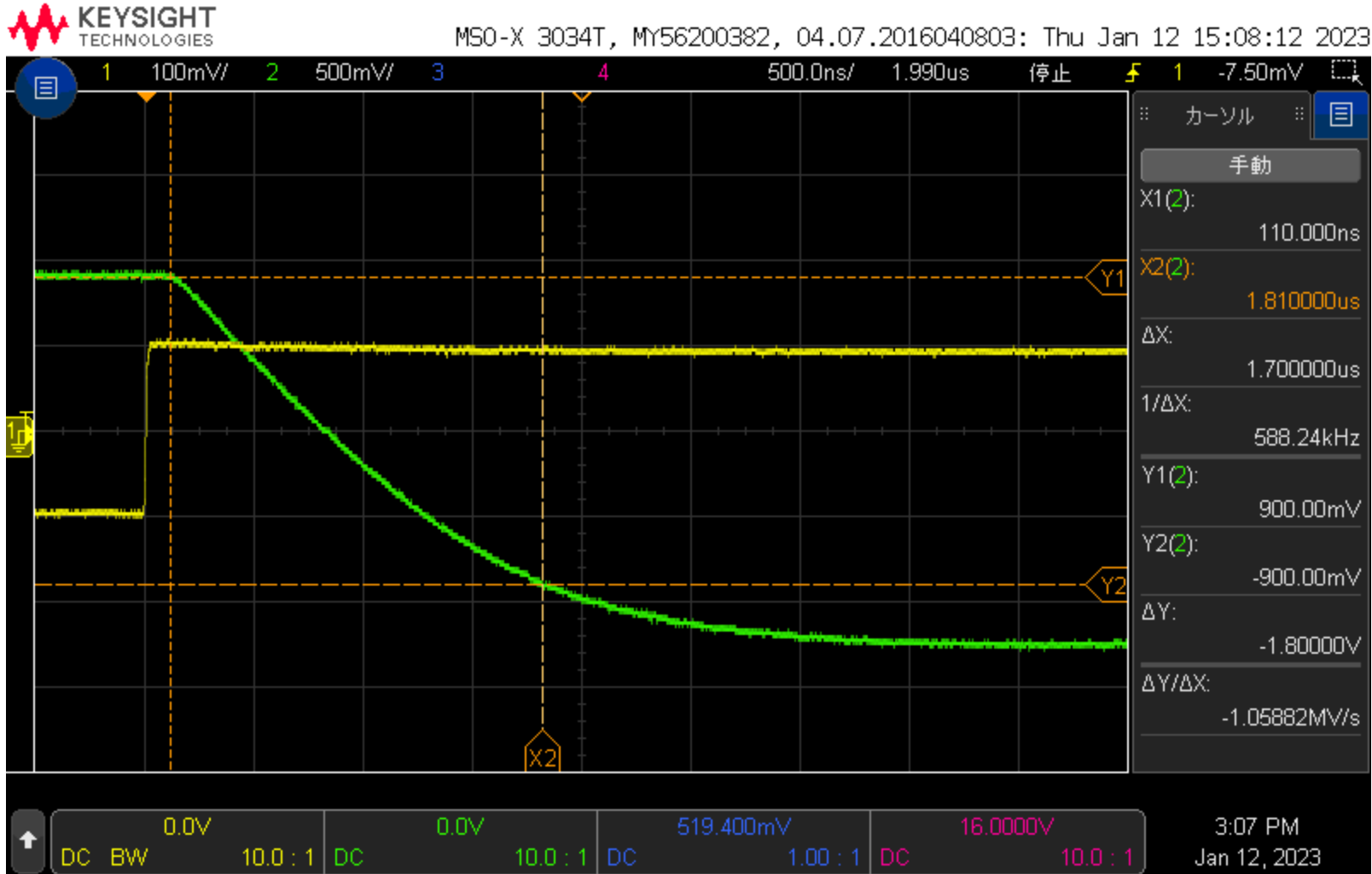
レイアウト図



測定結果 (SR:立ち上がり)



測定結果 (SR:立ち下がり)



立ち下がり
:1.1V/ μ s

シミュレーション結果と測定結果の比較

	消費電流 [μ A]	利得 [dB]	スルーレート[V/us]		最大入力電圧[mV]	帯域幅 [kHz]
			立ち上がり	立ち下がり		
要件値			1.0	1.0	100	20
シミュレーション値	3.0	19.9	1.1	1.1	152	32.7
測定値	3.7	19.9	1.1	1.1	130	300
増加率(%)	23.0	0.0	0.1	3.7	14.5	817.4

反省

- AB級入力段を用いて低消費電流でスルーレートを改善
- 要件ギリギリの設計をしてしまった。
 - さらにトランジスタサイズや素子の追求
 - 位相特性をしっかりと打ち消せていない
- 設計に時間をかけてしまい、レイアウトで工夫をすることができなかった。
 - ばらつきや回路面積を考慮したレイアウト

まとめ

- 感想

自分で設計からレイアウトを経験することで演算増幅器に対する理解が深まった

私は来年もあるので1位を目指して勉強したいと感じた

- 謝辞

このような機会を与えてくださった演算増幅器設計コンテスト運営の方々および協賛企業の方々に熱く御礼申し上げます。

本コンテストは東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門(d.lab-VDEC)を通し、日本ケイデンス・デザイン・システム社の協力で行われたものである。



2022年 演算増幅器設計コンテスト 試作の部 2位

広島市立大学 情報科学部
情報工学科 コンピュータアーキテクチャ研究室
B4 南山 陸



参加した経緯

教授に演算増幅器を設計するコンテストに出てみないかと声を掛けられた。



- ・演算を増幅するってどういうことだろう
- ・ソフト専門で全く知識がない<<
- ・研究もあるので大変そう

大学生のうちにはしか出来ない挑戦だと思い参加を決意

(同学の渡邊とともに参加)

はじめに

演算増幅器とは 🔍

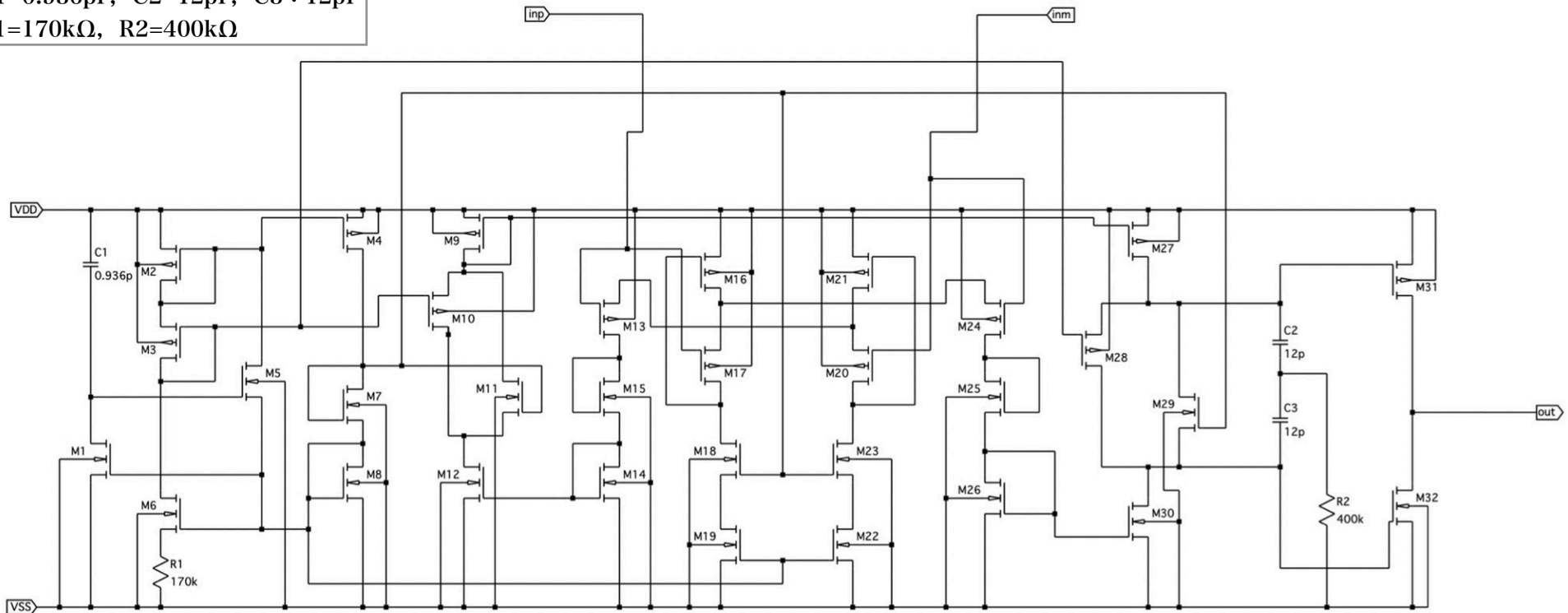
演算増幅器 仕組み 🔍

PMOS NMOS 違い 🔍

と検索するところから...

提出回路

PMOS : L=0.6 μ m, W=6 μ m
 NMOS : L=0.6 μ m, W=2 μ m
 C1=0.936pF, C2=12pF, C3 : 12pF
 R1=170k Ω , R2=400k Ω



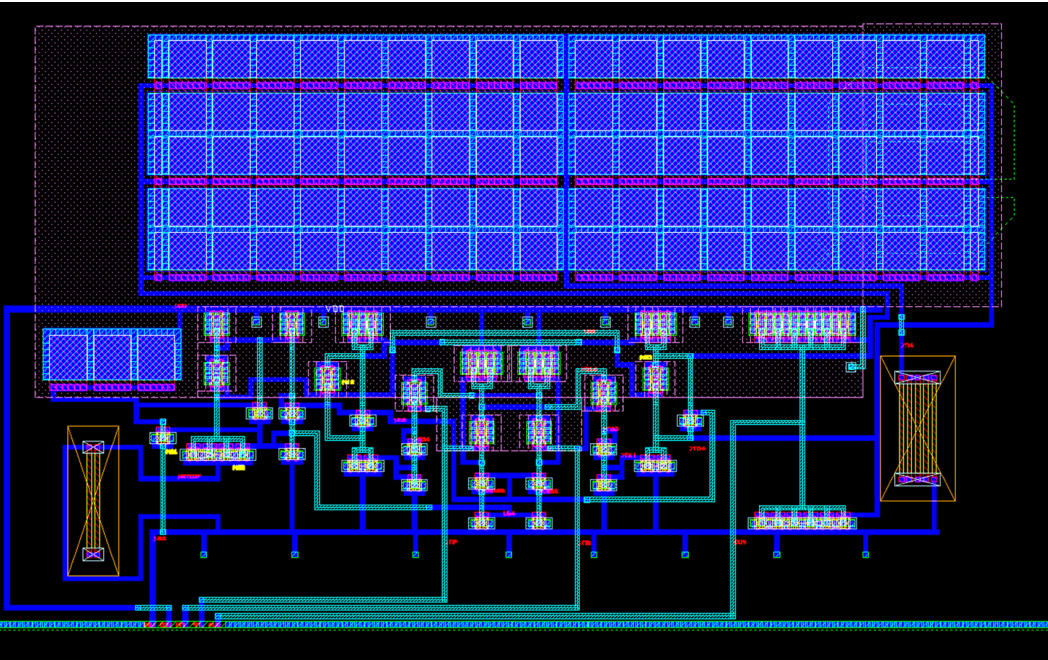
	M1~5, 7, 8, 10, 11, 13~15, 17~20, 22~26, 28, 29	M9, 12, 16, 21, 27, 30	M6	M31, 32
Parallel	2	4	8	12

昨年度の試作の部で2位の川原啓輔さんの回路を元にさせて頂きました。

→トランジスタやコンデンサ, 抵抗の種類が比較的少ない構成であったから。

<https://www.ec.ict.e.titech.ac.jp/opamp/2021/contest-all-2021.pdf>, p5.

レイアウト比較

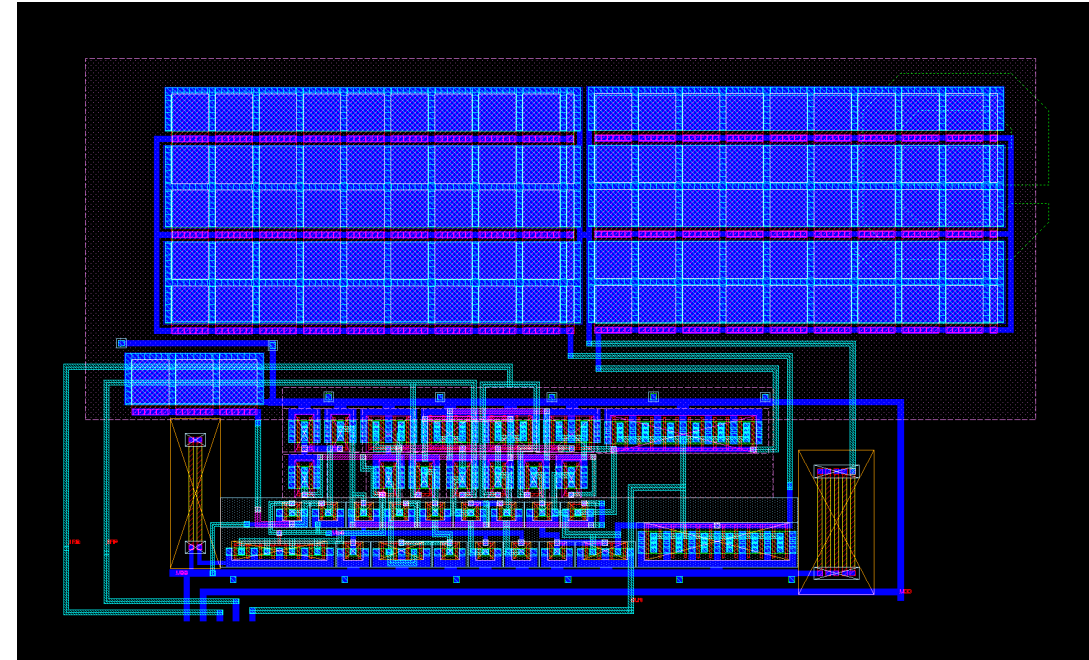


レイアウト①：広島市立大学 南山 (試作の部 2位)

(消費電力： $W_1 = 1.99 \times 10^{-5} W$)

レイアウト時に意識したこと

1. 回路図の通りに配置する.
3. 配線を多層化しない.
5. 配線を太くする.



レイアウト②：広島市立大学 渡邊

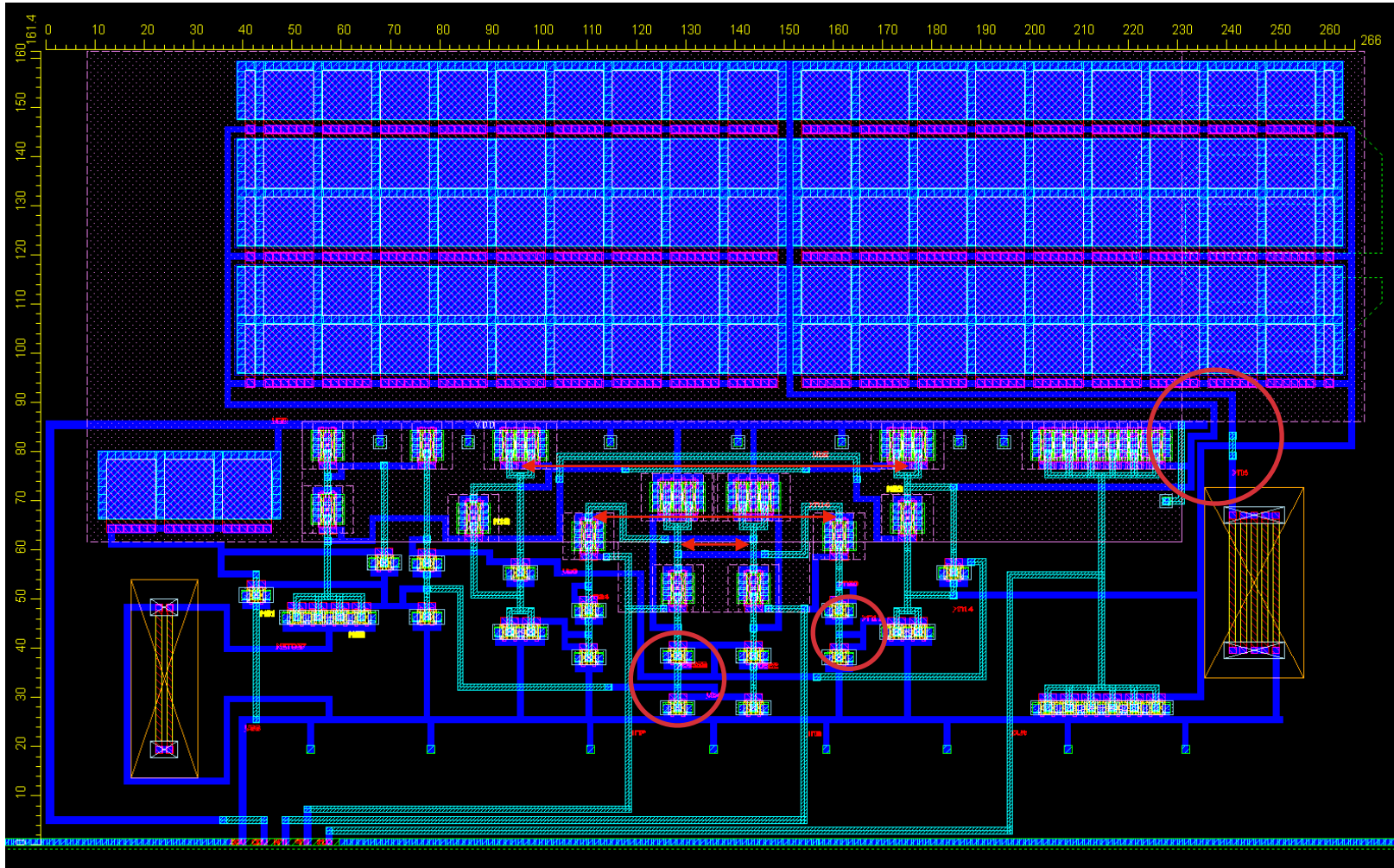
(消費電力： W_2)

同じ回路であるが、 $W_1 \approx \frac{1}{100} W_2$ となった.

2. 対称性を保って配置する.
4. ゲートの上に配線をしない.
- 6*. VSSの電位コンタクトを分岐してとる.

*：特別な意図があった訳ではないもの.

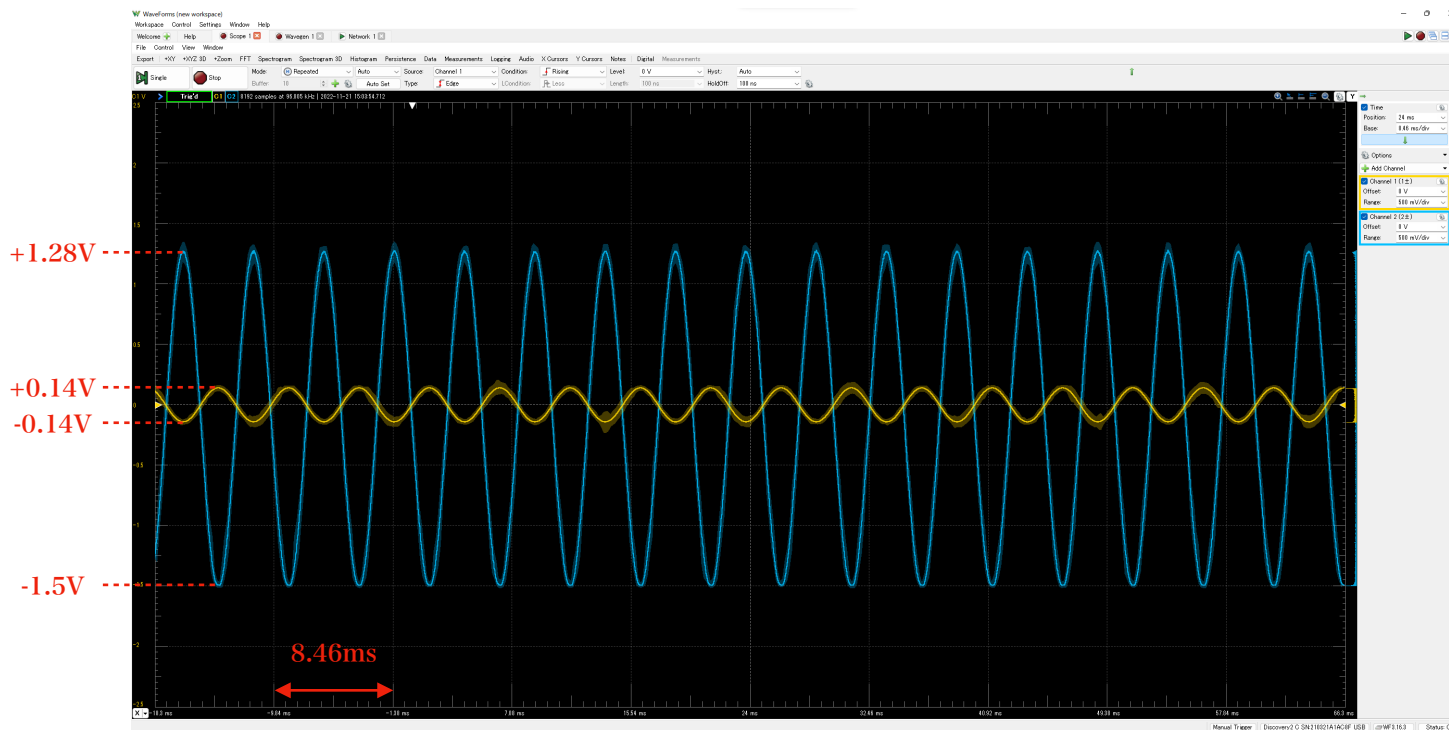
レイアウト



レイアウト① 拡大図

全体的な対称性と局所的な対称性

測定結果 (利得)

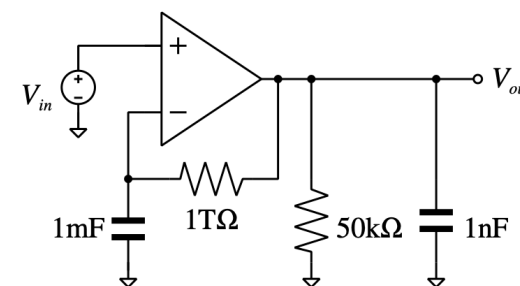


直流利得の測定 (レイアウト①の様子)

直流利得：回路に十分低い周波数の正弦波を加えた際の電圧利得

$$\text{直流利得 } A = \frac{1.28 - (-1.5)}{0.14 - (-0.14)} \approx 9.93 \text{ [倍]}$$

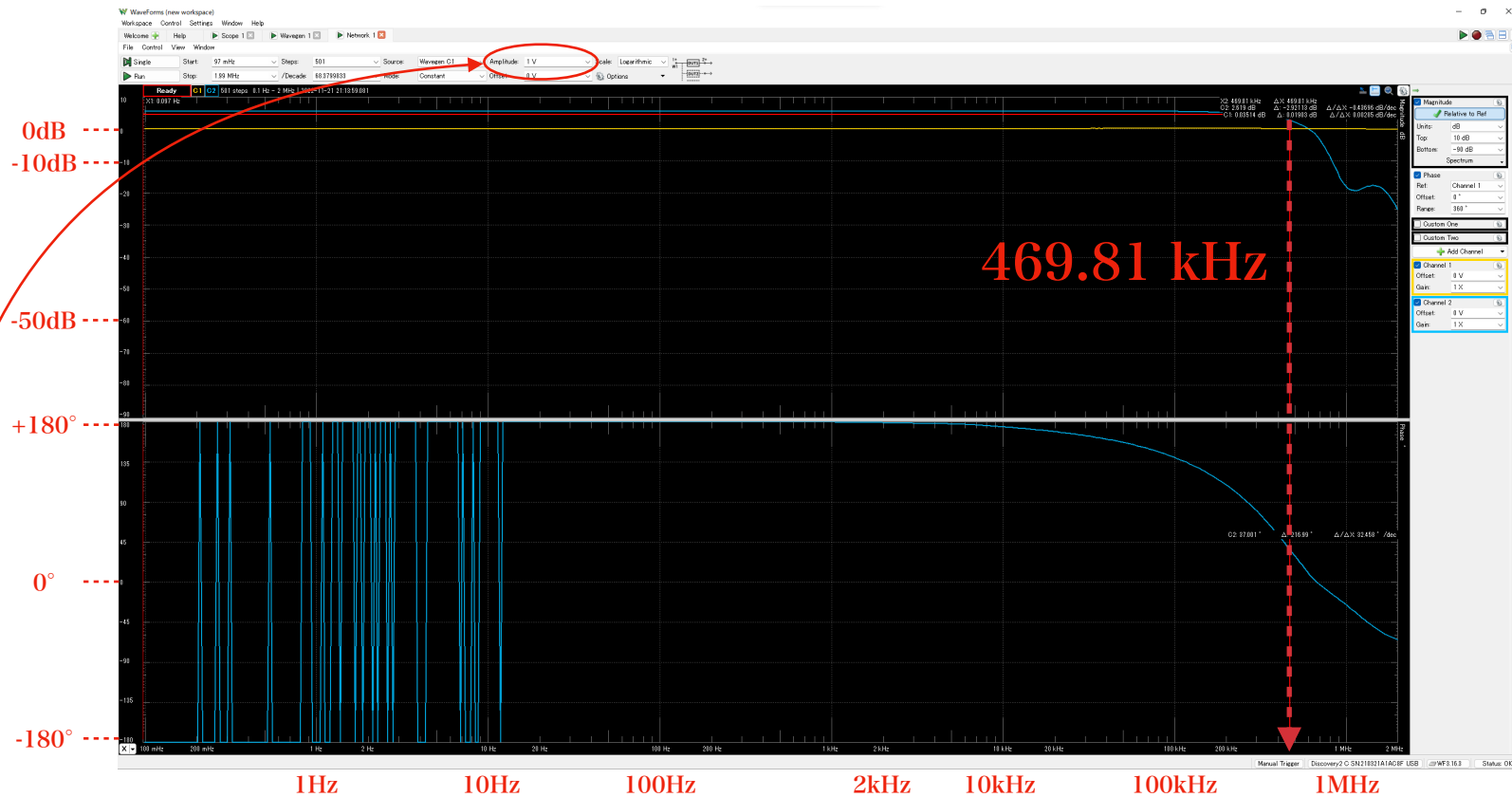
(提出時は±0.1Vの正弦波で計測し、9.03 [倍]となった。)



(b) 小信号評価回路

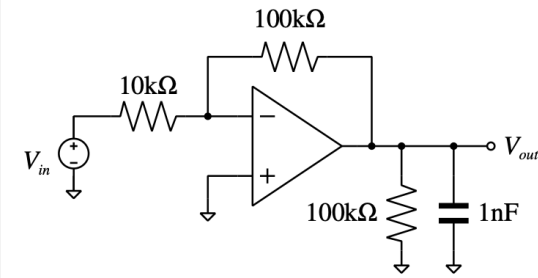
	レイアウト①	レイアウト②
直流利得	9.93 [倍]	9.97 [倍]

測定結果 (-3dB帯域幅) 1/2



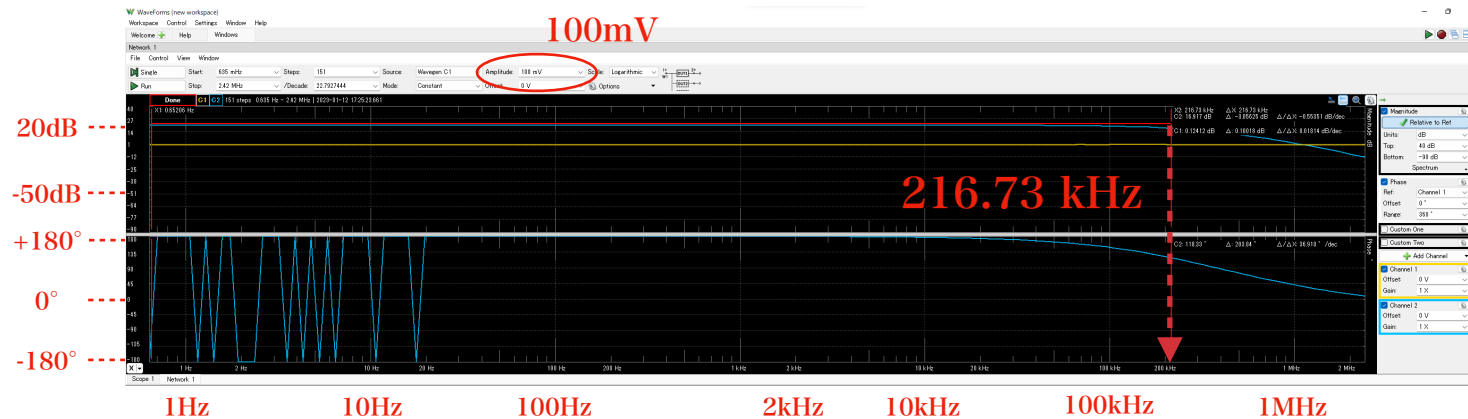
-3dB帯域幅の測定 (レイアウト①の様子)

- このグラフから、-3dB帯域幅を469.81Hzと読み取った。
- 電源の電圧が3Vで、-10倍の反転増幅回路に対して、入力電圧を1Vで与えていたことに気付いた。



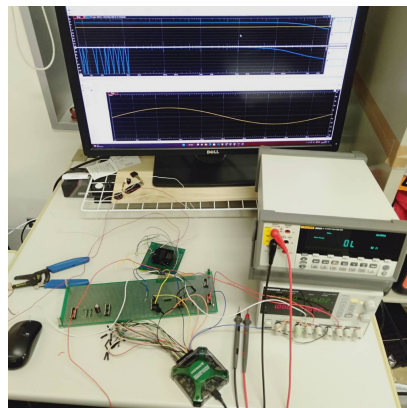
(a) デザイン部門の評価回路

測定結果 (-3dB帯域幅) 2/2



-3dB帯域幅の測定 (レイアウト②の様子)

レイアウト①で測定し直そうとするも．．．チップが壊れてしまった。



	レイアウト①	レイアウト②
-3dB帯域幅 (1V入力)	469.81 kHz	280.9 kHz
-3dB帯域幅 (100mV入力)	測定出来ず	216.73 kHz

まとめ

- 電子回路初学で、NMOS FETとPMOS FETの区別すら付かず、「演算増幅器とは」と検索することから始まり、右も左も分からないままの自分にも、このような素敵なコンテストに参加させて頂きありがとうございます。
- 本コンテストに参加していなければ、電子回路に興味を持つことはなかったと思います。まだまだ理解が浅いので、これからも電子回路の設計や仕組みについて学びたいと思います。
- 電子回路に触れたことのないソフト屋さんも是非参加して下さい！とても貴重な経験になります。

謝辞

この度は演算増幅器設計コンテストに参加させて頂き、多くの初めての経験をすることが出来ました。協賛企業の皆様、運営の皆様には深く深く感謝を申し上げます。

2022年度演算増幅器設計コンテスト 発表資料

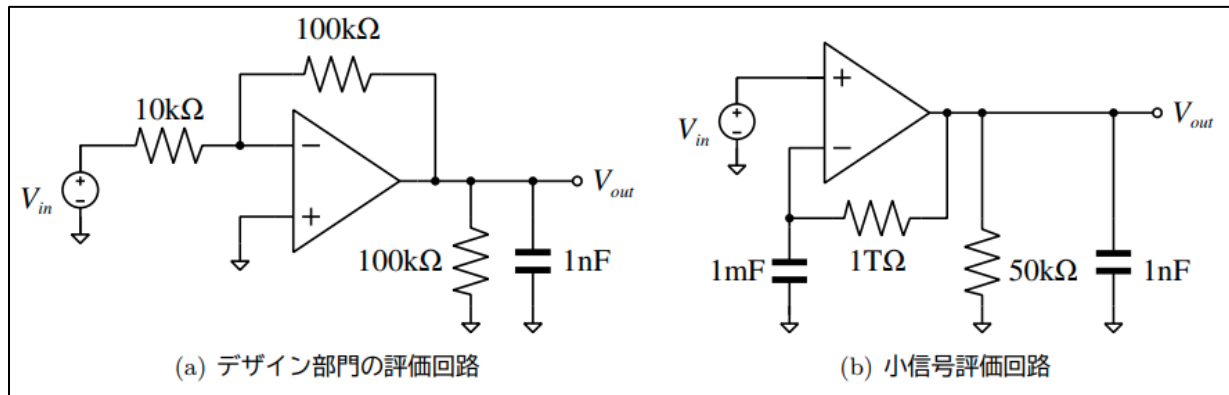
試作の部:1位

芝浦工業大学大学院 理工学研究科 電気電子情報工学専攻
先端集積回路システム研究室
修士2年 福岡 慶祐

試作の部

- 審査項目

- 下図(a)の回路において無信号時の消費電力を競う



デザイン部門概要より引用

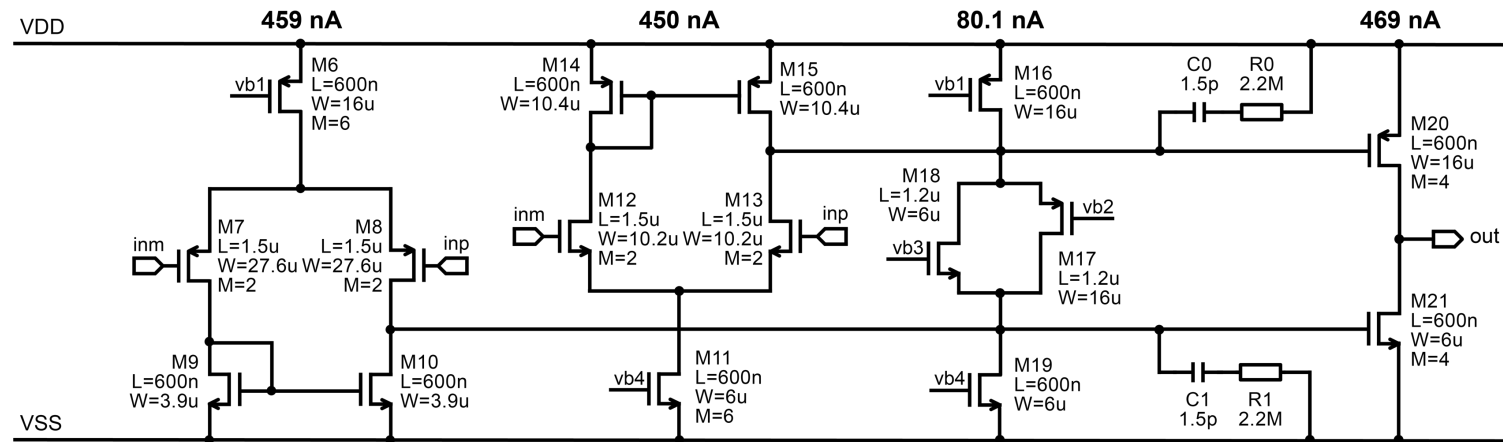
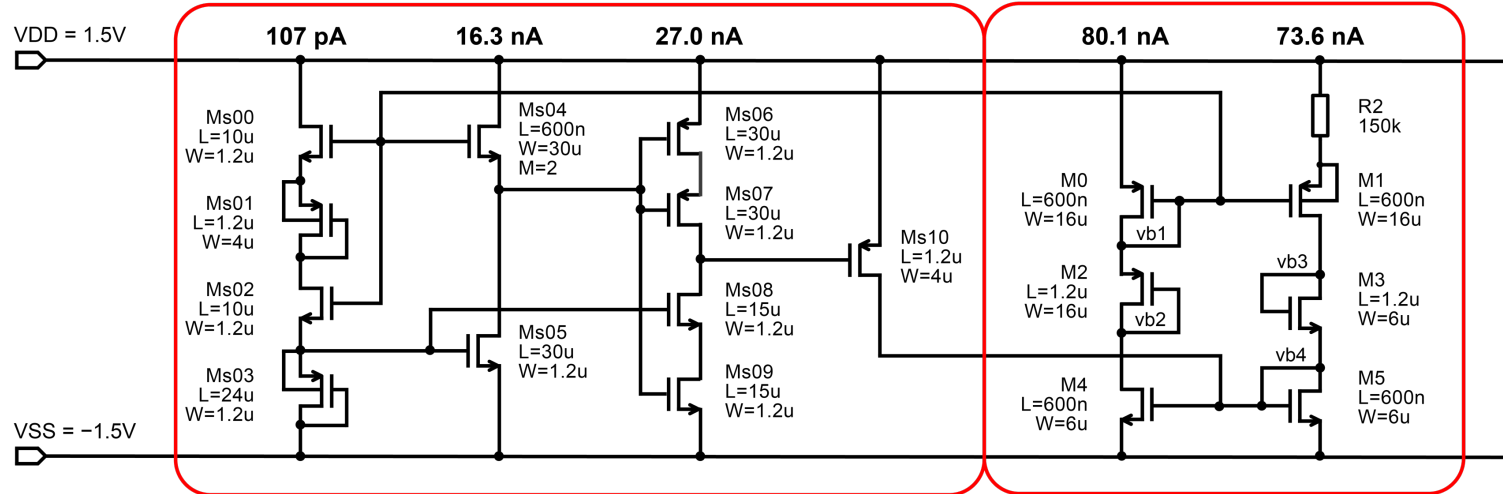
- 設計方針

- 2021年度 部門4に提出した回路を変更せずに試作
 - シミュレーションと実測の比較
- スタートアップ回路の追加

試作回路 回路図

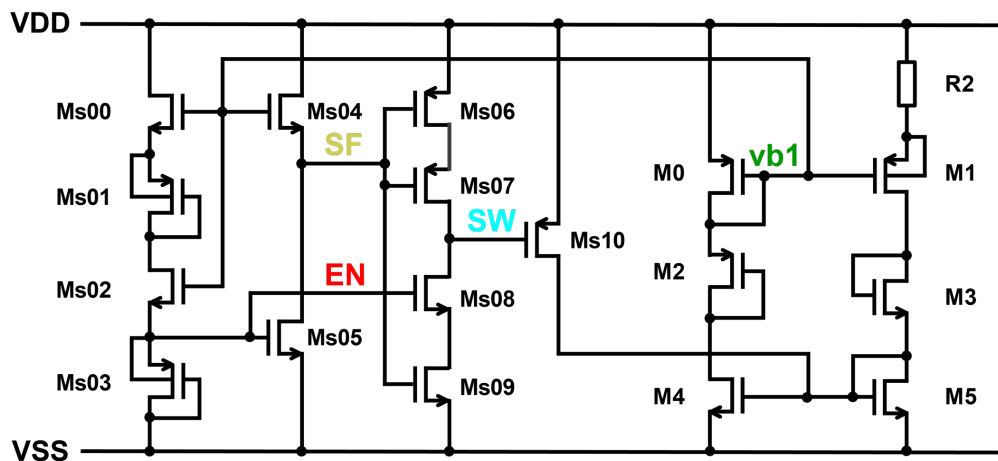
スタートアップ回路

バイアス回路

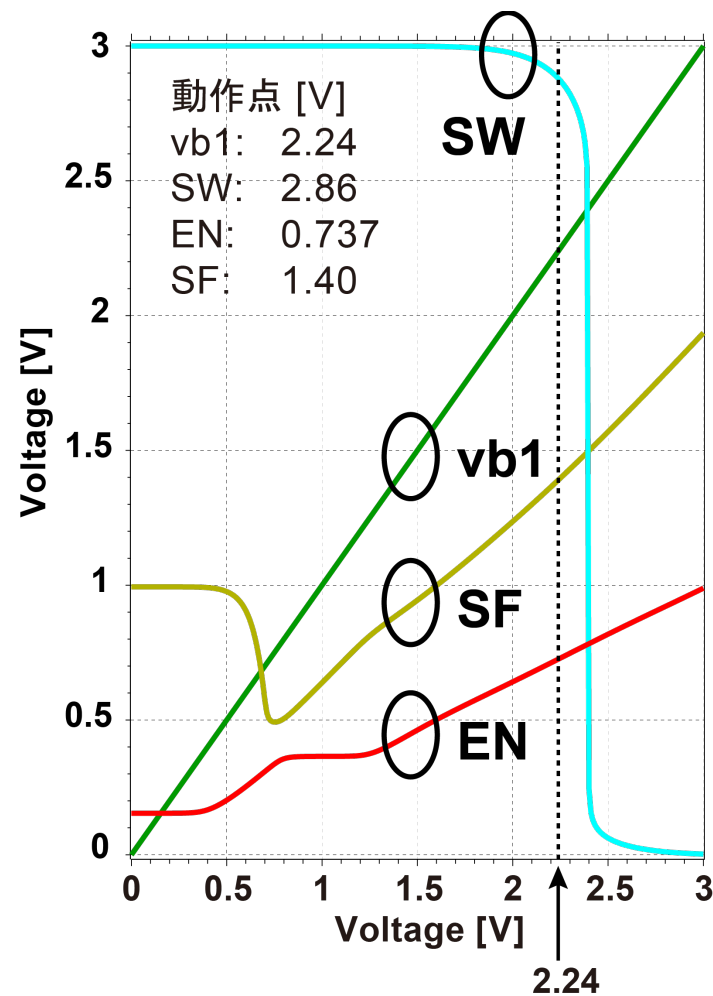


注) PMOS, NMOSTランジスタのバルク端子について接続が明記されていないものは、それぞれVDD, VSSと接続している。また、並列数Mの値は、記載がない限り1である。

スタートアップ回路

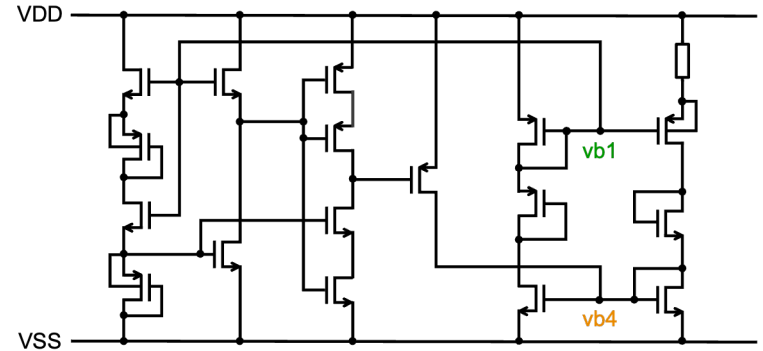
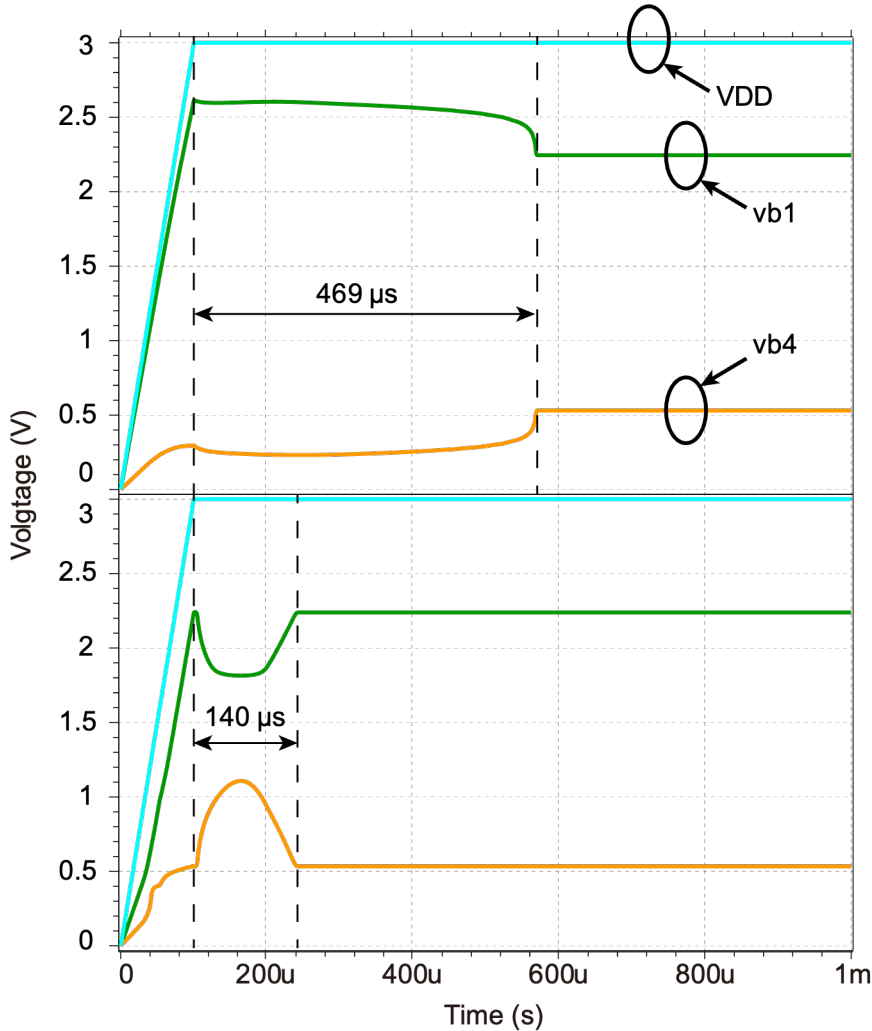


入力: vb1の電圧
出力: Ms10からソースされる電流



スタートアップ回路 シミュレーション

スタートアップ回路なし スタートアップ回路あり

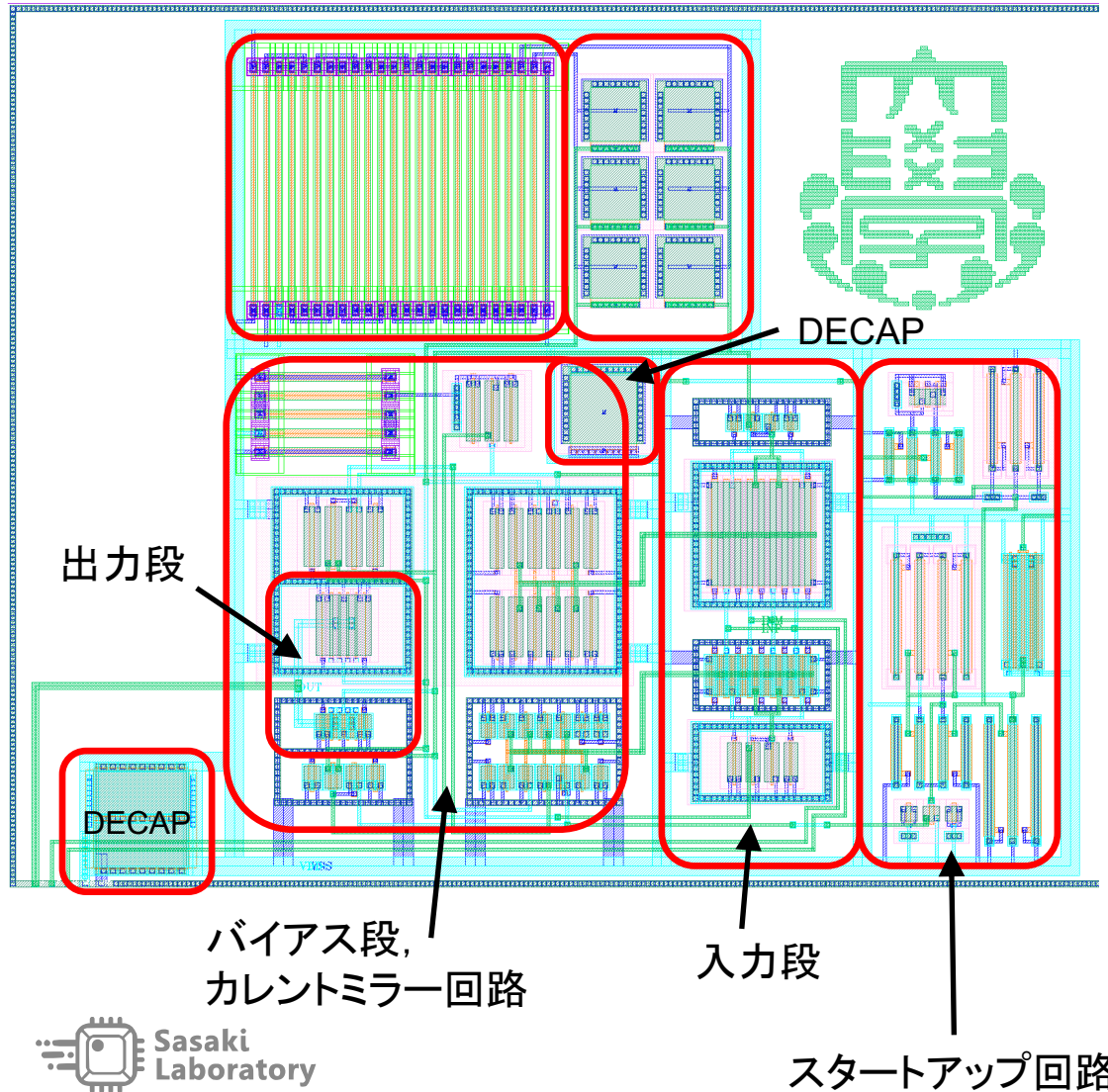


スタートアップ回路により
バイアス回路の起動が早くなった

レイアウト

抵抗
 $2.2\text{M}\Omega \times 2$

キャパシタ
 $1.56\text{pF} \times 2$



試作の部の評価項目は
無信号時の消費電力のみ

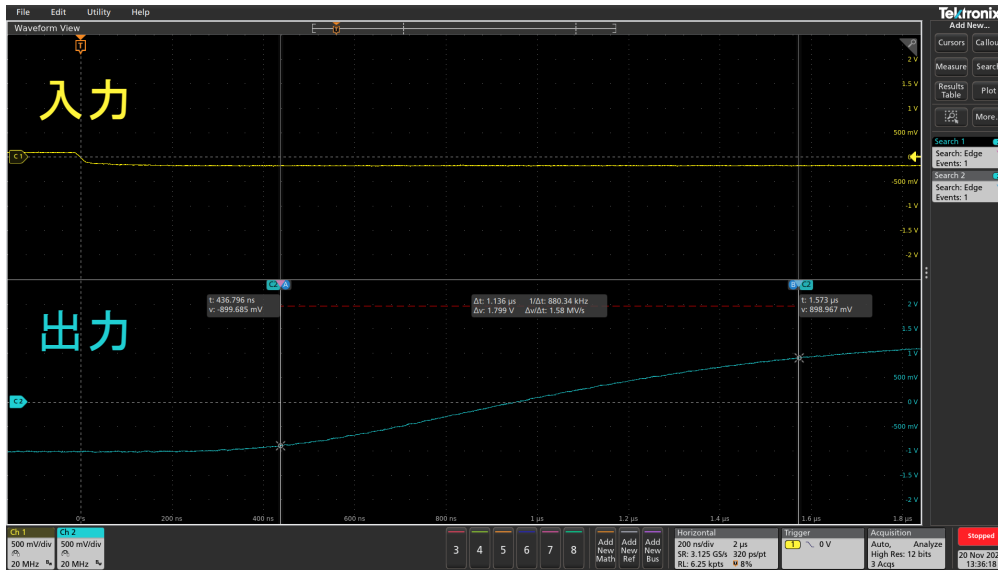
システムチック誤差が結果に
大きく影響する

システムチック誤差が生じないよう
レイアウトを作成

- ・ 素子のマッチング
- ・ ダミー素子の配置
- ・ ガードリング

マッチングが重要な回路
(ex. カレントミラー回路など)は
1箇所素子を集約

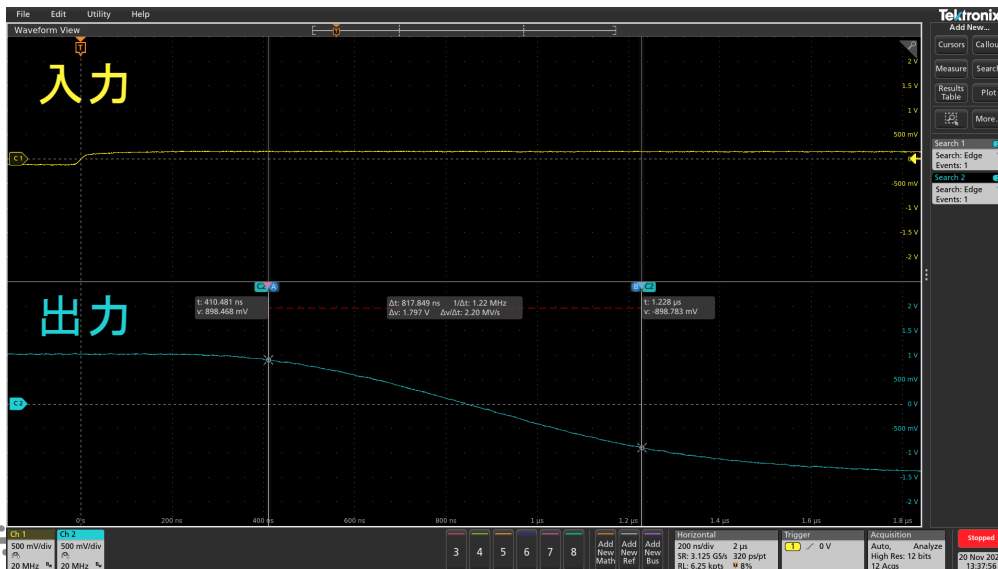
観測波形 スルーレート評価



立ち上がり

Sim.: +0.858 V/μs

Meas.: +1.58 V/μs



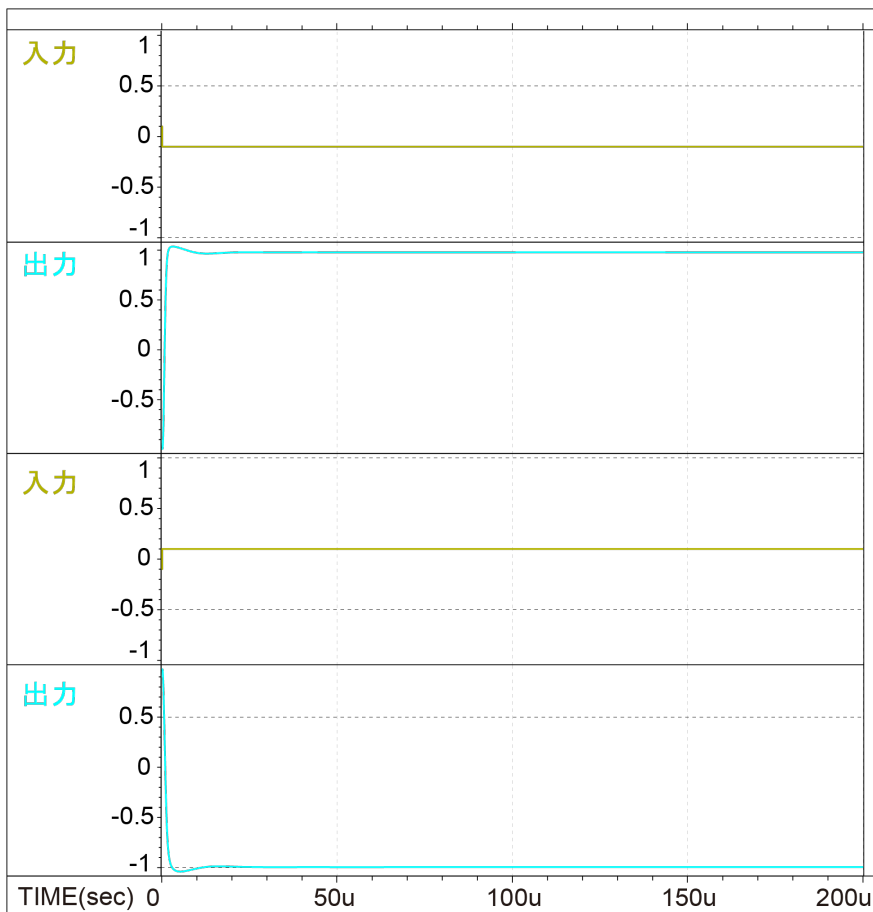
立ち下がり

Sim.: -1.20 V/μs

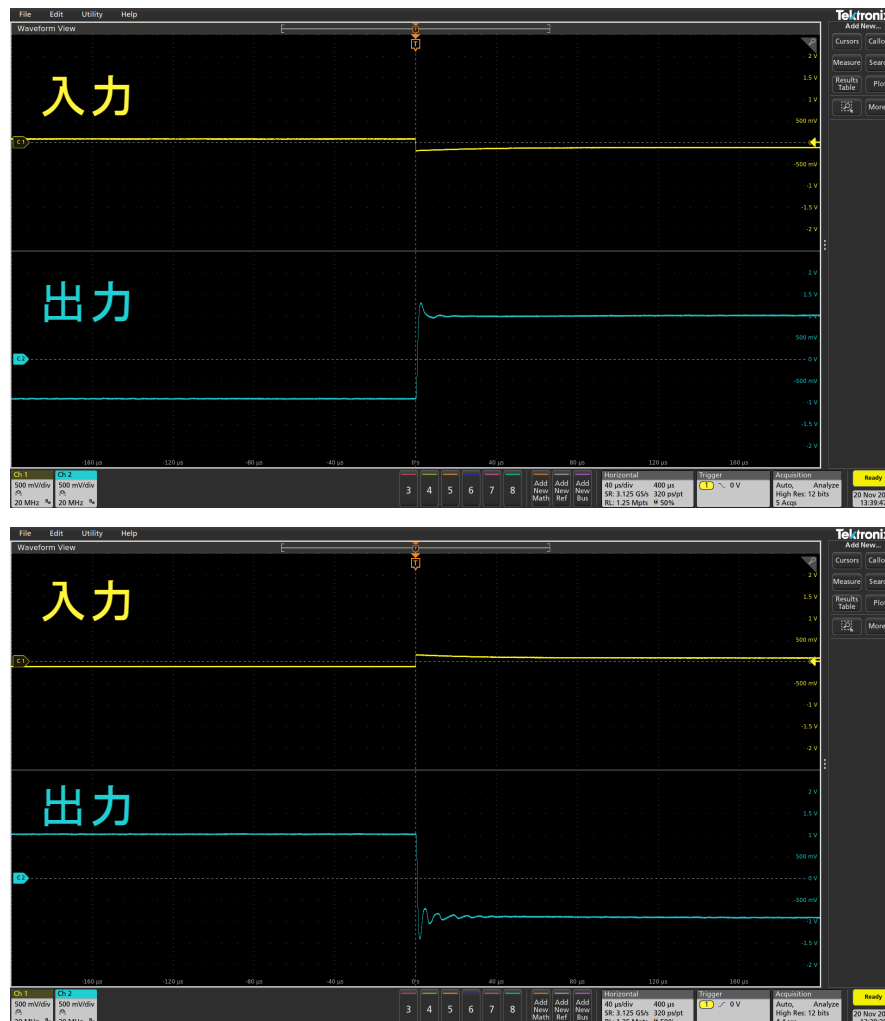
Meas.: -2.20 V/μs

観測波形 リンギング

シミュレーション



実測



測定結果, まとめ

測定結果

	消費電流 [A]	利得 [-]	スルーレート [V/ μ s]	帯域幅 [Hz]
Sim.	1.65 μ	20 dB	+0.858 / -1.20	989 k
Meas.	1.55 μ	20 dB	+1.58 / -2.20	590 k

感想

- 試作や実測を行ったことで, 回路設計の際に製造や実測を意識することを体験できた
- コンテストに3年間参加し, シミュレーションの部および試作の部を経験でき, 集積回路設計への理解が深まった

謝辞

貴重な機会を設けて下さった協賛企業及び運営委員会の方々に厚く御礼申し上げます.

2022 演算増幅器設計コンテスト

部門1：3位 部門2：2位 部門3：5位

防衛大学校 応用物理学科
松元研究室
第4学年 吉田 海南太

部門1と部門2について発表します

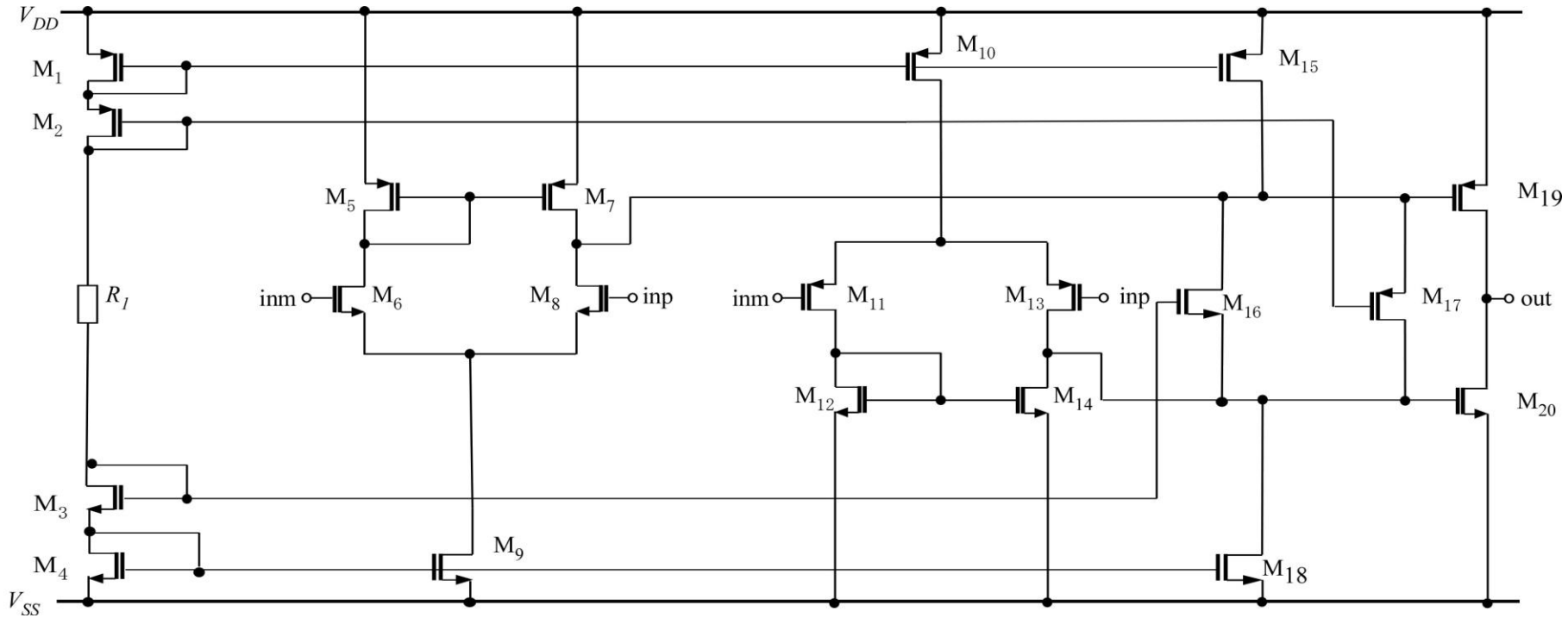
部門1 設計方針

部門 1 評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

- 消費電流とスルーレートにはトレードオフの関係があるのでそこに注目して作成をおこなった
- Rail-to-railとAB級増幅器を用いることで消費電力を抑え、高スルーレートを実現する。

部門1 提出回路

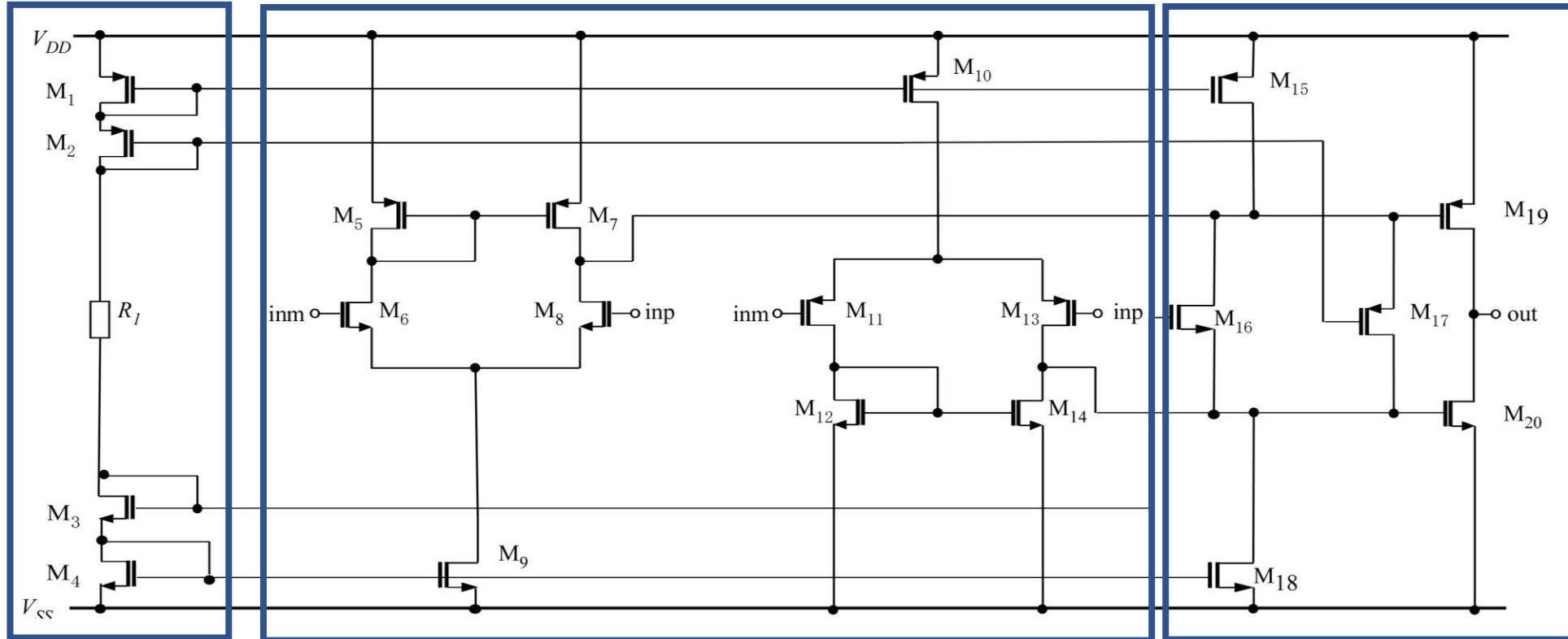


VDD = +1.5V VSS = -1.5V

素子値

M1:W = 3.0um L=0.2um m=11	M5:W = 3.0um L=0.2um m=2	M10:W = 20um L=0.2um m=8	M15:W = 3.0um L=0.2um m=3
M2:W = 3.0um L=0.2um m=5	M6:W = 1.0um L=0.2um m=5	M11:W = 3.0um L=0.2um m=2	M16:W = 1.0um L=0.2um m=15
R1:2500kΩ	M7:W = 3.0um L=0.2um m=2	M12:W = 1.0um L=0.2um m=3	M17:W = 3.0um L=0.2um m=2
M3:W = 1.0um L=0.2um m=5	M8:W = 1.0um L=0.2um m=5	M13:W = 3.0um L=0.2um m=2	M18:W = 1.0um L=0.2um m=4
M4:W = 1.0um L=0.2um m=11	M9:W = 10um L=0.1um m=7	M14:W = 1.0um L=0.2um m=3	M19:W = 3.0um L=0.2um m=8
M20:W = 1.0um L=0.2um m=12			

部門 1 提出回路

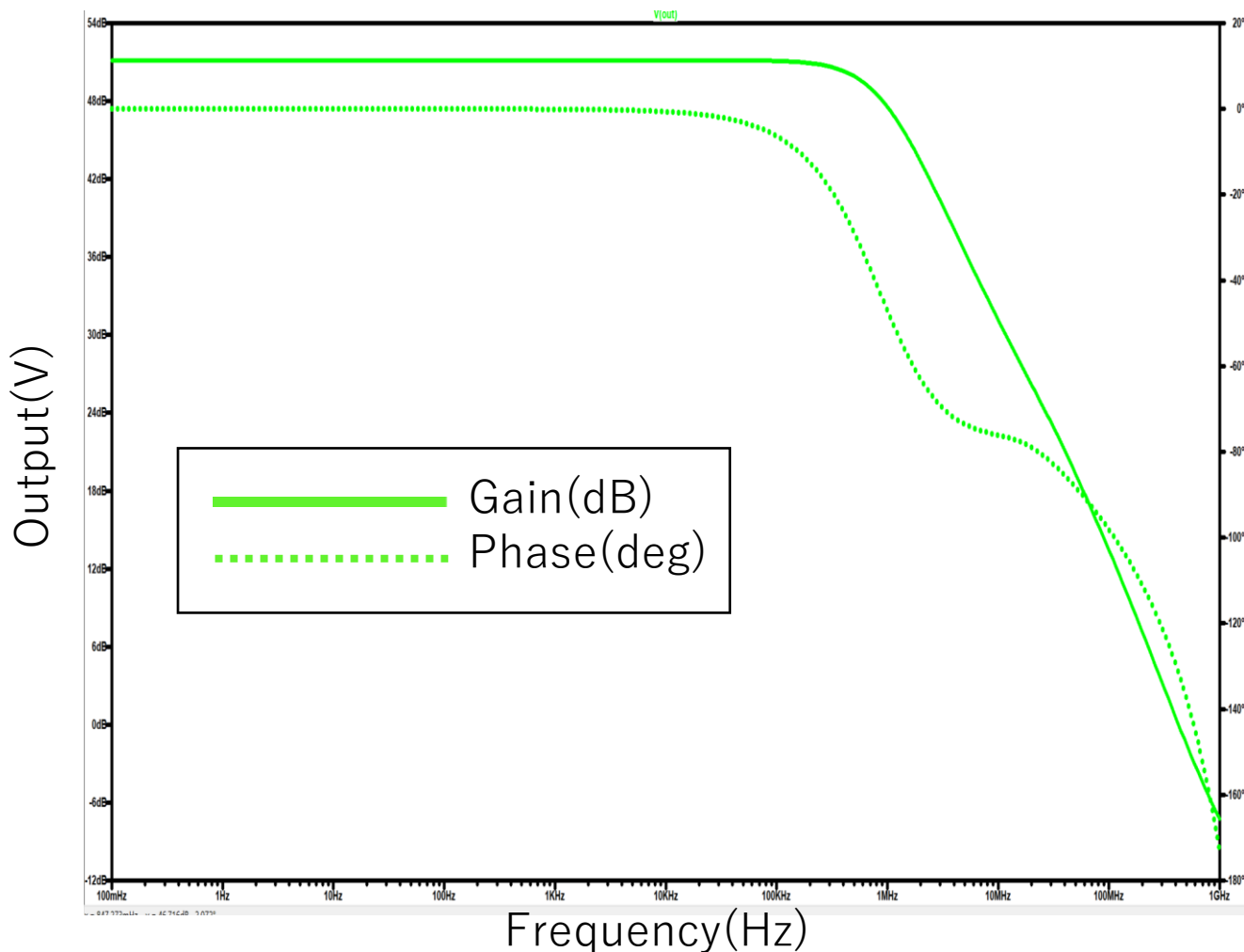


バイアス段

差動入力段

出力段

シミュレーション結果 (直流利得 位相余裕)

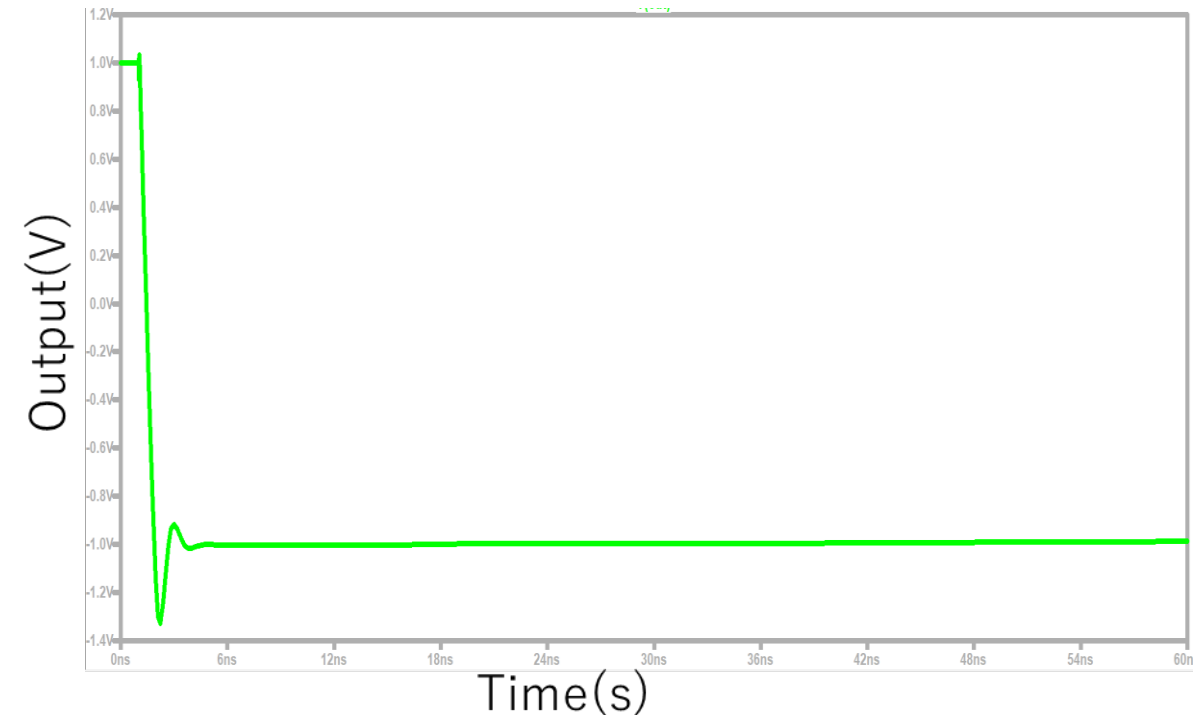


- 直流利得
51.14dB
- 位相余裕
48.47deg

高スルーレートにちからを入れたため利得と位相余裕は要件を満たすように設計

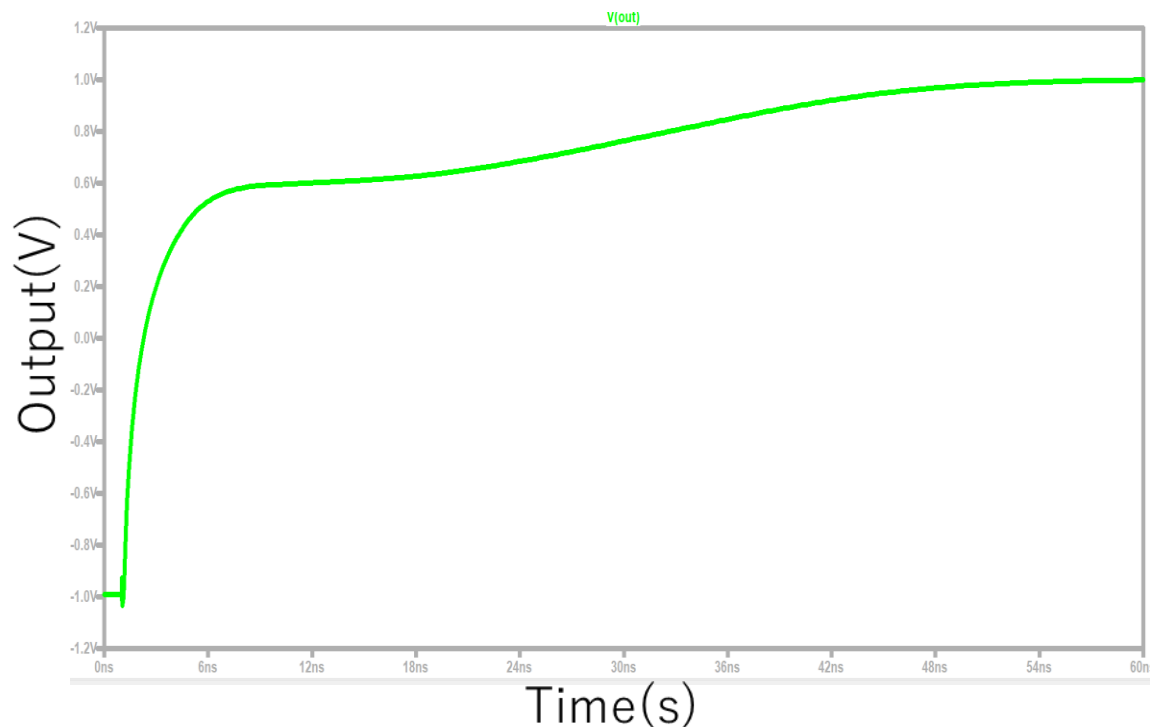
シミュレーション結果 (スルーレート)

* 振幅0.5Vのパルスを入れてシミュレーション



立下り

$-2.503e+009$ V/s



立ち上がり

$7.014e+008$ V/s

立下りに比べて立ち上がりのスコアが悪くなっている

部門 1 結果

項目	評価結果
スルーレート (V/s)	3.49E+09
消費電流 (A)	9.63E-06
同相入力範囲 (%)	100
直流利得 (dB)	42.3
スコア	1.533808E+18

- 立ち上がりのスルーレートを改善できればもっと良いスコアになったと思う
- LTspiceのシミュレーションとスコアに差があった

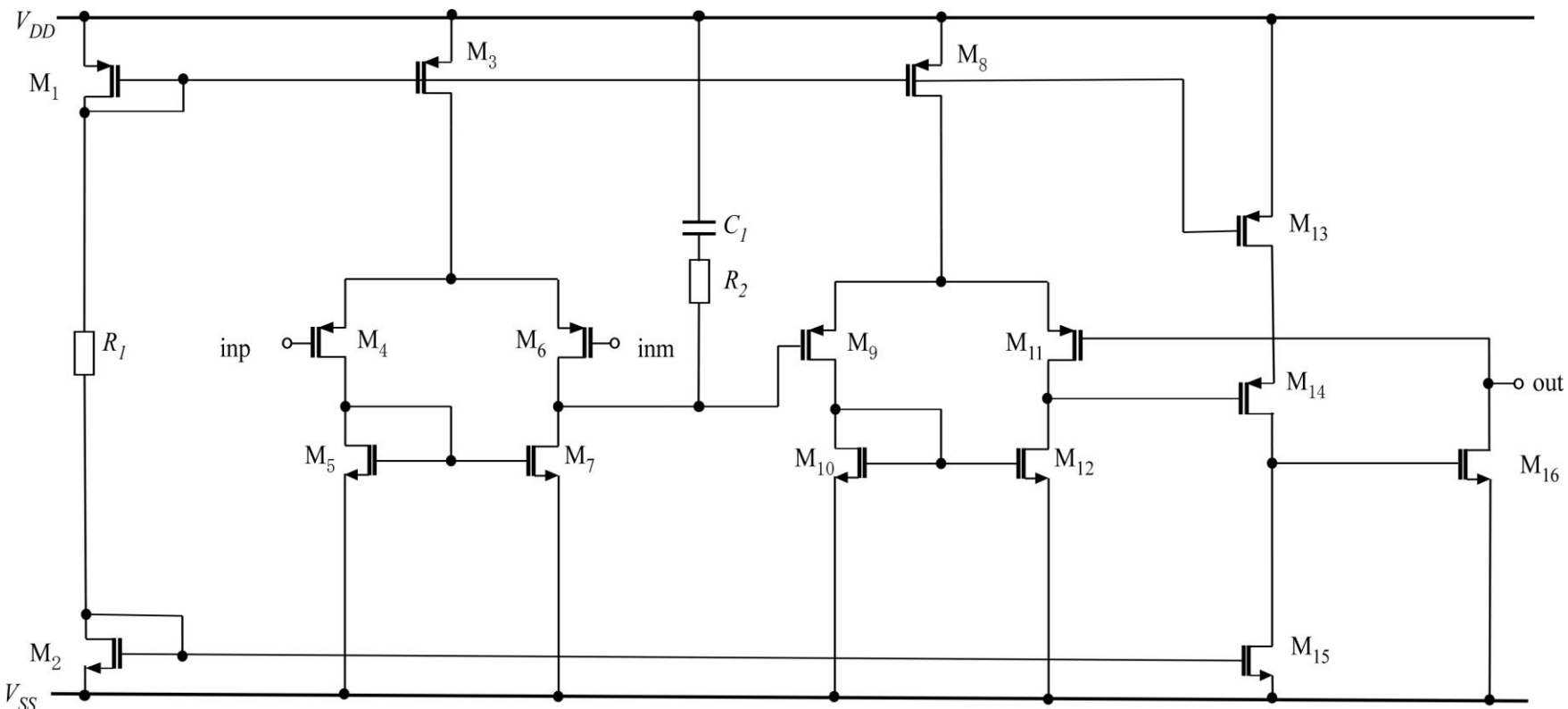
部門2 設計方針

部門 2 評価式

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力雑音}}$$

- スパーソースフォロワー(SSF)と負帰還アンプによって出力抵抗を小さくする
- PMOS入力によって入力雑音を小さくする。
- 利得をできるだけ小さくして消費電力を小さくする

部門 2 提出回路

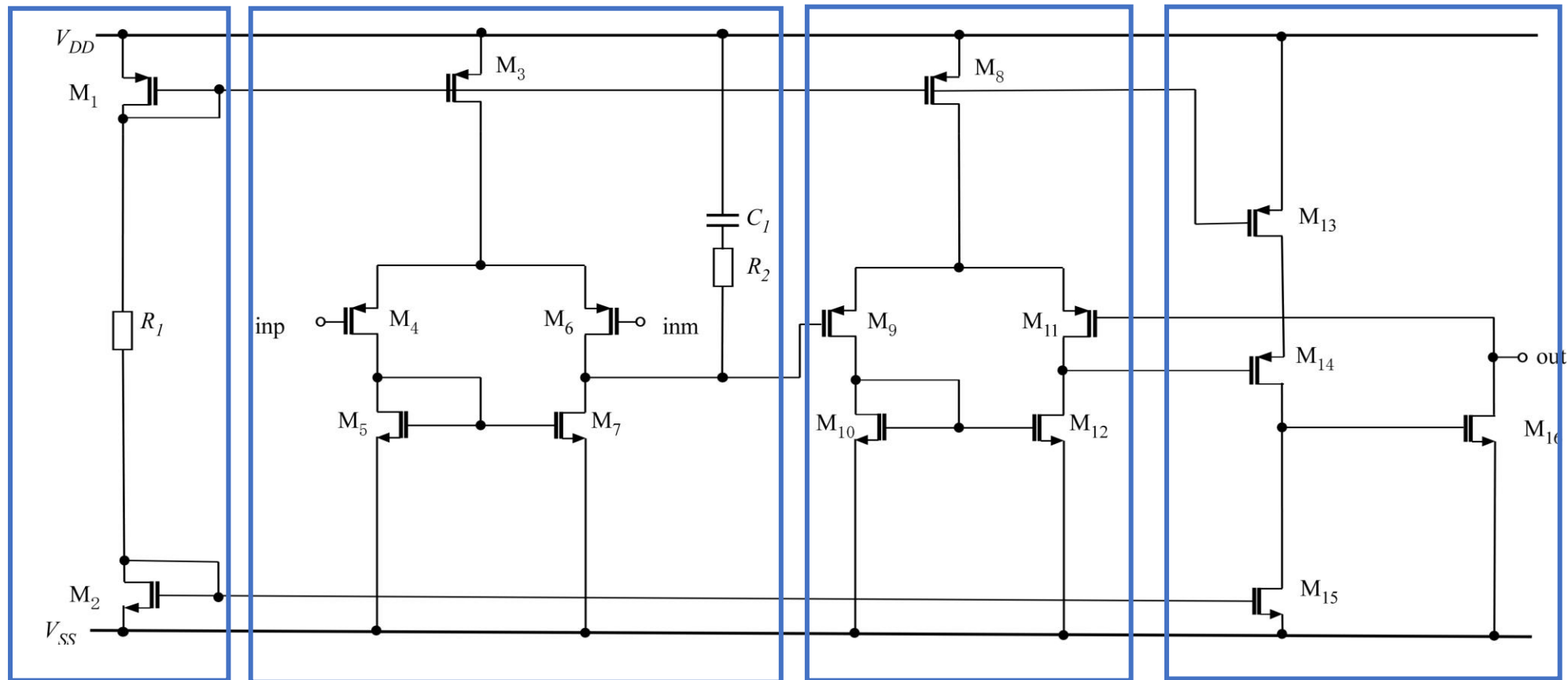


$V_{DD} = +0.9V$ $V_{SS} = -0.9V$

素子値

M1: $W = 3.0\mu m$ $L = 0.2\mu m$ $m = 25$	M3: $W = 1.5\mu m$ $L = 0.8\mu m$ $m = 3$	M8: $W = 0.4\mu m$ $L = 0.8\mu m$ $m = 3$	M13: $W = 6.0\mu m$ $L = 0.8\mu m$ $m = 5$
R1: $43k\Omega$	M4: $W = 15\mu m$ $L = 1.5\mu m$ $m = 1$	M9: $W = 8.0\mu m$ $L = 0.8\mu m$ $m = 1$	M14: $W = 3.0\mu m$ $L = 0.2\mu m$ $m = 2$
M2: $W = 1.0\mu m$ $L = 0.2\mu m$ $m = 10$	M5: $W = 0.6\mu m$ $L = 6.0\mu m$ $m = 1$	M10: $W = 0.4\mu m$ $L = 4.0\mu m$ $m = 1$	M15: $W = 3.0\mu m$ $L = 12\mu m$ $m = 2$
C1: $1pF$	M6: $W = 15\mu m$ $L = 1.5\mu m$ $m = 1$	M11: $W = 8.0\mu m$ $L = 0.8\mu m$ $m = 1$	M16: $W = 10\mu m$ $L = 0.2\mu m$ $m = 1$
R2: $20k\Omega$	M7: $W = 0.6\mu m$ $L = 6.0\mu m$ $m = 1$	M12: $W = 0.4\mu m$ $L = 4.0\mu m$ $m = 1$	

部門2 提出回路



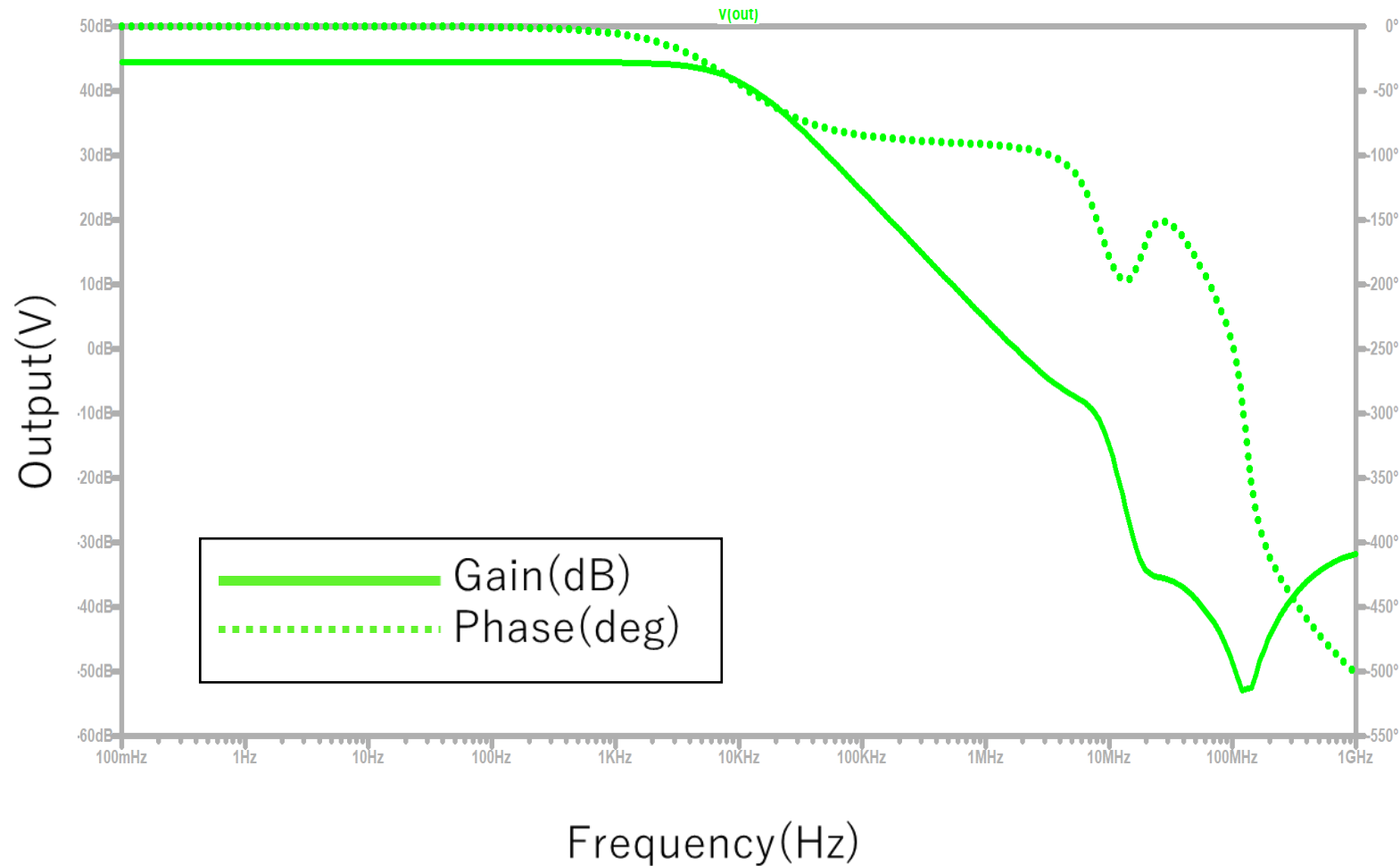
バイアス段

入力段

負帰還アンプ

出力段(SSF)

シミュレーション結果 (直流利得 位相余裕)



- 直流利得
44.40dB
- 位相余裕
86.35deg

直流利得をできるだけ要件
ギリギリになるよう設計し
消費電流を抑える

部門 2 結果

項目	評価結果
消費電力 (W)	4.60E-05
出力抵抗 (Ω)	1.00E-01
入力換算雑音 (V)	3.56E-03
利得帯域幅積 (Hz)	1.02E+06
位相余裕 (deg)	83.7
スコア	1.13945E+20

- 出力抵抗を0.1 Ω まで下げることができた
- LTspiceのシミュレーション結果とスコアに差があった

まとめ

- 部門1ではスルーレートのスコアに着目しておこなったが立ち上がりのスコアが悪かった。素子値をもっと改善できればよくなったと思う
- 部門2では出力抵抗をできるだけ下げることができ良いスコアが出たと思う。あとは消費電流をもう少し下げられるようバイアス段などの部分の回路構成などをもっと考えられたらよかったと思う
- LTspiceのシミュレーションとスコアに違いがあるためそれを考慮する必要があった
- 初めてのシミュレーションのオペアンプコンテストであったが自分なりに考えて設計でき今後の研究の糧となりました

今回このような機会を通して充実した経験をする事ができました。
協賛企業の皆様と運営の皆様に深く感謝を申し上げます。

2022年 演算増幅器設計コンテスト

部門1: 1位 部門2: 1位 部門3: 6位

防衛大学校 応用物理学科 松元研究室

4 学年 横山 零

部門1

評価式

得点 =

$$\frac{\text{直流利得} \times \text{同相入力範囲} \times \text{スルーレート}}{\text{消費電流}}$$

* 直流利得はdB値、スルーレートは真値で計算

部門1

構想

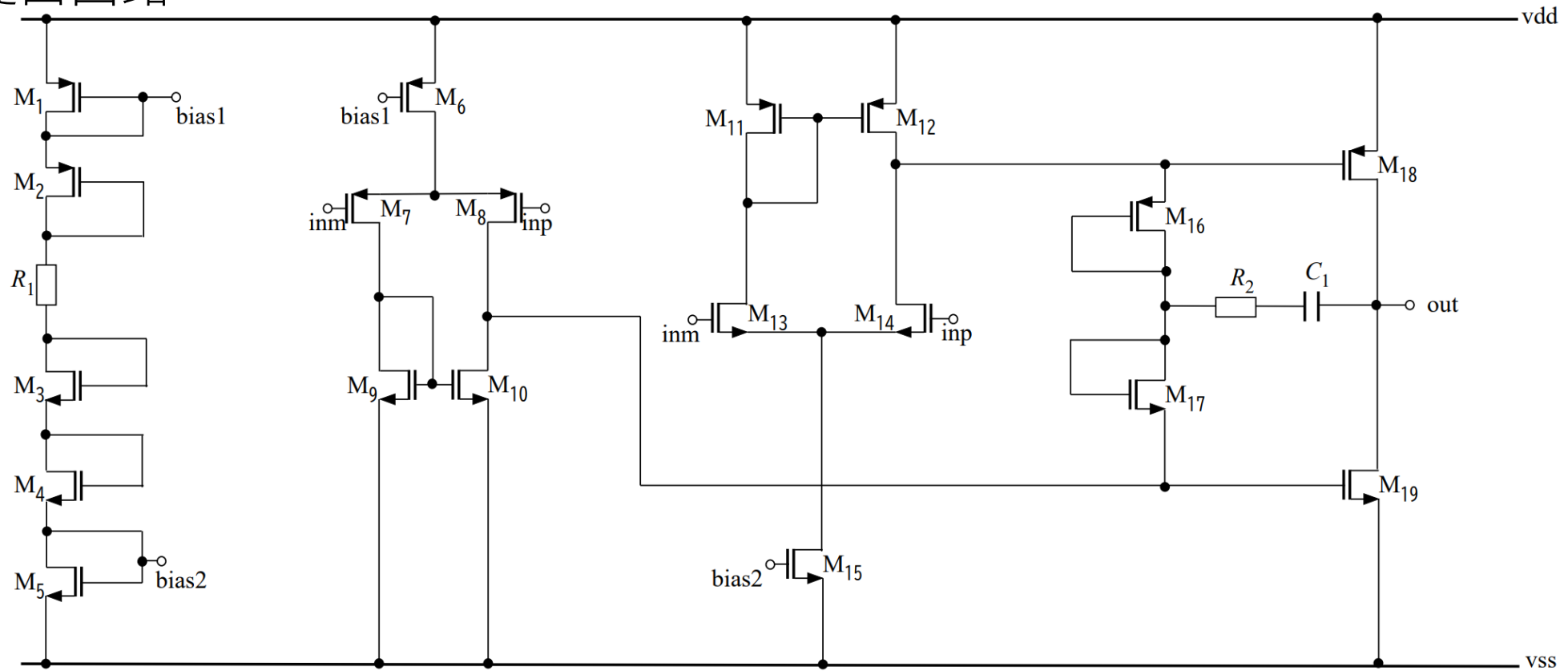
- ・ 高いスコアを出すためにはdB値での評価である直流利得よりもスルーレートをあげるほうが効率がいい
- ・ 同相入力範囲を100%に近づけたい
- ・ スコアに影響しない値は要件さえ満たせばいい

設計方針

- ・ スルーレートを大きくするため補償容量を小さくする
- ・ スルーレートを大きくするためバイアス電流を大きくする
- ・ rail-to-railで動作をする入力段にする

部門1

提出回路



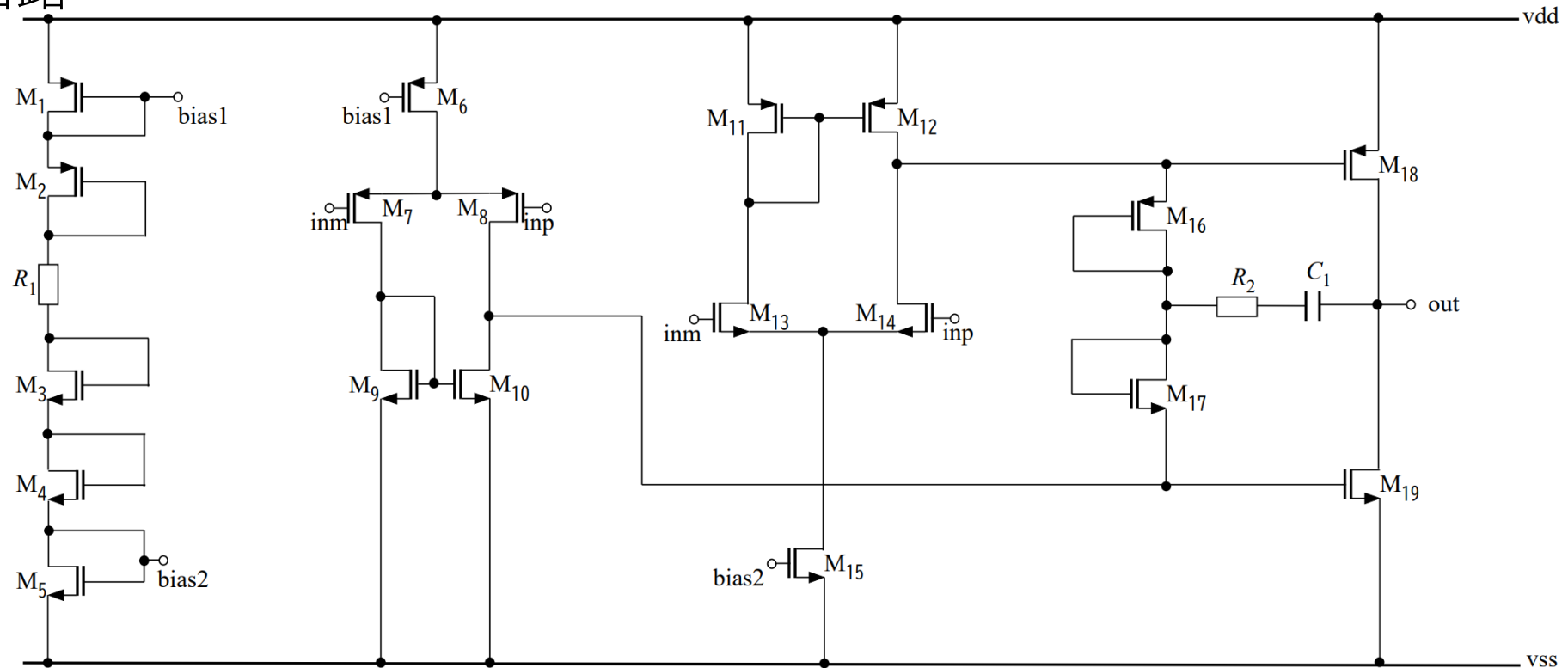
バイアス段

入力段
PMOS+NMOS

出力段

部門1

提出回路

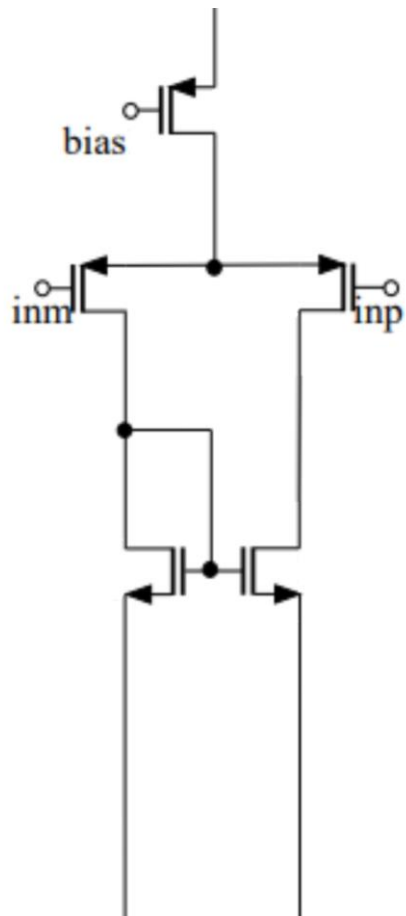


Vdd:1.0V, Vss:-1.0V

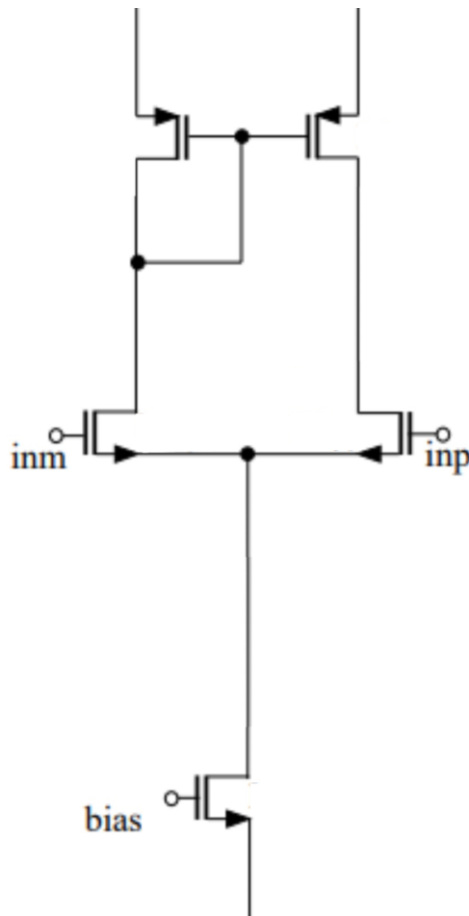
MOSFET	M ₁ ,M ₂	M ₃ ,M ₄ ,M ₅	M ₆	M ₇ ,M ₈	M ₉ ,M ₁₀	M ₁₁ ,M ₁₂	M ₁₃ ,M ₁₄	M ₁₅	M ₁₆ ,M ₁₇	M ₁₈	M ₁₉	R ₁ ,R ₂	C ₁
L(μm)	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	10MΩ	0.1pF
W(μm)	5.33	2	5.4	3.24	1	2.7	1.2	2	0.27	2.1	0.7	* 空欄は全て「1」	
M			20					90		2	2		

部門1

rail-to-rail



入力許容範囲



入力許容範囲



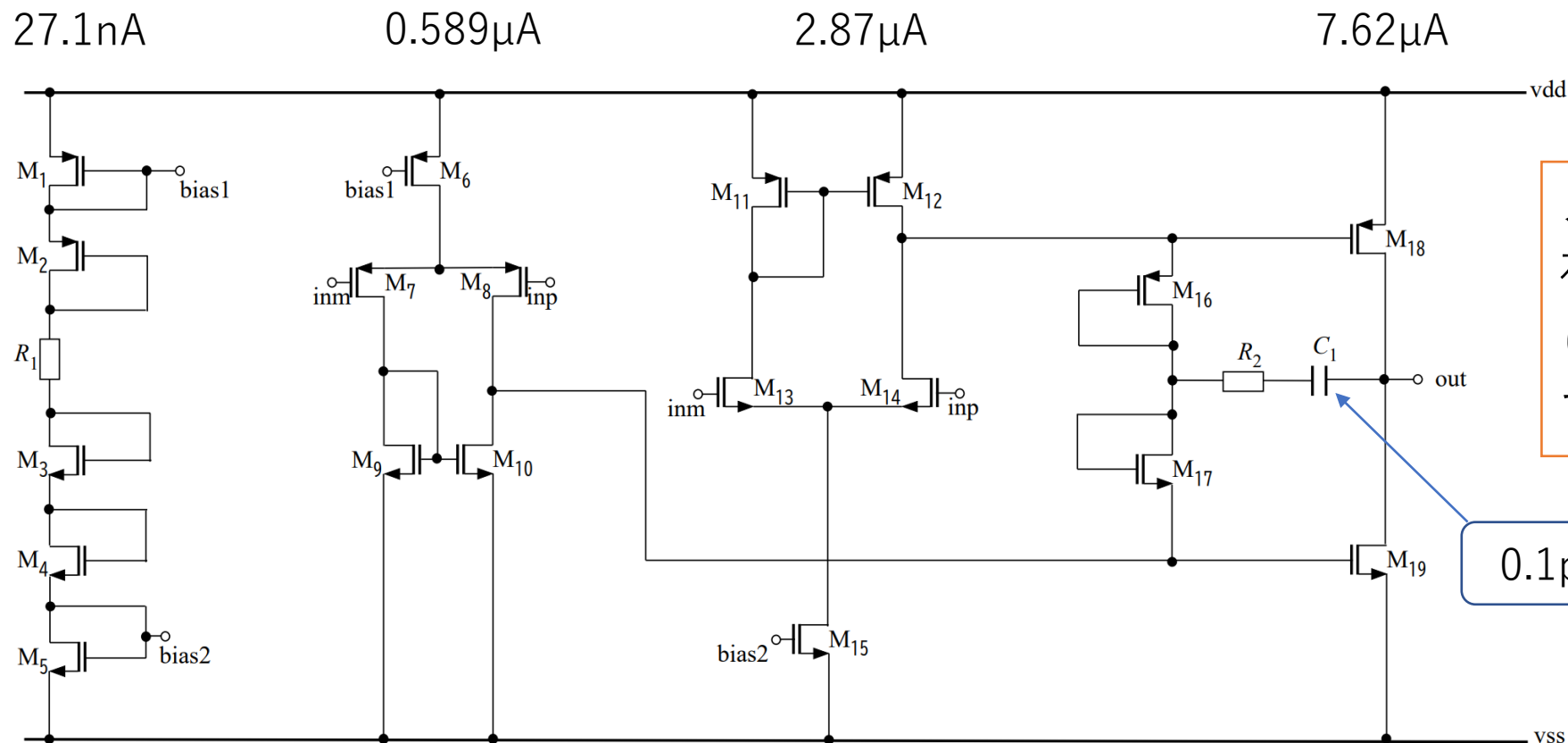
同相入力範囲がほぼ100%の回路

PチャネルMOSFETの入力段

NチャネルMOSFETの入力段

部門1(シミュレーション)

消費電流・補償容量



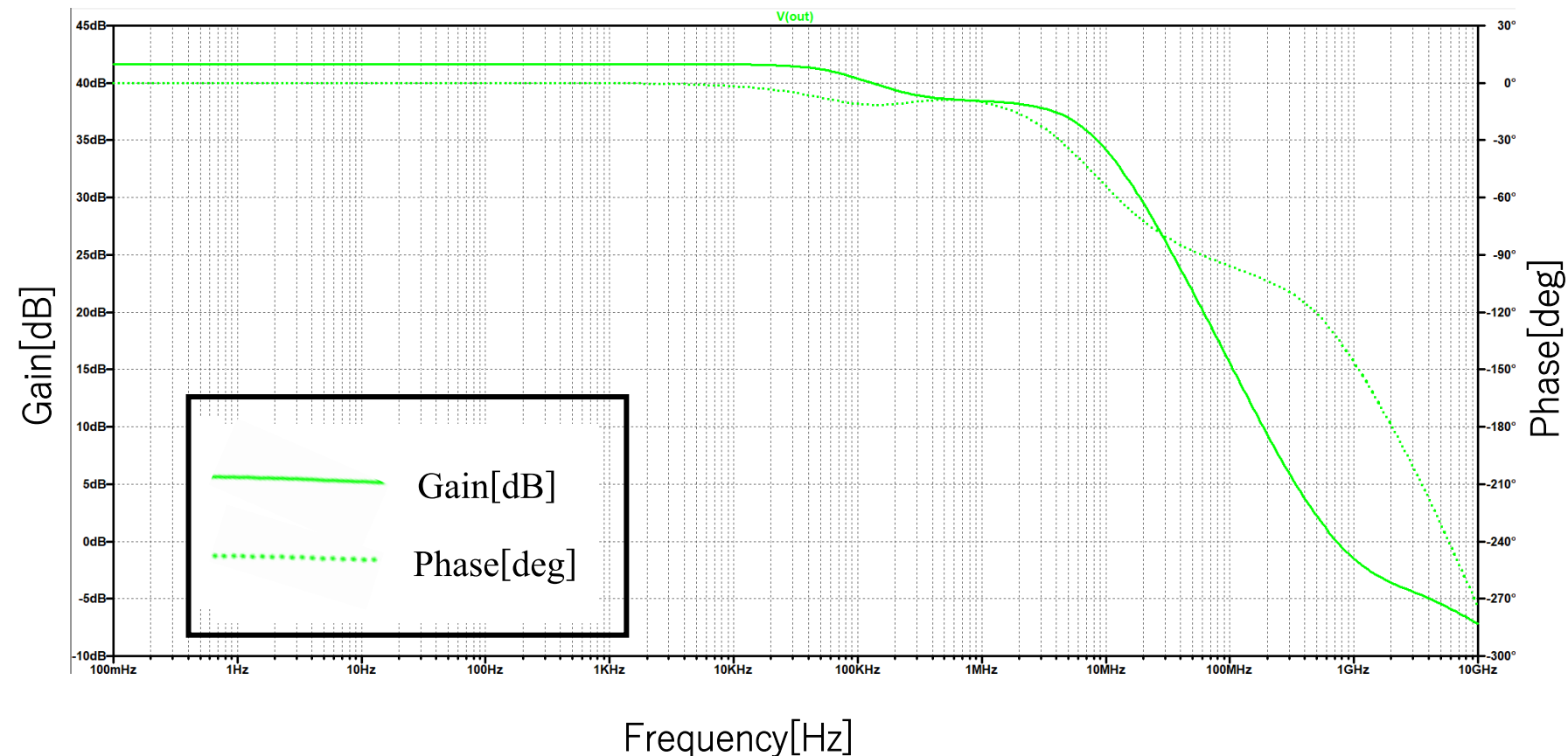
消費電流 : 11.2μA

スルーレート改善のため
補償容量を最低値まで下
げ、位相余裕が要件に達
するようにR2を調整

0.1pF

部門1(シミュレーション)

直流利得



LTspice

直流利得 : 41.6dB

位相余裕 : 45.9deg

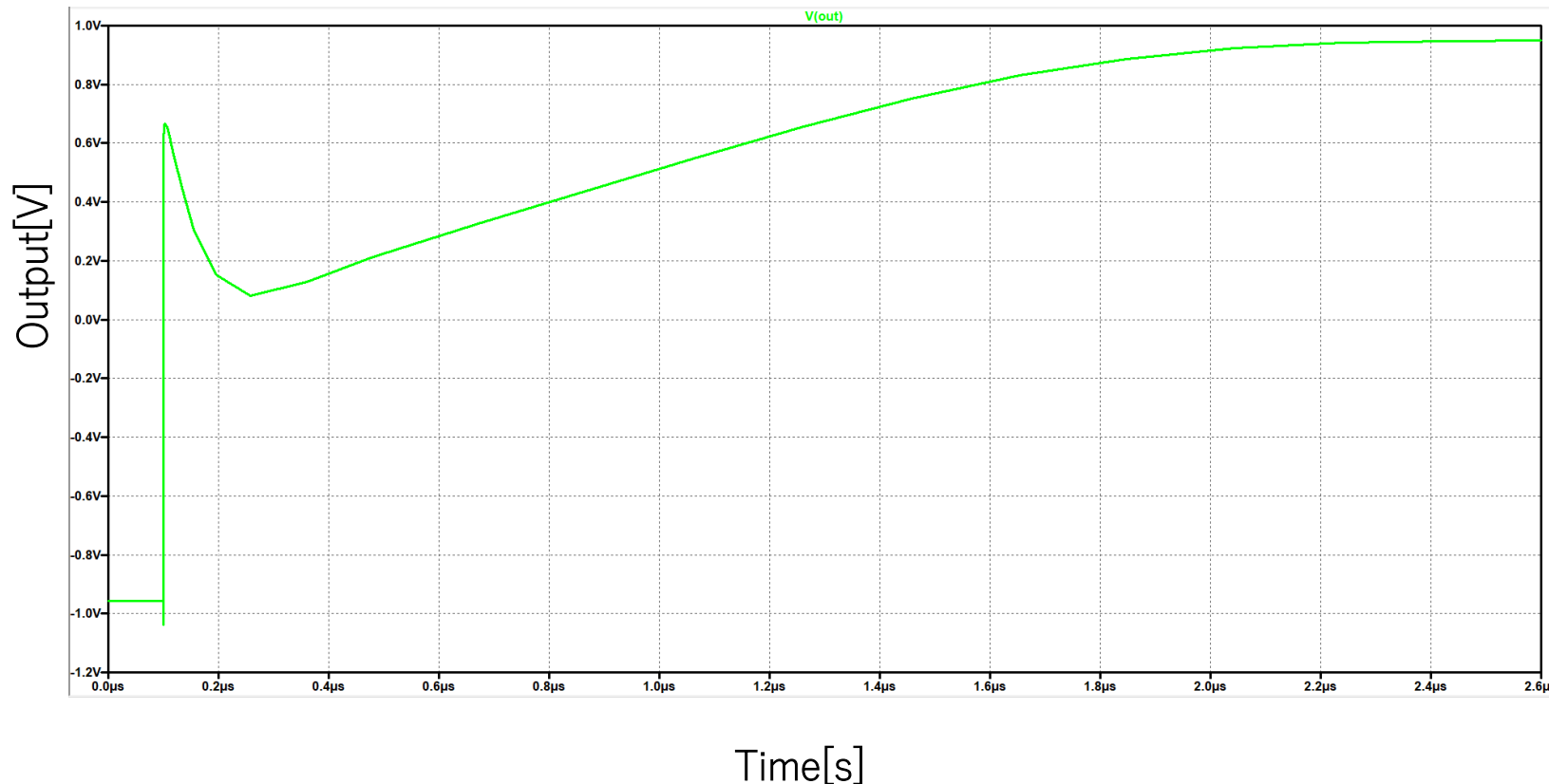
直流利得 ⇔ 消費電流
スルーレート ⇔ 消費電流

スルーレートを優先するため直流利得は要件ギリギリ

直流利得・位相余裕が要件を満たすように調整を重ねた

部門1(シミュレーション)

スルーレート



提出した際のエラーはなかったがLTspiceでのシミュレーション結果では複数の立ち上がり立ち下がりを確認。

LTspiceで正しく動作することを確認後、提出先のシステム上で素子値の改善を行い、その素子値を用いてシミュレーションした結果図のようになった。

部門1(まとめ)

スコア

項目	評価結果	単位
スルーレート	2.41e+10	V/s
消費電流	1.12e-05	A
同相入力範囲	96.5	%
直流利得	41.8	dB
スコア	8.696708e+18	

部門1(まとめ)

- ・ スルーレートを極限まで上げることに徹した
→ スルーレートの改善は果たせたものの、直流利得の改善の余地はあり

- ・ rail-to-rail入力段を採用した
→ 同相入力範囲をかなり高めることに成功

- ・ MOSのLの値は統一したがバイアス電流増加のために特定のMOSのMの値を極端に大きくした
→ 結果的にスコア上昇につながったが、実現の難しい回路となってしまった

- ・ コンテストのシステムでのシミュレーションを重視して素子値等を決定
→ 提出後にエラーは出なかったが、LTspiceでの結果は特性がよくなかった

部門2

評価式

得点 =

$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{(\text{消費電力})^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

部門2

構想

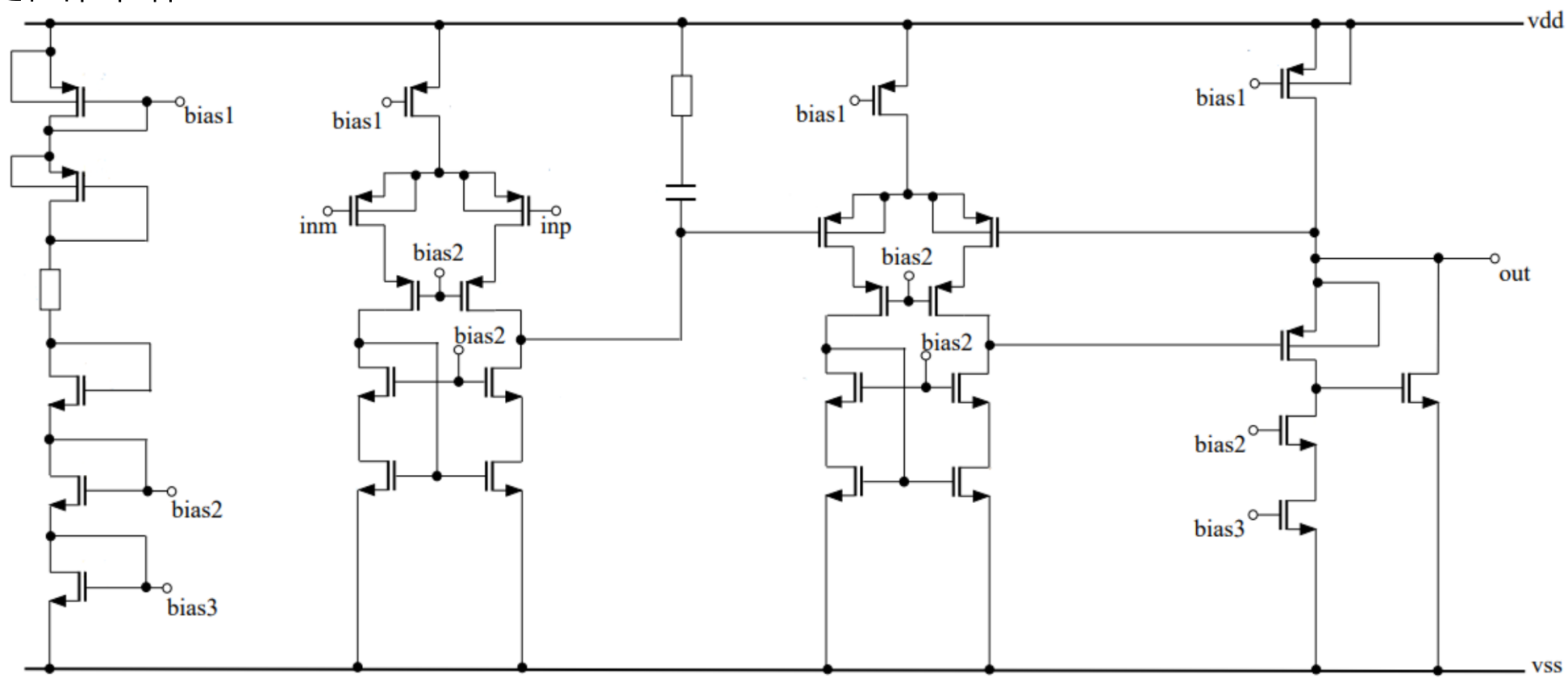
- ・ スコアを上げるためには出力抵抗を下げる
- ・ 入力換算雑音を下げてもスコア上昇を図る

設計方針

- ・ 負帰還アンプとスーパーソースフォロワを組み合わせて出力抵抗を下げる
- ・ PMOS入力で構成して入力換算雑音を下げる

部門2

提出回路



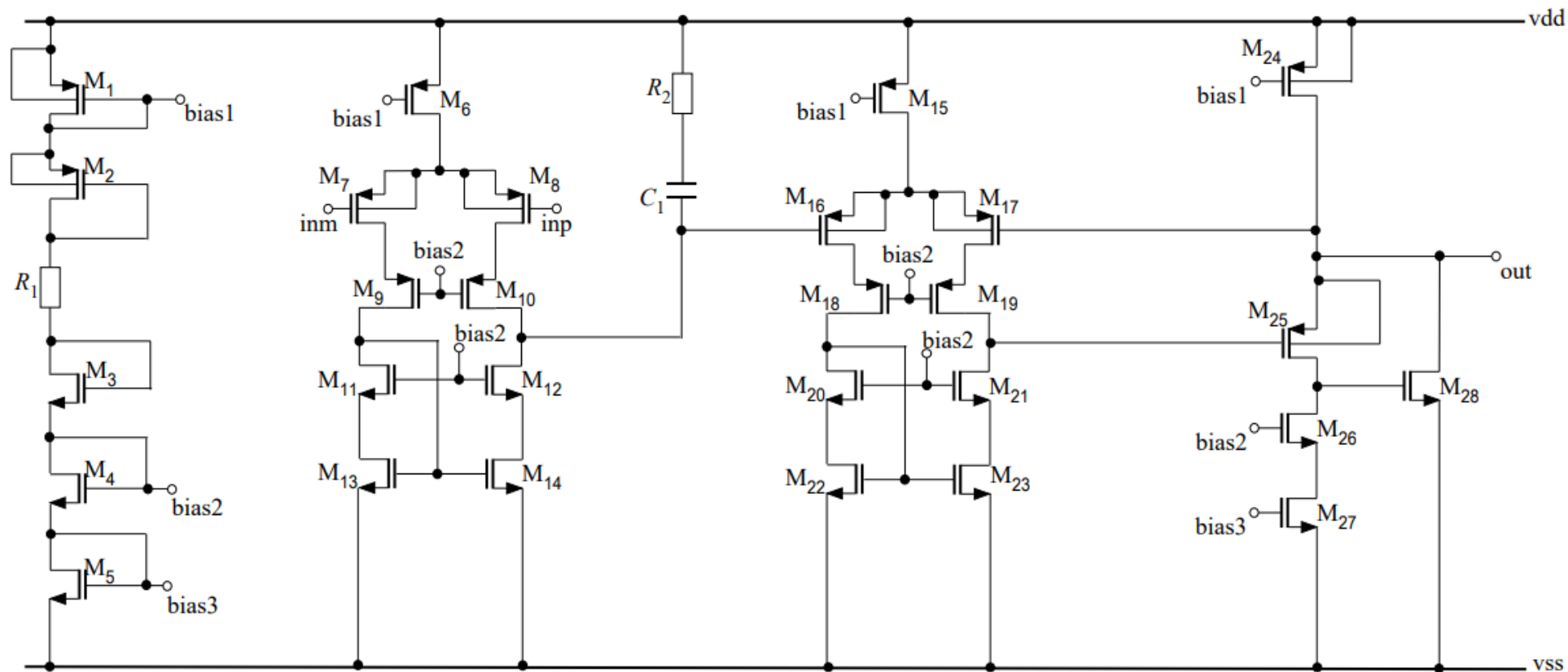
バイアス段

入力段
PMOS入力差動対

出力段
スーパーソースフォロワ+負帰還回路

部門2

提出回路

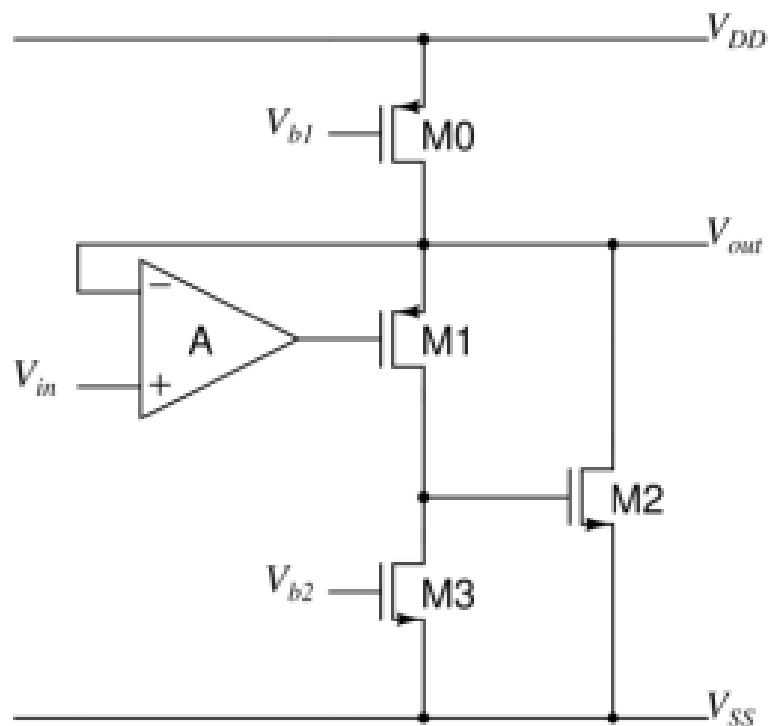


Vdd:1.5V, Vss:-1.5V

MOSFET	M ₁ ,M ₂	M ₃	M ₄ ,M ₅	M ₆	M ₇ ,M ₈	M ₉ ,M ₁₀	M ₁₁ ,M ₁₂	M ₁₃ ,M ₁₄	M ₁₅	M ₁₆ ,M ₁₇	M ₁₈ ,M ₁₉	M ₂₀ ,M ₂₁	M ₂₂ ,M ₂₃	M ₂₄	M ₂₅	M ₂₆ ,M ₂₇	M ₂₈	R ₁	R ₂	C ₁
L(μm)	0.2	0.2	0.2	1	0.6	0.2	0.2	4	1	0.2	0.2	0.2	3	0.2	0.2	0.2	0.2	460kΩ	13kΩ	0.3pF
W(μm)	3	2	1	15	9	3	1	0.4	15	3	3	1	0.3	16	10.5	3.5	2	* 空欄は全て「1」		
M																				

部門2

スーパーソースフォロワ+負帰還

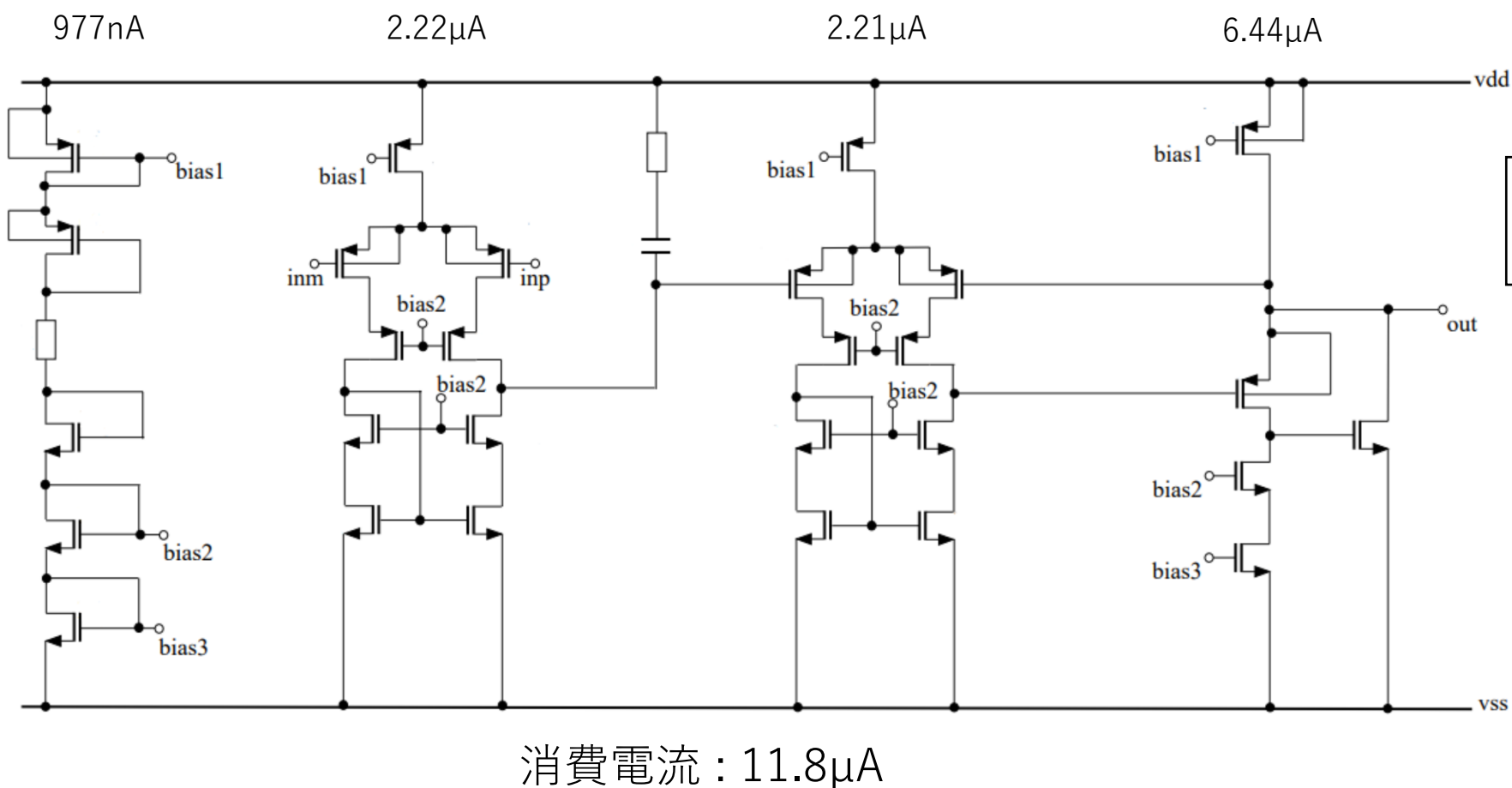


出力抵抗は要件に規定はないが、スコアでの最小値が 0.1Ω と決まっている
→ 出力抵抗を 0.1Ω にすることを旨とする

スーパーソースフォロワに加えて負帰還によって
利得A倍だけ出力抵抗を低下させる

部門2(シミュレーション)

消費電力



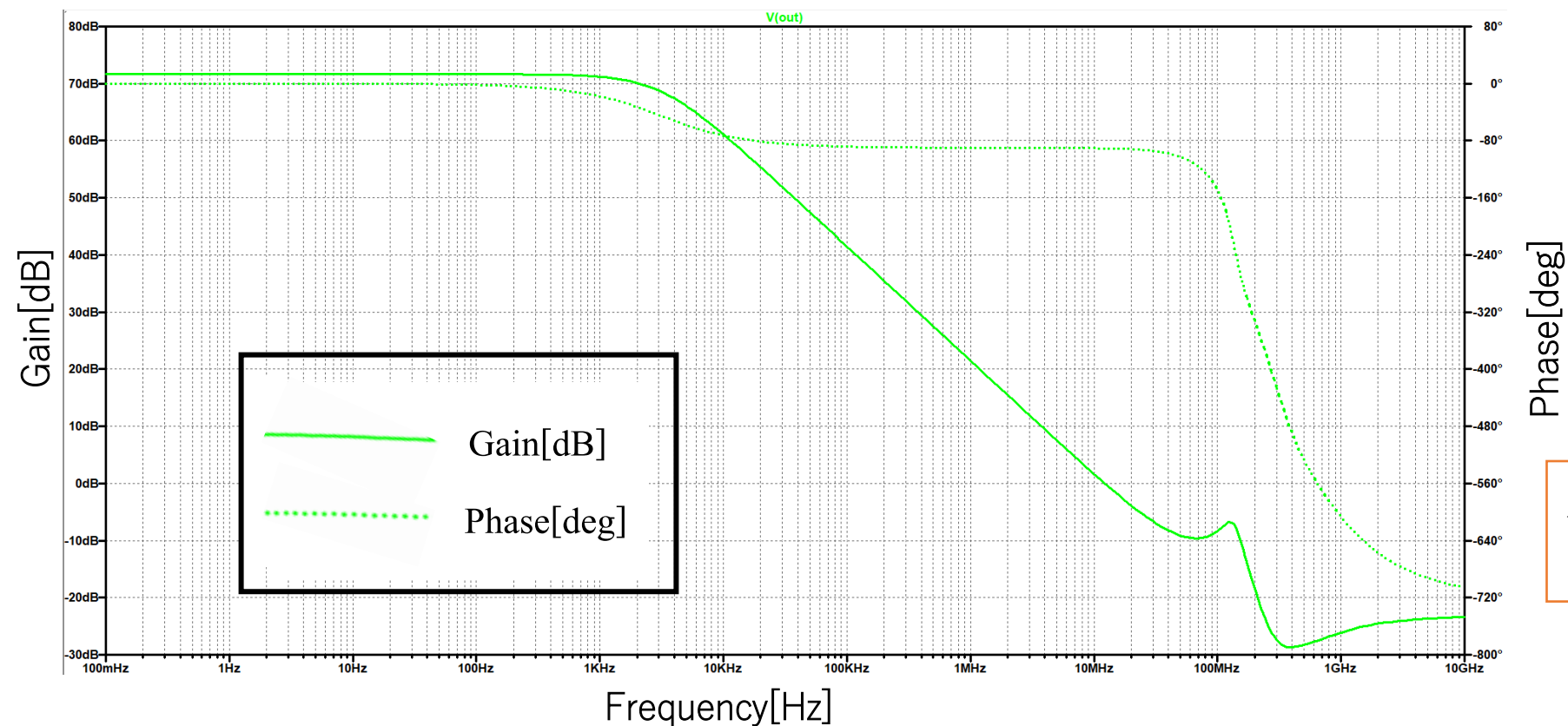
消費電力
 $11.8 (\mu\text{A}) \times 3(\text{V}) = 35.4 (\mu\text{W})$

消費電流に関しては特に小さくしようとはしなかった

負帰還での利得を優先するために電源電圧を3.0Vとした

部門2(シミュレーション)

直流利得・位相余裕



LTspice
直流利得：71.6dB
位相余裕：89.3deg

入力段にカスコードを採用したことで直流利得が高い

部門2(まとめ)

スコア

項目	評価結果	単位
消費電力	3.56e-05	W
出力抵抗	0.1	Ω
入力換算雑音	3.10e-03	V
利得帯域幅積	1.19e+07	Hz
位相余裕	85.5	deg
スコア	2.57678e+21	

部門2(まとめ)

- ・ 出力抵抗を 0.1Ω を目指しスーパーソースフォロワと負帰還アンプを採用
→ 出力抵抗 0.1Ω を達成
- ・ 電源電圧よりも利得を優先して作成
→ 電源電圧も下げることができていればさらに高いスコアが狙えた
- ・ コンテストのシステムでのシミュレーションを重視して素子値等を決定
→ 提出後のエラーが出なかったものの、LTspiceでの結果では特性がよくなかった

最後に

- 目標としていた第1位を、部門1・2においてとることができた。
- コンテストでの結果を重視し、エラーが出ない範囲でスコアを詰めていった結果LTspiceでのシミュレーション結果の特性が悪く、実現が難しい回路となってしまった。
- 回路作成のために参考にした過去の作品のスコアを超えられたものや超えられず悔しい思いをしたものもあり、これからの参加者にはさらなる高スコアを狙ってほしい。
- 回路設計の際直面した問題解決を行うことで、回路に関しての構成や原理を学ぶ良いきっかけとなった。自分の成長が感じられ、達成感を得られた。

~謝辞~

貴重な機会を設けてくださった演算増幅器設計
コンテスト運営の皆様並びに協賛企業の皆様に
厚く御礼申し上げます。