
2021年
演算増幅器設計コンテスト発表会

2022年2月1日

発表会プログラム

- 上位入賞者作品解説

		部門1	部門2	部門3	部門4	試作
14:05	佐藤滉也(群馬大学)		3位			
14:15	赤星駿介(防衛大学校)	3位			3位	
14:35	緒方征則(防衛大学校)			2位		
14:45	佐藤充(群馬大学)		2位	3位		
15:05	日比彪斗(愛知工業大学)			1位		
15:15	川原啓輔(東京理科大学)				1位	2位
15:35	休憩					
15:45	福岡慶祐(芝浦工業大学)	2位	1位		2位	
16:15	齋藤滉生(東京理科大学)					1位
16:30	講評(兵庫審査委員長)					

(敬称略)

協賛企業

- ・ 日清紡マイクロデバイス株式会社 (旧 新日本無線株式会社)
- ・ 旭化成エレクトロニクス株式会社
- ・ ダイアログ・セミコンダクター株式会社
(ルネサスエレクトロニクス株式会社と合併)
- ・ セイコーNPC株式会社
- ・ 株式会社トッパン・テクニカル・デザインセンター
- ・ エイブリック株式会社
- ・ トレックス・セミコンダクター株式会社
- ・ 株式会社東芝
- ・ ルネサスエレクトロニクス株式会社
- ・ 横河電機株式会社



演算増幅器設計コンテスト

部門1 4位 部門2 3位

部門3 7位

群馬大学

理工学部 電子情報理工学科

学部4年 佐藤 滉也

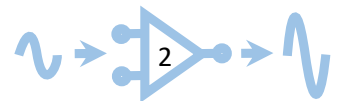
設計方針

● 評価式

$$\text{評価値} = \frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

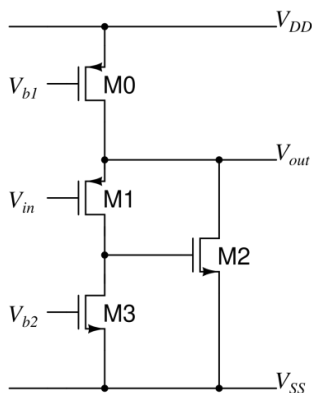
➡ 評価式から

- **消費電力**
電源電圧2.0[V]で設計を行う
- **出力抵抗**
スーパーソースフォロワと負帰還を用いて出力抵抗を下げる
- **入力換算雑音**
入力段をPMOS入力とする



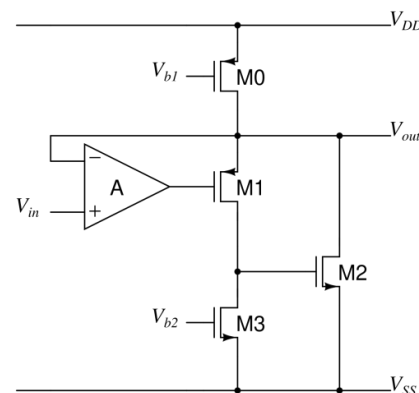
設計方針

●スーパーソースフォロワ



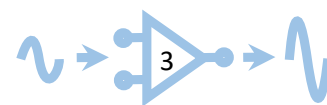
$$r_{out} \approx \frac{1}{g_{M1}g_{M2}r_{o1}}$$

●スーパーソースフォロワ+負帰還

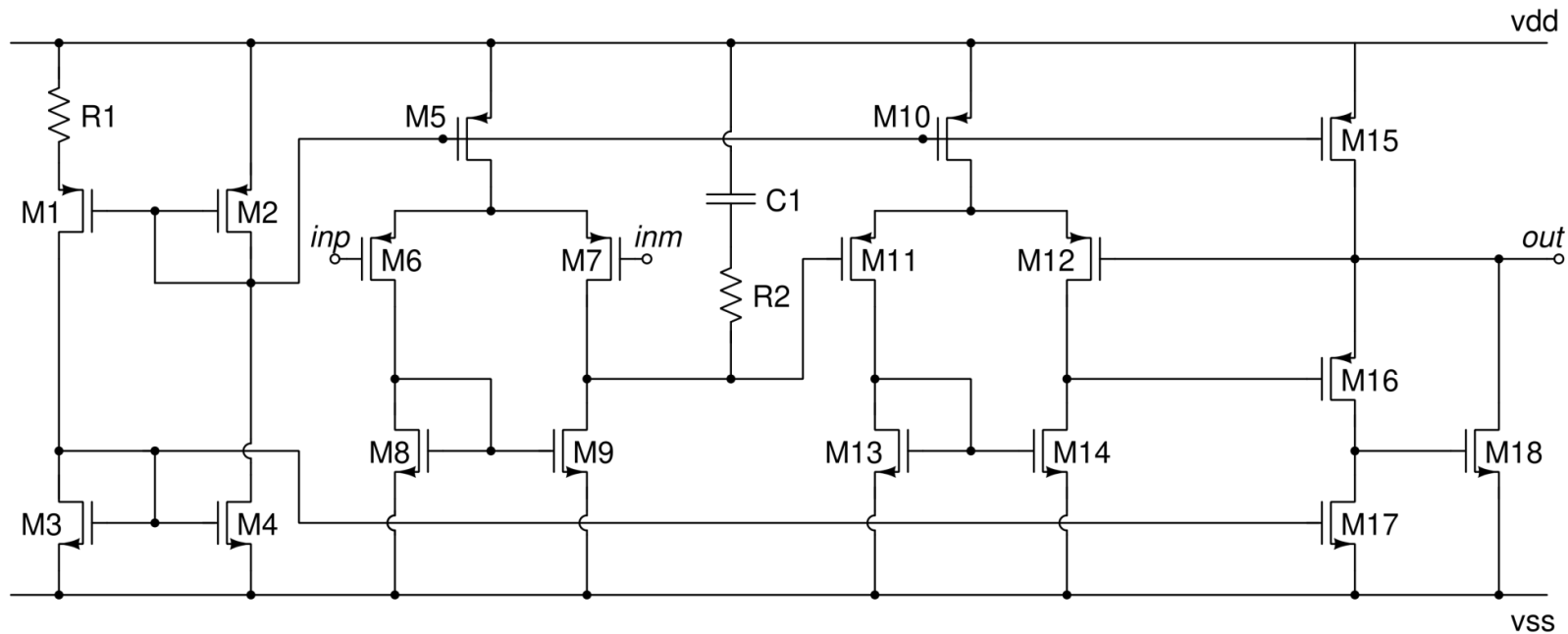


負帰還により利得A倍だけ出力抵抗が低下する

$$r_{out} \approx \frac{1}{A \cdot g_{M1}g_{M2}r_{o1}}$$



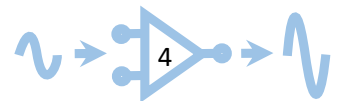
提出回路



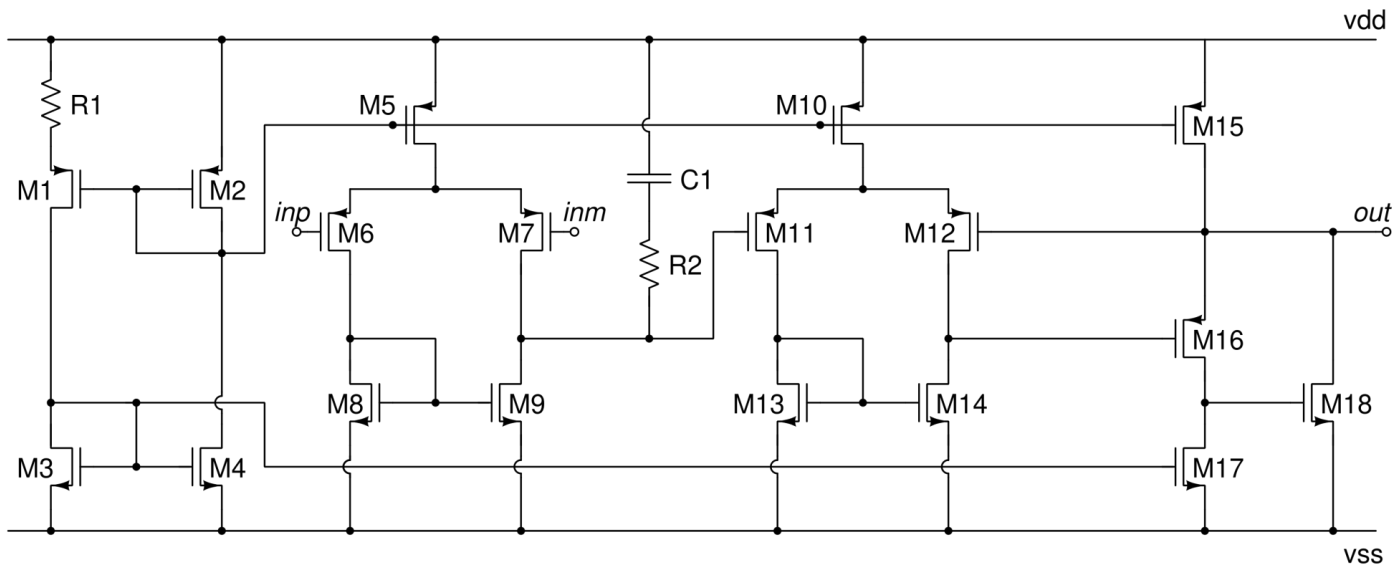
バイアス段
電源電圧不感型回路

入力段
PMOS入力差動対 + 負帰還回路

出力段
スーパーソースフォロフ



提出回路



vdd = 1.0 [V]
 vss = -1.0 [V]
 PMOSのバルクはvdd
 NMOSのバルクはvss

	L/W[μm]
M1	0.7/1.4
M2	0.7/1.4
M3	16/5
M4	16/5

	R[k Ω]
R1	7

	L/W[μm]
M5	0.7/2.1
M6	0.6/16
M7	0.6/16
M8	4/0.4
M9	4/0.4

	C[pF]
C1	0.2

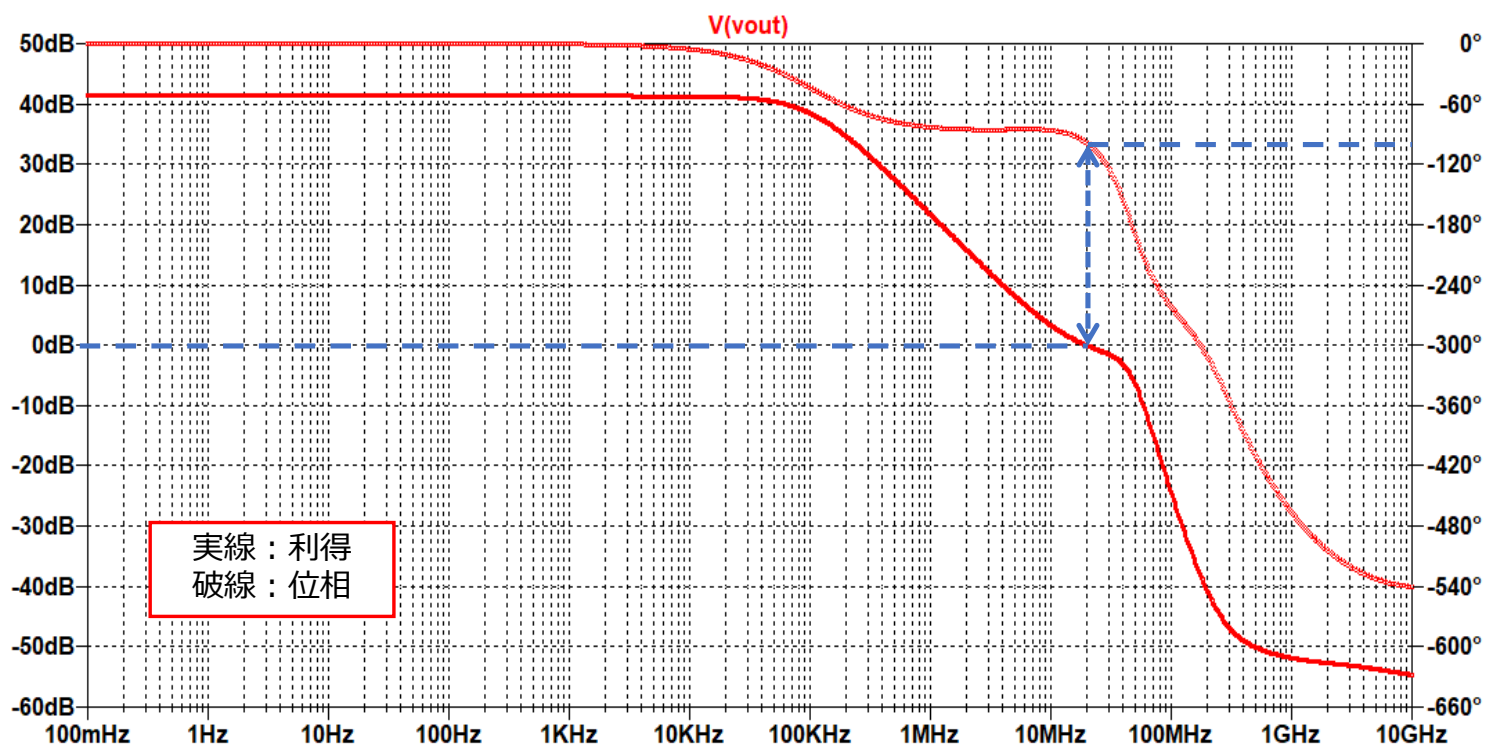
	R[k Ω]
R2	55

	L/W[μm]
M10	0.7/1
M11	0.6/6
M12	0.6/6
M13	4/0.4
M14	4/0.4

	L/W[μm]
M15	0.7/8
M16	0.7/7
M17	12/4
M18	0.2/4

利得帯域幅積・位相余裕・出力抵抗

利得帯域幅積 : 19.50[MHz] 位相余裕 : 82.07[deg]

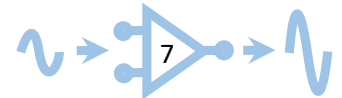
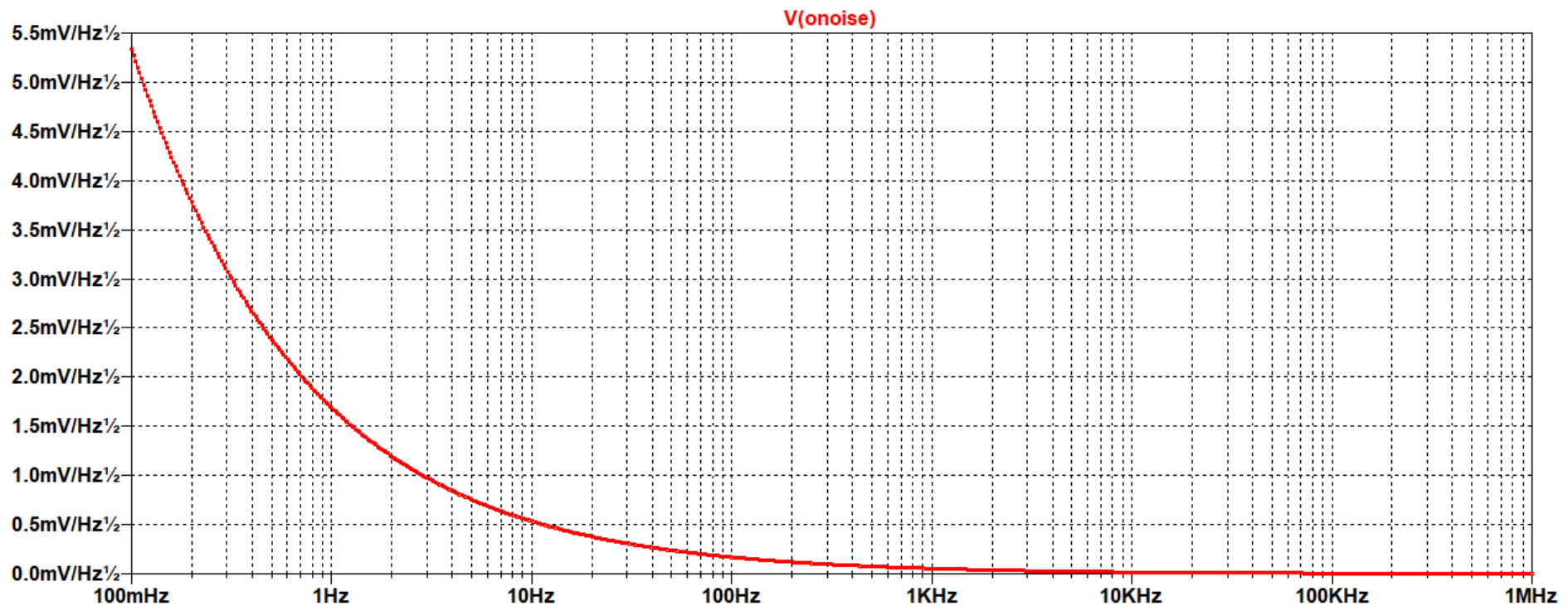


出力抵抗

- 補正前
利得 : 41.3[dB]
出力抵抗 : 1.32e-2[Ω]
- 補正後
利得 : 41.3[dB]
出力抵抗 : 7.79e-1[Ω]

入力換算雑音

入力換算雑音：1.53e-3[V]



消費電力

●消費電流

		電源電圧		
		0.9[V]	1.0[V]	1.1[V]
温度	-40[°C]	9.74[μ A]	12.10[μ A]	14.54[μ A]
	25[°C]	8.73[μ A]	10.82[μ A]	13.0[μ A]
	80[°C]	8.08[μ A]	9.99[μ A]	12.0[μ A]

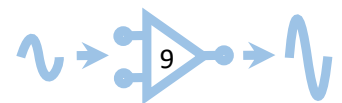
5.41 \leq $i_b \leq$ 16.23 を満たしている ($\pm 50\%$ 以内)

●消費電力

$$10.82e-06 [\mu A] \times 2.0 [V] = \underline{2.16e-05 [W]}$$

評価結果

項目	評価結果	単位
消費電力	2.1713e-05	[W]
出力抵抗	7.6957e-01	[Ω]
入力換算雑音	3.4136e-03	[V]
利得帯域幅積	1.1533e+07	[Hz]
位相余裕	6.6808e+01	[deg]
スコア	6.2211e+20	

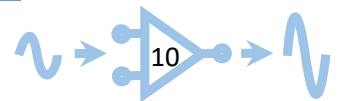


最後に

- スーパーソースフォロワと負帰還を用いることで、出力抵抗を下げる事ができた。しかし、コンテストの最小値である $0.1[\Omega]$ に届かなかったため来年の目標としたい。
- 今回コンテストに参加することで、要件を満たしつつ、目標に沿った設計を行う難しさを知ることができた。

謝辞

今回このような場を設けてくださった、
演算増幅器設計コンテスト運営の方々および協賛企業の方々に、
心より感謝申し上げます。



表紙

2021年演算増幅器設計 コンテスト

部門 1 : 3位 部門 3 : 4位 部門 4 : 3位
防衛大学校 応用物理学科 松元研究室
赤星 駿介

防衛大学校とは
横須賀市に所在す
る自衛隊の学校。
自然が豊か。

赤星駿介・・・本科4学年（B4相当）、陸上要員、吹奏楽部、軽音楽部に所属。
楽器に使うエフェクターの中身を知りたくなり回路系の研究室を選ぶと中身の
中身であるオペアンプ設計にたどり着いた。
バンドやろうぜ！などはs.akahoshi0502@gmail.comまで。

もくじ

- ・ 部門 1
- ・ 部門 4
- ・ まとめ

各部門の投稿回数

部門 1 . . . 13回
部門 2 . . . 未参加
部門 3 . . . 7回
部門 4 . . . 25回

画面のレイアウトについて

主にメインの内容は上の枠、回路や測定の解説は右の枠、感想や設計当時考えていたことは下の枠に記述している。

・部門 1

- ・評価項目
- ・方針
- ・提出回路
- ・消費電流
- ・直流利得、位相余裕
- ・スルーレート
- ・同相入力範囲
- ・結果

・部門 4

・まとめ

もくじ

各部門の投稿回数

部門 1 . . . 13回

部門 2 . . . 未参加

部門 3 . . . 7回

部門 4 . . . 25回

画面のレイアウトについて

主にメインの内容は上の枠、回路や測定の解説は右の枠、感想や設計当時考えていたことは下の枠に記述している。

部門 1 評価項目

直流利得

dB値での評価であり
差がついても2~3倍
なので気にしない。

同相入力範囲

トポロジに大きく依
存し、100%近くを安
定して出せるので気
にしない。

スルーレートと消費電流

トレードオフの関係
にあり、スコアに
10倍、100倍といった
オーダーで影響する
ので注力する。

直流利得[dB] × 同相入力範囲[%] × スルーレート[V/s]

消費電流[A]

同じレギュレーションで行われた昨年のコンテスト入賞の方が $1e+19 \sim 2e+20$ く
らのスコアであったため、 $5e+19$ を目標に設計を行った。

部門1 方針

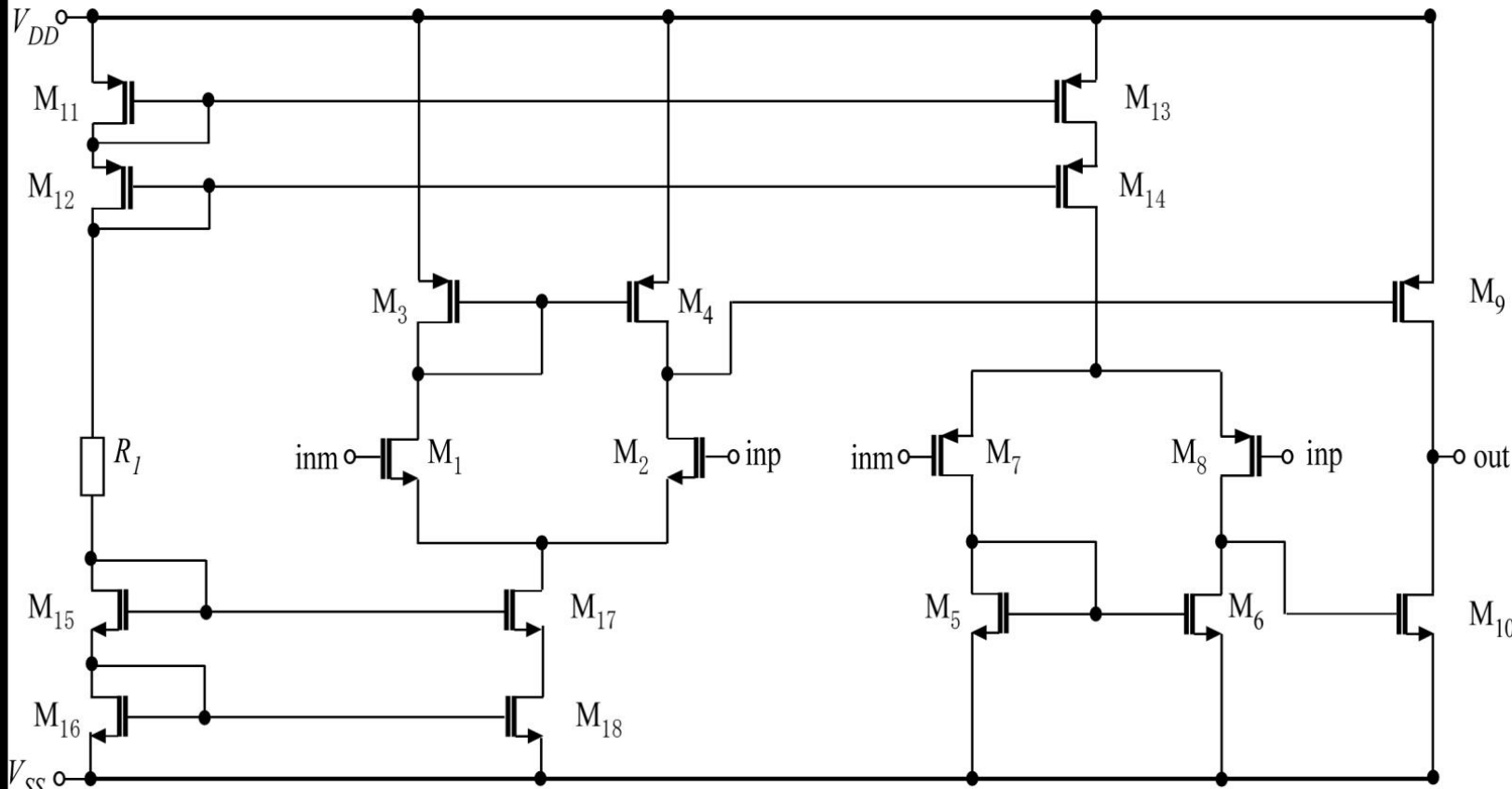
- ・ シミュレーションの部初参加であるためトポロジは過去の入賞作品を参考にする
- ・ 余分な電流パスを減らすためレベルシフトは使わない
- ・ スルーレート確保のため位相補償用のキャパシタは使わない
- ・ 出力段のW/Lの寸法で決まるスルーレート、消費電流のバランスに気を付ける

- 1 仕様の吟味
- 2 トポロジの決定
- 3 補償方法の決定
- 4 バイアス点の決定
- 5 素子値の決定

といった回路設計の手順のうち、4,5に力を注いでスコアを伸ばすことにした。

今年度は昨年度と同じレギュレーションであったため昨年度から出場されている方々とのスタートラインの差が不安だった。毎年公開されている本発表の資料はコンテスト参加にあたっての道標となった。

提出回路①



※NMOSのバルクはすべてVSSに接続。PMOSのバルクはすべてVDDに接続。VDD = +1.5[V], VSS = -1.5[V]

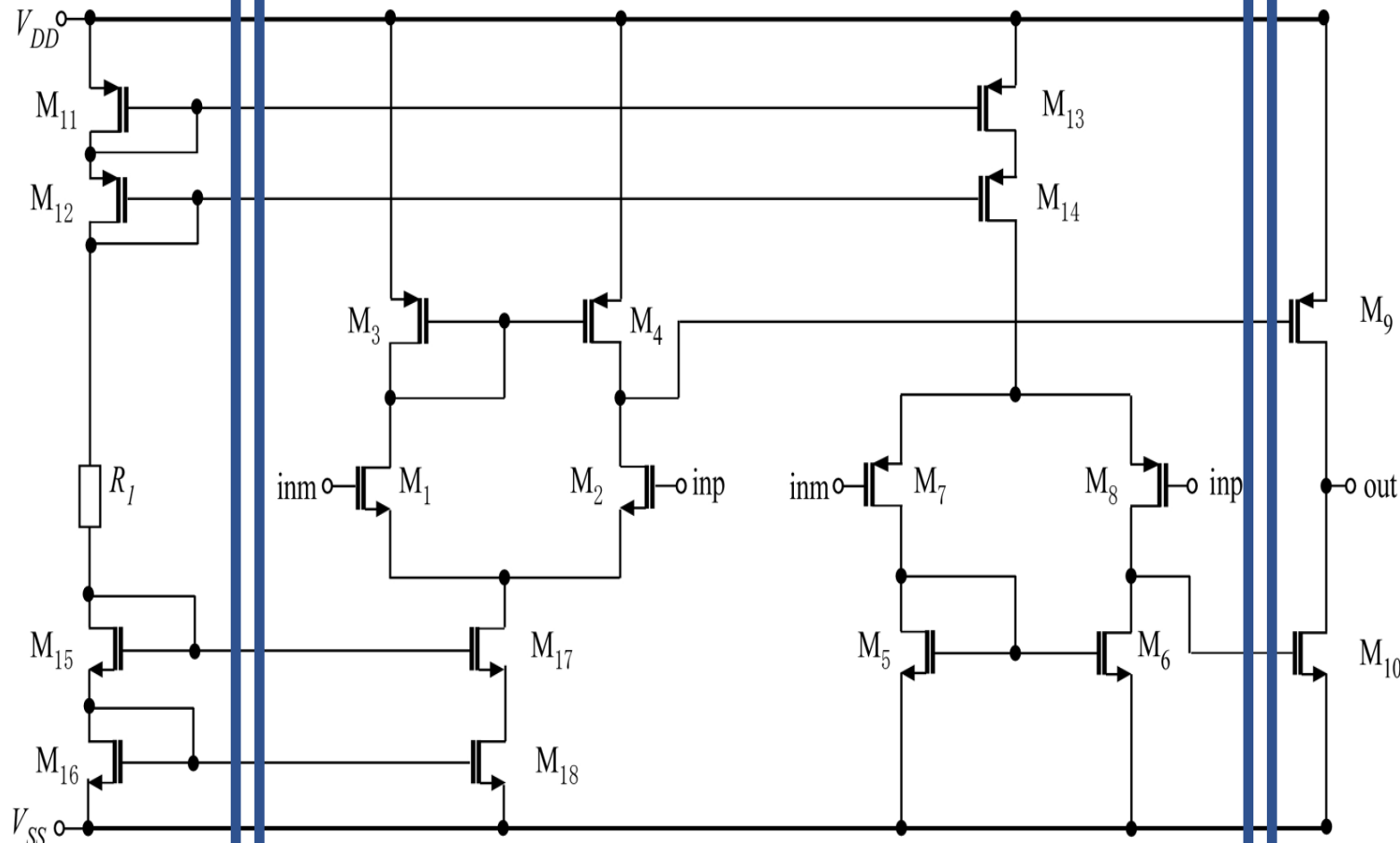
MOSFET	M ₁ ,M ₂	M ₃ ,M ₄	M ₅ ,M ₆	M ₇ ,M ₈	M ₉	M ₁₀	M ₁₁ ,M ₁₂	M ₁₃ ,M ₁₄	M ₁₅ ,M ₁₆	M ₁₇ ,M ₁₈	Resistor
	NMOS	PMOS	PMOS	NMOS	PMOS	NMOS	PMOS	PMOS	NMOS	NMOS	R ₁
L(μm)	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18	100MΩ
W(μm)	0.50	2.00	1.00	0.50	2.40	1.48	1.00	1.00	1.00	1.00	

- ・ pmos, nmos 差動対 両入力
- ・ プッシュプル出力
- ・ 補償用キャパシタなし
- ・ レベルシフト回路なし

消費電流を減らすために定電流源用の抵抗は可能な限り大きくした。

手元のシミュレーション上で差動対、出力段の寸法を少しでも変えると大きく特性がぶれるため、実際は電流を多く流すゆとりある回路設計が必要であると感じた。

提出回路②



バイアス段

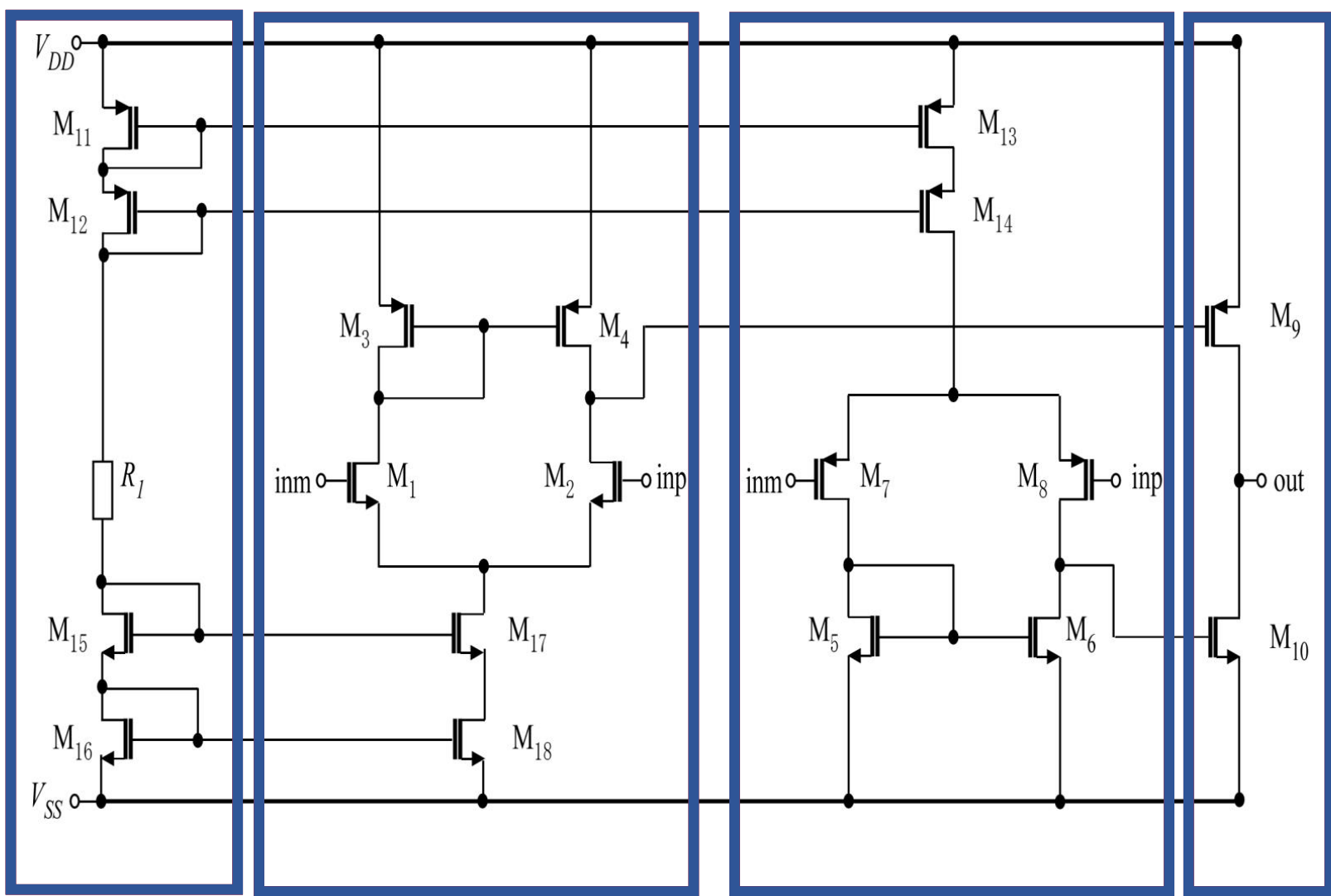
差動入力段

出力段

このトポロジは2016年のコンテストから出現し、位相補償やレベルシフトの方法を変えつつ通算16回上位作品の発表資料に登場している。また、重い負荷容量を駆動する部門4や試作の部でも活躍している。

スルーレート・消費電流を競う部門で**覇権**を握るトポロジである。

消費電流①

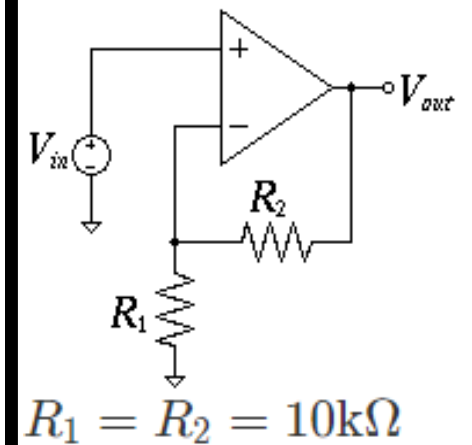


16.3nA

786.6nA

894.6nA

760.2nA



$R_1 = R_2 = 10k\Omega$

↑評価用の回路
(コンテストHPより)

無信号時の消費電流を測定する

バイアス段に流れる電流を抑えることができた。
出力段の消費電流も1 μ A以下に抑えることができた。

各電源電圧および温度での消費電流のシミュレーション値

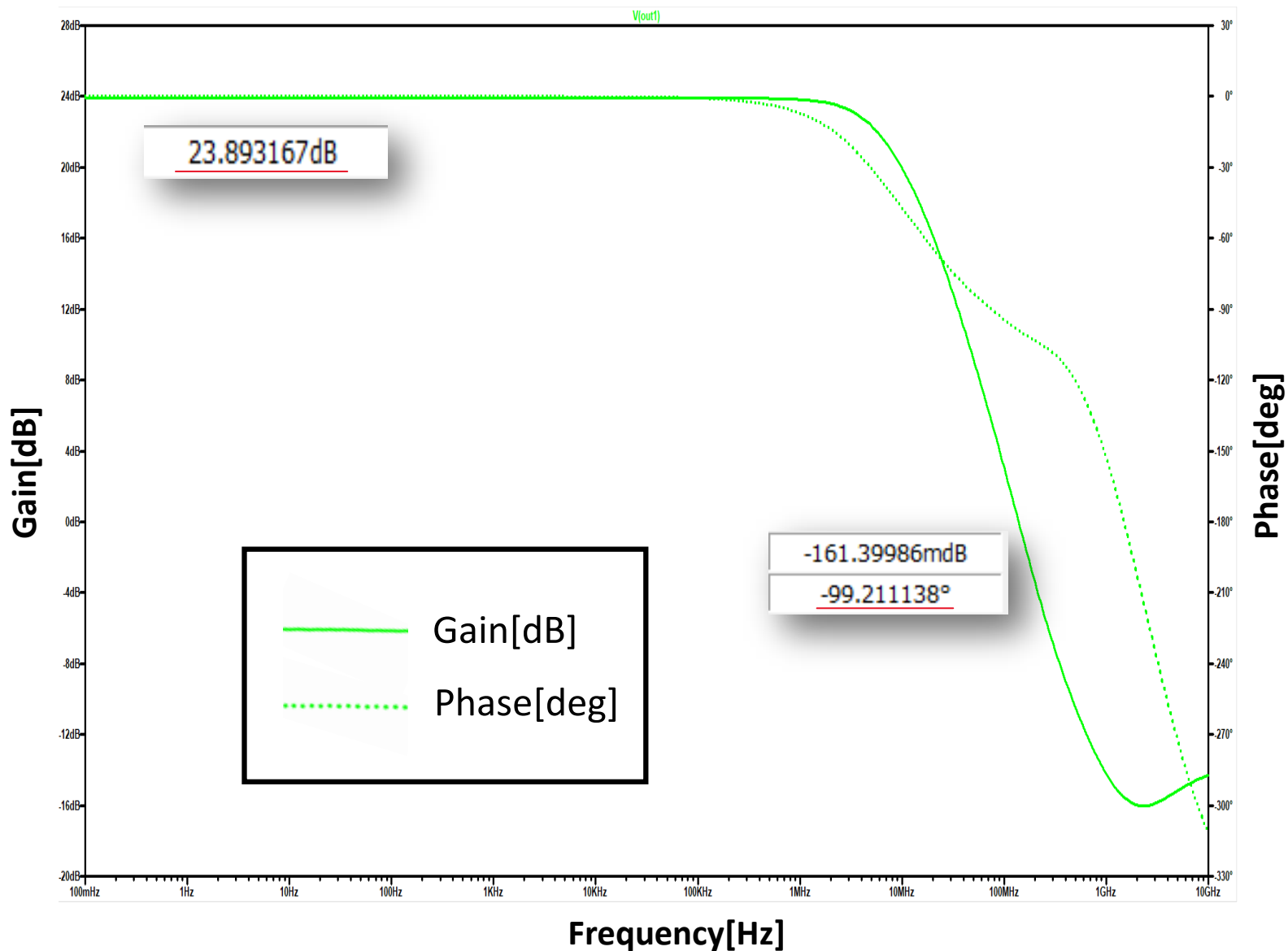
動作温度[°C] 電源電圧[V]	-40	25	80
2.7	1.730[μA]	2.020[μA]	2.225[μA]
3.0	2.174[μA]	2.469[μA]	2.684[μA]
3.3	2.643[μA]	2.940[μA]	3.165[μA]

消費電流②

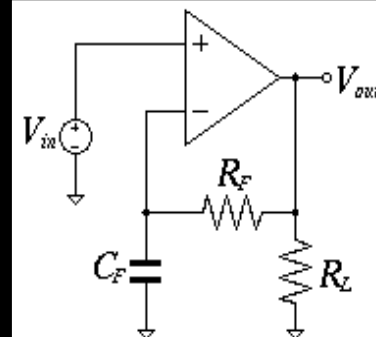
消費電流の最低要件

電源電圧を申告値の0.9倍、1倍、1.1倍
動作温度を
-40°C、25°C、80°C
にして計測し、
すべてが1倍、25°C
のときの±50%に収
まることが条件。
LTspiceを用いた手
元の測定では
最大値:3.165 μA
標準値:2.469 μA
最小値:1.730 μA
であり、要件を満た
している。

標準の設定温度は、LTspiceでは27°C、Hspiceでは25°Cである。
コンテストでの採点はHspiceを用いているため他のspice系ソフトで設計する際
には別途温度を指定すると採点環境との差が縮む。



直流利得 位相余裕



$$R_F = 1\text{T}\Omega, R_L = 20\text{k}\Omega, C_F = 1\text{mF}$$

↑評価用の回路
(コンテストHPより)
直流利得 (sim値)
=23.893dB
→換算値 64.190dB

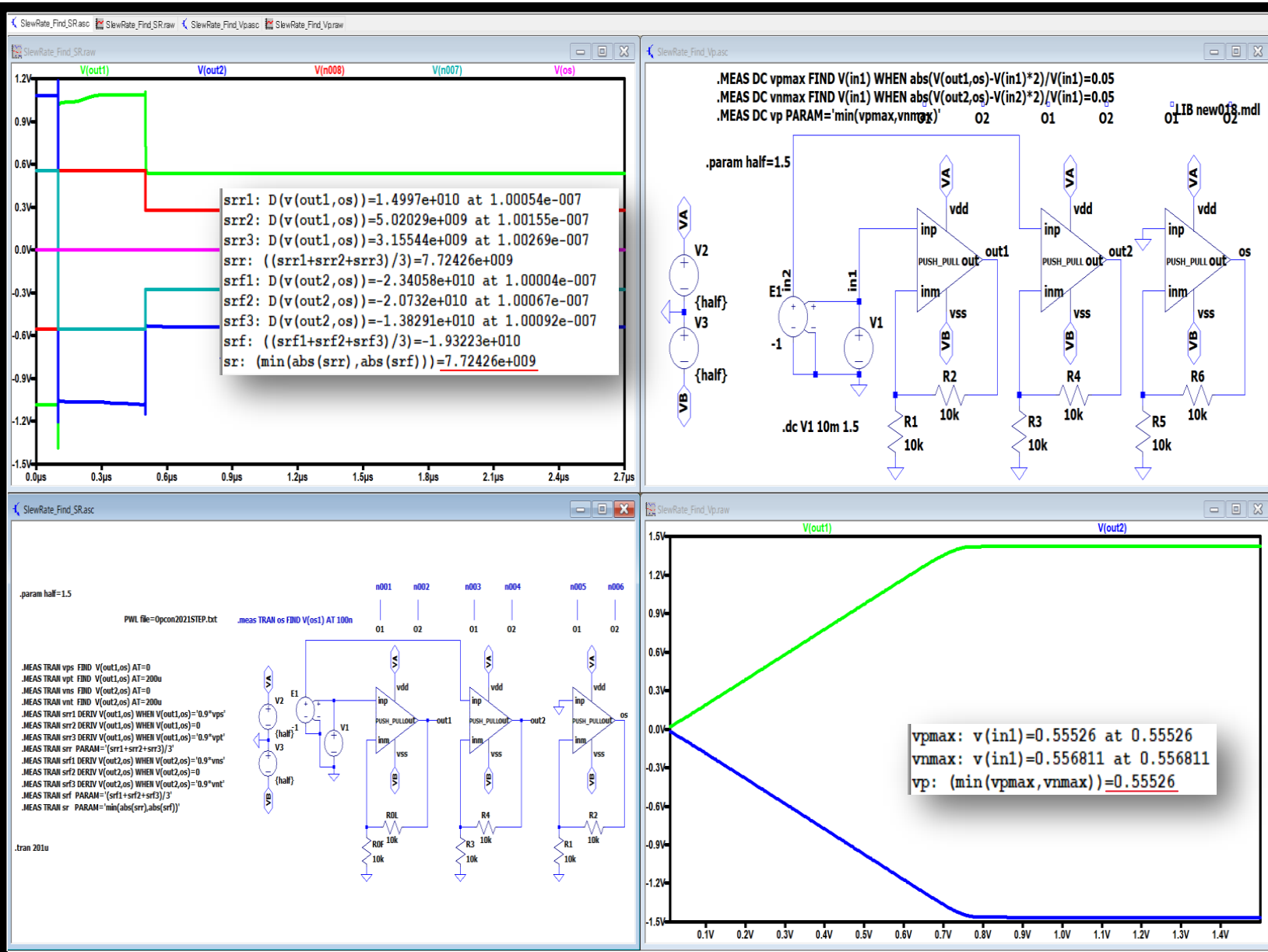
位相余裕
=100.78deg

出力抵抗を加味した換算値の計算は煩雑であったため、手元のシミュレーションでの確認では負荷抵抗をはずすことでおおよその値を測定していた。

スルーレート①

「入力電圧の最大値が決まりません...」

このエラーは.dc解析によるピーク電圧(Vp)の測定の際に最小入力である10mVの段階から歪が始まっていることによるものだと思われる。



立ち上がり、立下りのうち小さいほうが評価されるため、出力段のpmos, nmosのサイズを微調整し無駄に電流を消費することがないように気を付けた。

スルー レート②

「2回以上の立ち上がり、立下り」

図で囲った部分のスパイクが大きいときに.measコマンドで初期値の0.9倍を検出することで出るエラーだと思われる。

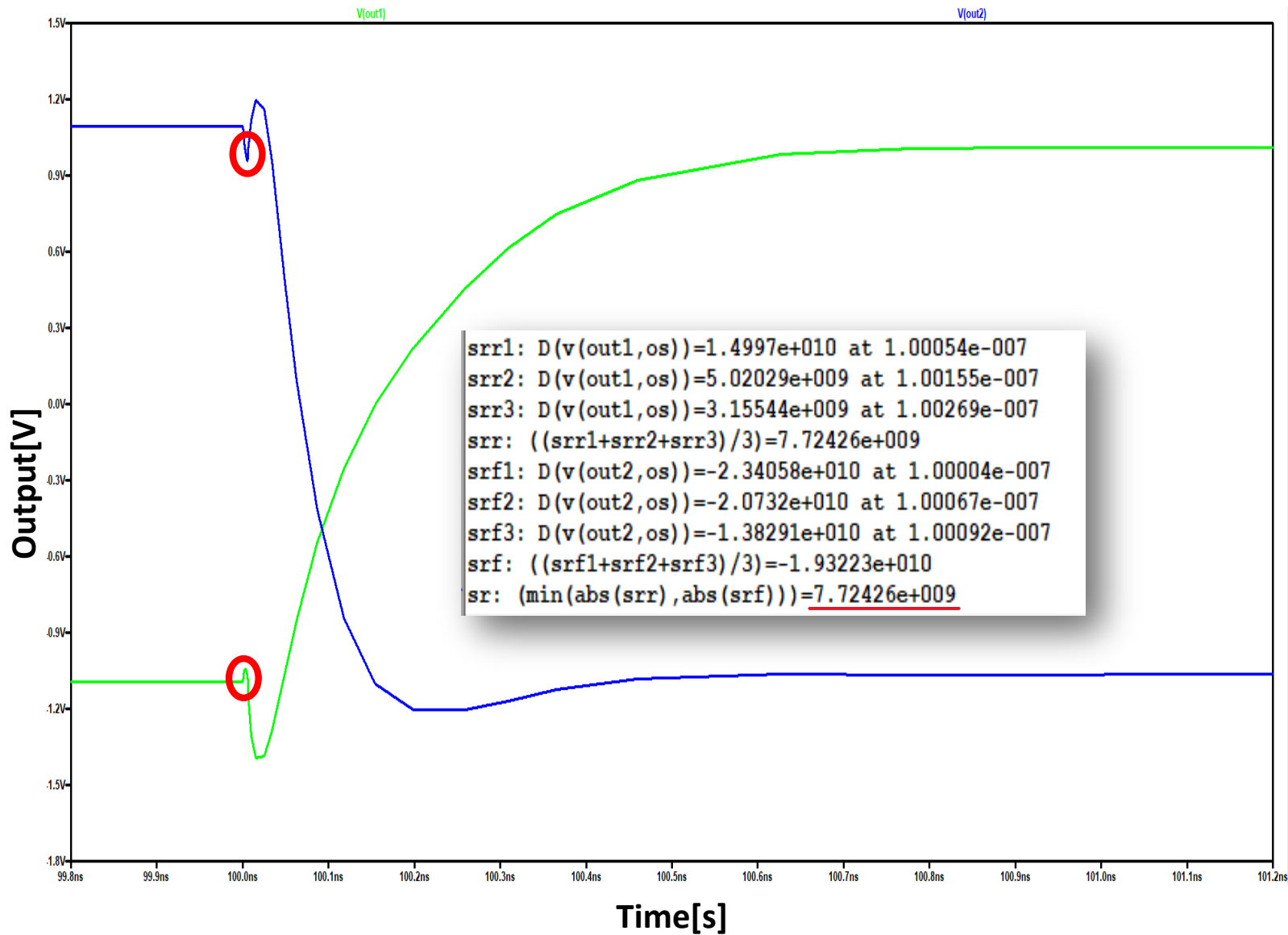
スコアは
手元の測定で

7.7243e+9 v/s

評価結果は

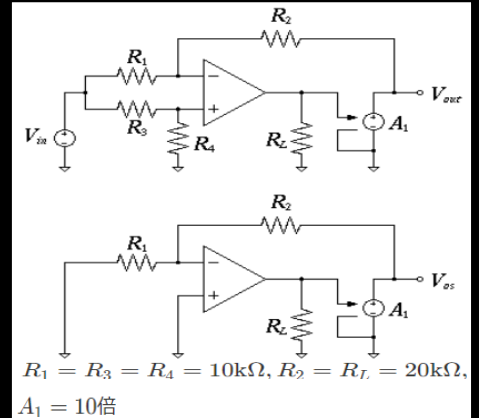
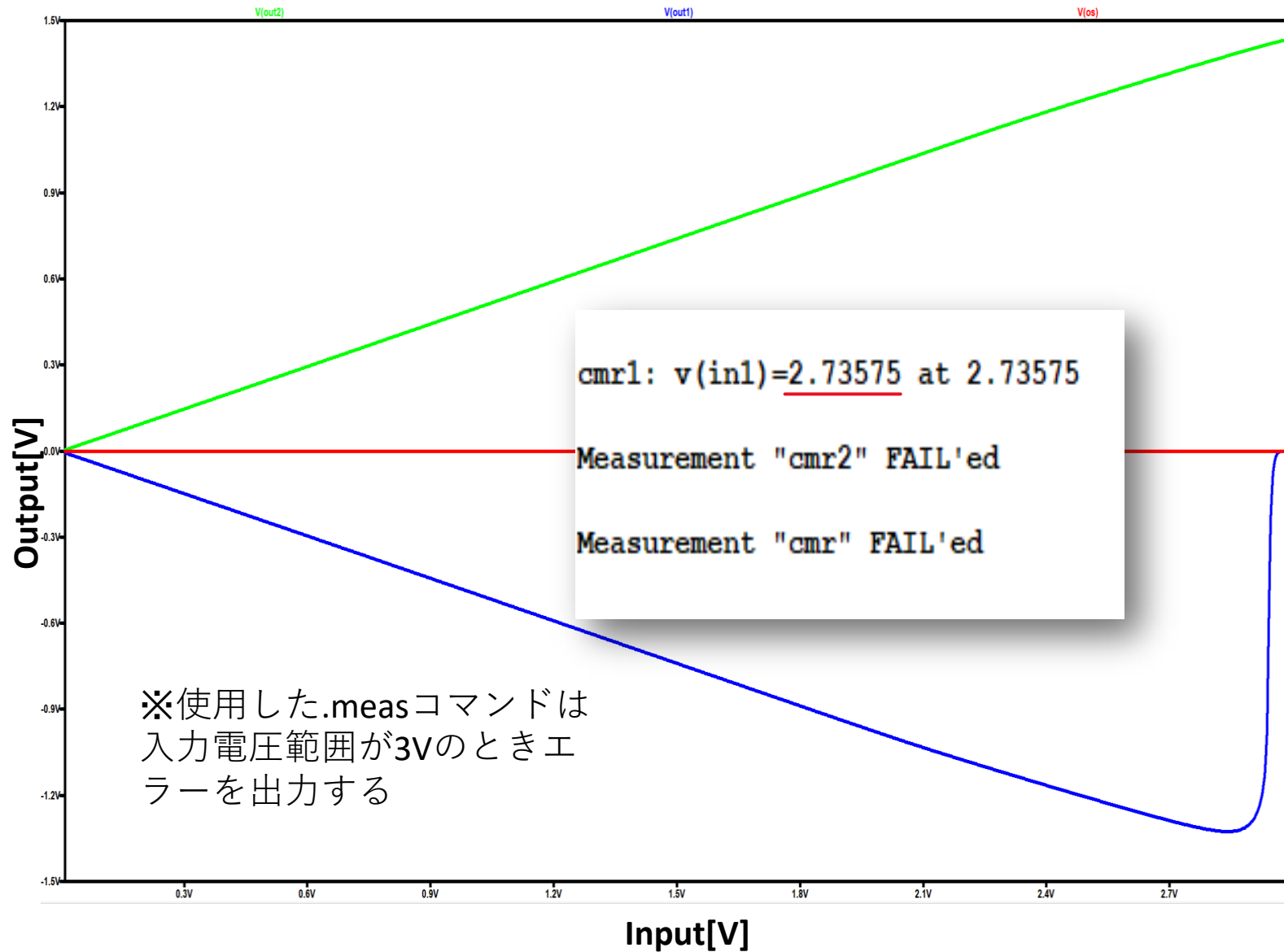
2.5102e+10 v/s

であった。



そもそもスパイクが出る原因がわからず、根本的な対策ができなかった。

同相 入力範囲



↑評価用の回路
(コンテストHPより)
手元の測定での同相
入力電圧範囲は
 $(3+2.736)/2=2.868\text{ V}$
同相入力範囲は
 $2.868/3*100=95.6\%$
評価結果は
100%
であった。

予想通り特段の工夫なしで100%を達成できた。

部門1 結果

項目	評価結果	単位
スルーレート	2.5102e+10	V/s
消費電流	2.4800e-06	A
同相入力範囲	1.0000e+02	%
直流利得	6.4190e+01	dB
スコア	6.4972e+19	

※LTspiceでのシミュレーション結果
と評価結果とでは値が異なる

2回以上の立ち上がり立下りの問題の原因が理解できればさらにスルーレートと消費電流のスコアを伸ばせようである。

狙い通り消費電流をしぼり、スルーレートを向上させて目標スコアの5e+19を超えることができ、入賞できた。

・部門 1

・部門 4

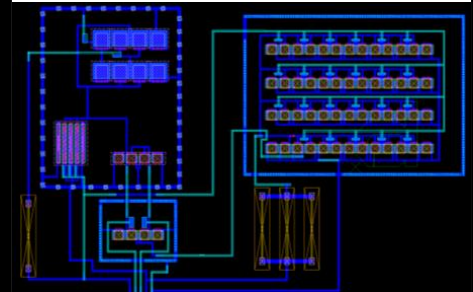
- ・ 評価項目
- ・ 評価回路
- ・ 方針
- ・ 提出回路
- ・ 直流利得、位相余裕
- ・ スルーレート
- ・ 消費電流と結果
- ・ 番外編 レイアウト

・まとめ

もくじ

試作の部について

今年度は試作の部にも参加させていただいた。差動対とソース接地増幅回路の2段構成オペアンプをレイアウトしたが、pmosのバルクを電源につなぎ忘れていた。



本来部門 1 に力を注いでシミュレーションの部は終わりと思っていたが、提出期限が延長されたため部門 4 にも参加を決めた。

部門4 評価項目

消費電流のみ

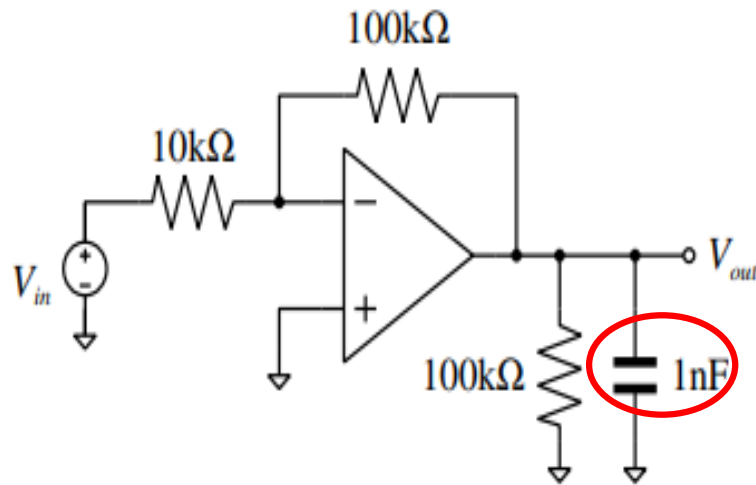
ただし、

電源電圧:3V
直流利得:40dB以上
位相余裕:45deg以上
帯域幅:20kHz以上
オフセット電圧:100mV
以内
入力電圧範囲:100mV
以上
スループレート:1V/μs以上
全高調波歪率:1%以下
占有面積:0.2mm²以下

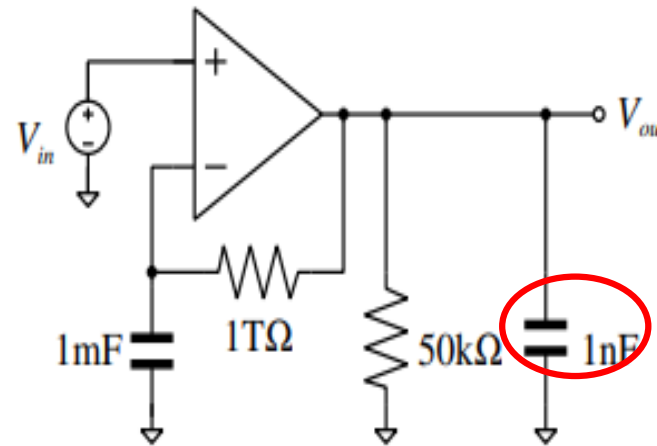
を満たすことに加え不安定な極がないことが条件。

0.6μmプロセスと0.18μmプロセスの特性が大きく異なり、はじめは最低要件を満たす回路を作ることができなかった。

部門4 評価回路



帯域幅
オフセット電圧
入力電圧範囲
スルーレート
全高調波歪率



直流利得
位相余裕

※位相余裕測定の際は出力負荷のキャパシタを0.9nF,1.0nF,1.1nFに変更しそのすべてで45度以上の余裕を確保しなければならない。

この評価回路で特に留意すべきことは

- ・ 負荷容量が1nFであり、非常に重いこと
- ・ 50kΩの負荷抵抗を付けた状態での利得が40dB必要であること

であると判断した。

部門4は素子値の制限も他部門と異なる。

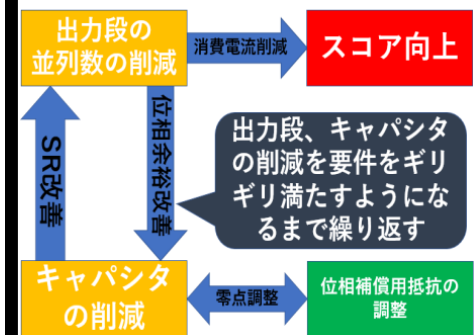
- ・ プロセスルールが0.6μm
- ・ 使用可能な抵抗は合計50MΩ(他部門は100MΩ)

部門4 方針

- 重い負荷容量の駆動と低消費電流の両立を図る必要がある。
- 部門1の回路を $0.6\mu\text{m}$ プロセスで使用。
- スルーレート確保のため位相補償用のキャパシタは使わない、もしくは極力減らす。
- 実装を意識し、nmos, pmosのサイズは各1種類にする。

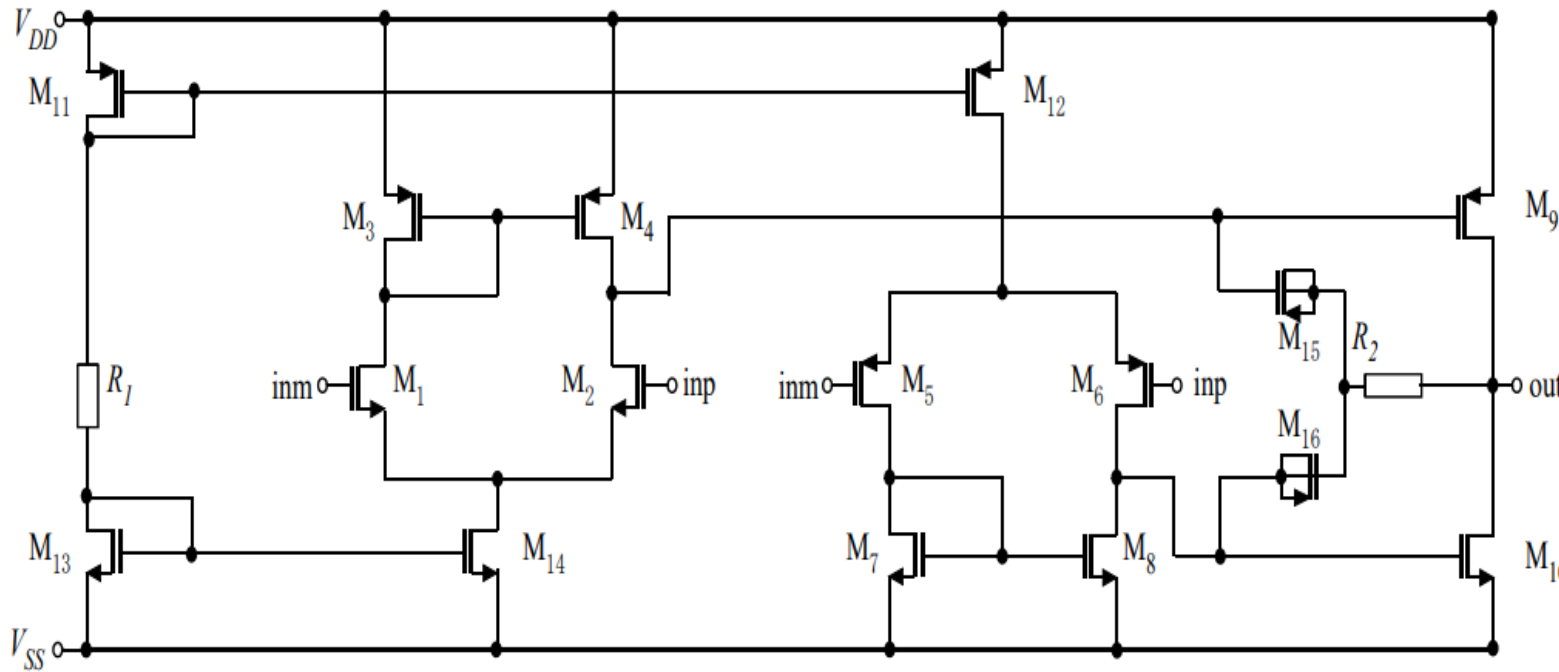
面積、利得、位相余裕、スルーレートなど各要件を切り詰めて消費電流削減を図った。

出力段まわりの設計を例にとるとこのようになる。



pmos, nmosの β を合わせると出力段に立ち上がり、立ち下りに無駄がない調整を施すことができたため、pmosのサイズをある程度大きくした。

部門4 提出回路



※NMOSのバルクはすべてVSSに接続。PMOSのバルクはM₁₅, M₁₆以外VDDに接続、M₁₅, M₁₆はそれぞれのソース、ドレインに接続。

MOSFET	M ₁ , M ₂	M ₃ , M ₄	M ₅ , M ₆	M ₇ , M ₈	M ₉	M ₁₀	M ₁₁	M ₁₂	M ₁₃	M ₁₄	M ₁₅ , M ₁₆	Resistor
	NMOS	PMOS	PMOS	NMOS	PMOS	NMOS	PMOS	PMOS	NMOS	NMOS	PMOS	R ₁
L(μm)	0.60	0.60	0.60	0.60	0.60	0.60	0.60	0.60	0.60	0.60	0.60	20000kΩ
W(μm)	1.20	3.10	3.10	1.20	3.10	1.20	3.10	3.10	1.20	1.20	3.10	R ₂
M	1	2	1	2	11	11	16	81	16	79	4	28000kΩ

低い周波数で位相が大きく遅れたため位相補償を用いた。

MOSキャパシタは容量の対称性を得るために高電位側をゲート端子とした。

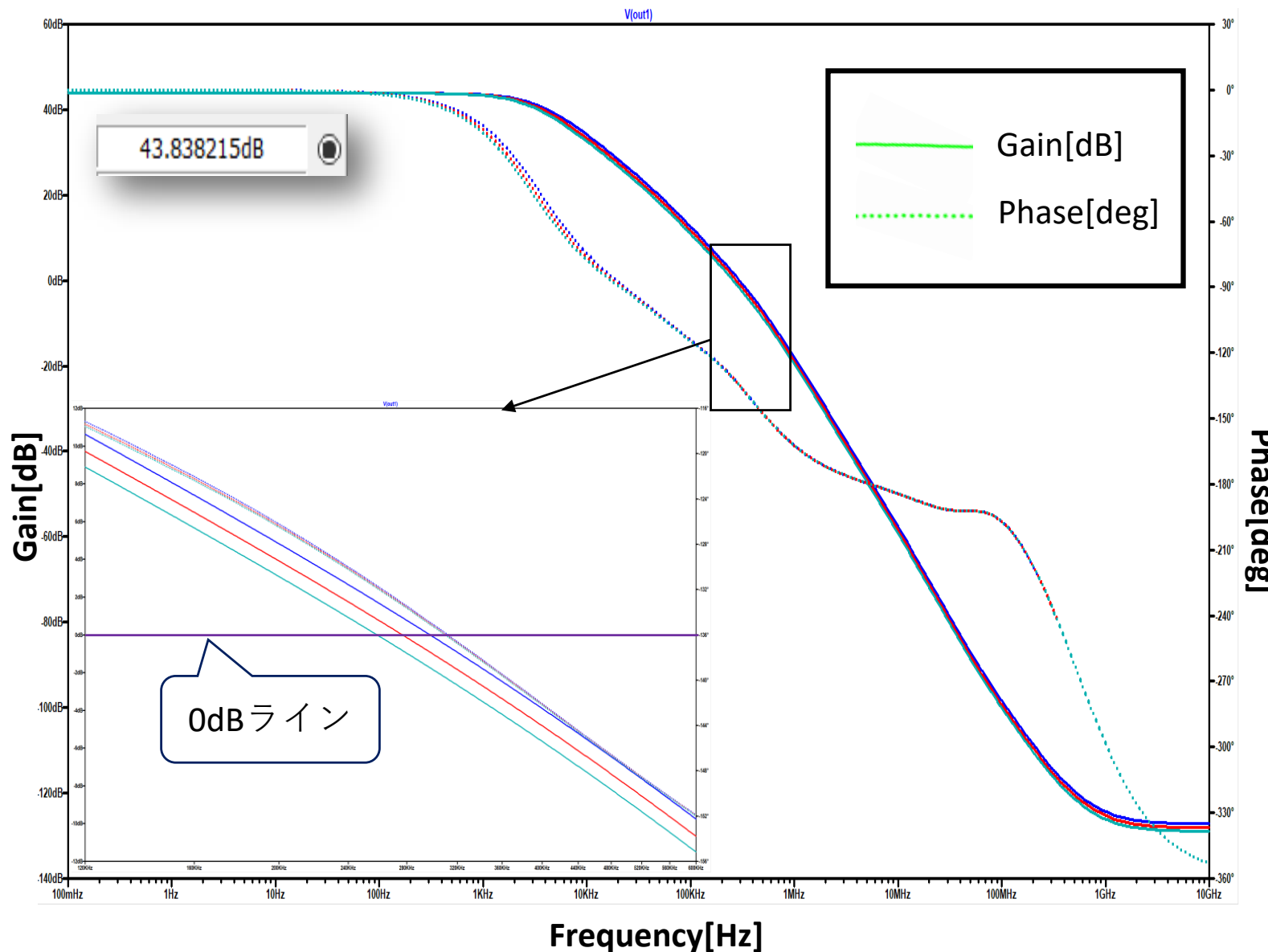
ゲート幅は pmos3.10μm、 nmos1.20μmとした。

pmosとnmosについてほぼ対称の回路を作ることができた。
R2に大きな抵抗を用いる必要があったためR1を小さくすることになり、参照電流源の消費電流を削減できなかった。

直流利得 位相余裕

各負荷容量での
位相余裕

0.9nF 45.1 deg
1.0nF 46.6 deg
1.1nF 48.1 deg

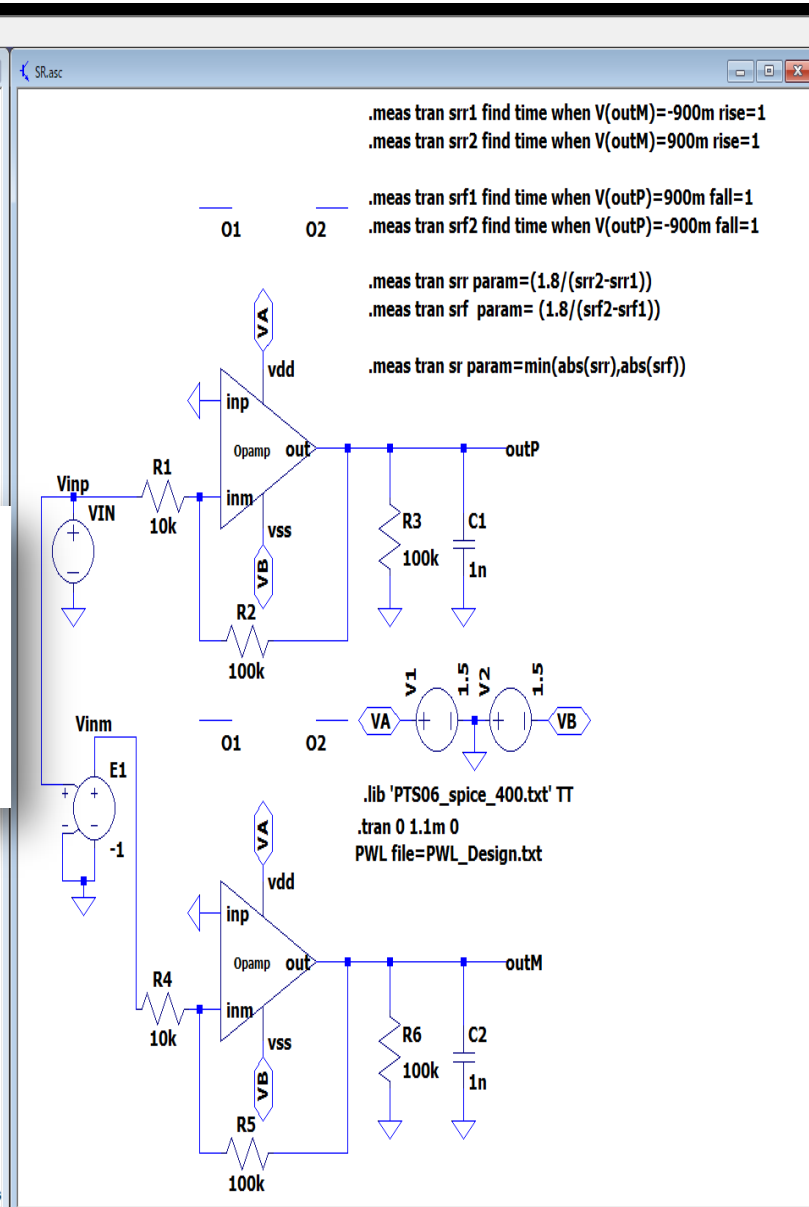
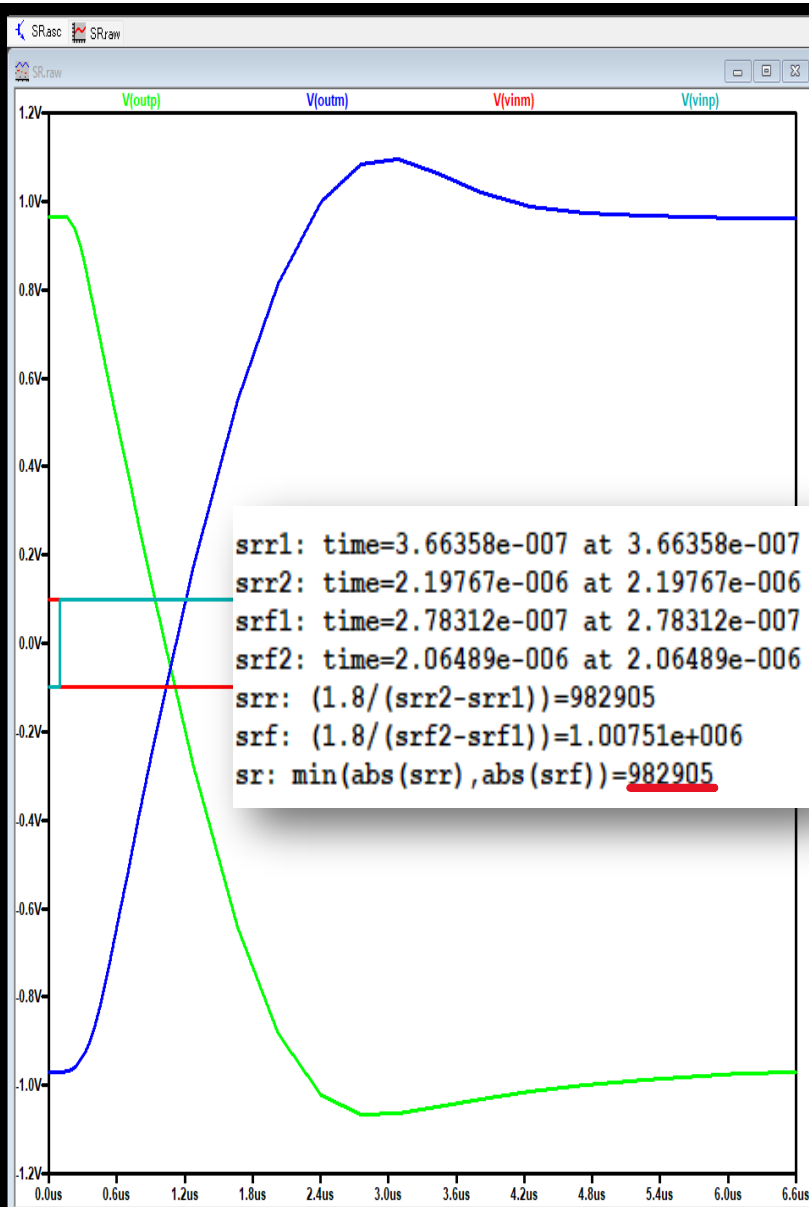


Cursor 1	V(out1)
Freq: 297.88696KHz	Mag: -10.148138mdB
	Phase: -134.89991°
	Group Delay: 220.05429ns
Cursor 1	V(out1)
Freq: 276.91516KHz	Mag: -7.013812mdB
	Phase: -133.31188°
	Group Delay: 229.69091ns
Cursor 1	V(out1)
Freq: 259.03362KHz	Mag: -8.0299289mdB
	Phase: -131.90286°
	Group Delay: 237.9245ns

直流利得 **43.8 dB**

位相余裕、直流利得ともに要件ギリギリの値で設計した。
位相余裕確保のために大きなキャパシタを用いるとスルーレートを悪化させるため、ユニティゲイン周波数付近に零点が入るように小さなキャパシタと大きな抵抗を使った。

スルーレート



部門4のスルーレートは±100mv入力を10倍の反転増幅回路で増幅したときの出力を見る。立ち上がり、立ち下がりについて小さいほうをスルーレートとしている。他部門に比べて負荷容量1nFがついているところがポイント。

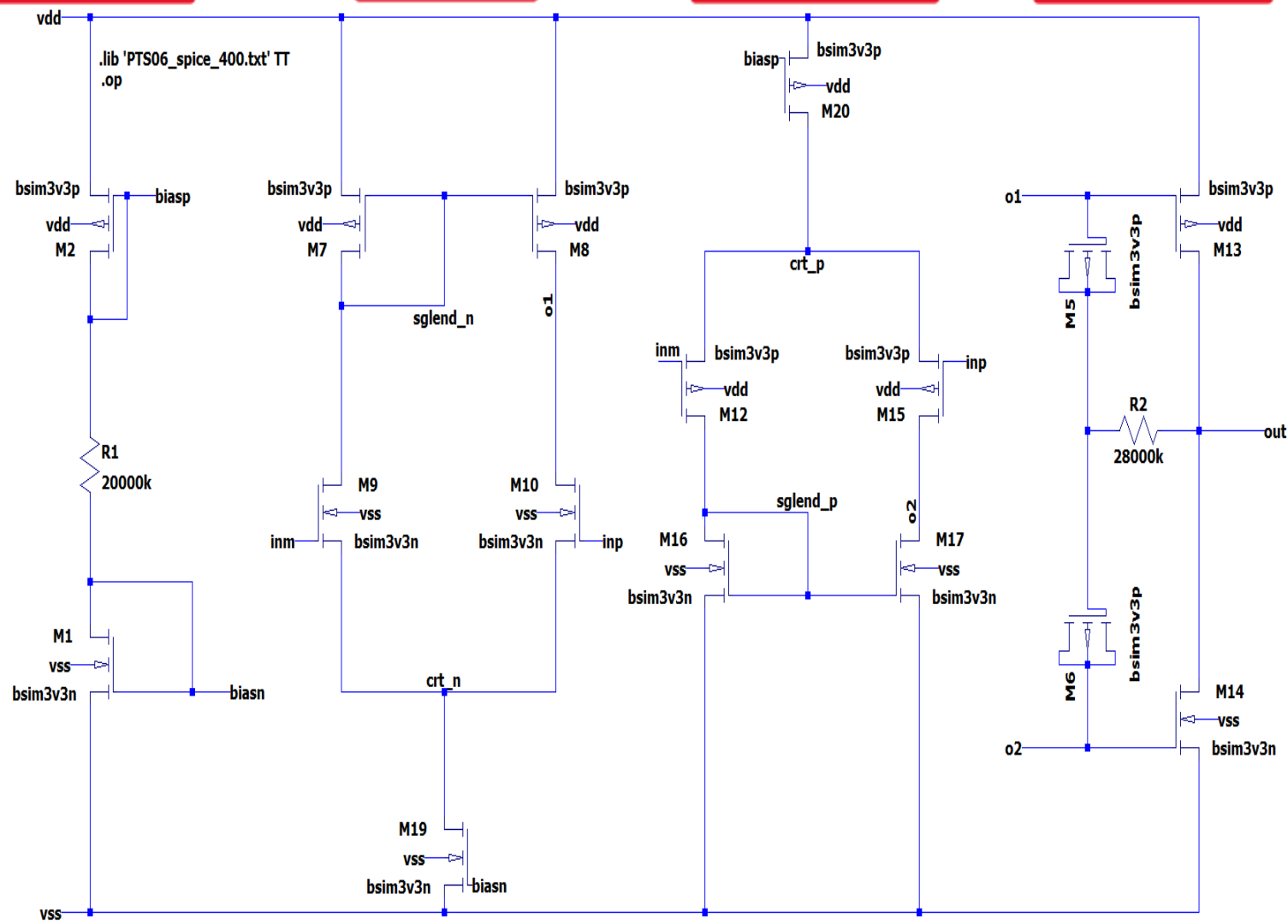
スルーレートに関して立ち上がりと立ち下がりの差は約 $2\text{e+}4\text{V/s}$ であり、誤差は2%程度に収まっている。出力段のnmos, pmos両方を無駄なく調整することで消費電流を減らすことができた。

88.303885nA

433.6334nA

433.67373nA

1.3056194uA



消費電流と結果

無信号時の消費電流を測定する。手元の測定での各ブロックの消費電流は次のようになった。

- 参照電流源: 88.3nA
- nmos差動対: 433.6nA
- pmos差動対: 433.7nA
- 出力段: 1305.6nA
- 合計電流: 2.26μA

採点結果は

評価結果	単位
1.9879e-06	A

であった。

昨年の優勝スコアである4.13μAから半分まで消費電流を減らせたので結果は残せたと思う。

このスコアを越えられることはないだろうという慢心により、途中で更新をやめた結果3位に収まったため今後は気を抜かないようにしたい。

番外編 レイアウト

JEDATのismoを用いて作成。電流を多めに流し、位相補償を省いた回路をレイアウトした。対称性、マッチングを要する素子のコモンセントロイド配列、ContactとViaの複数配置に気を付けた。サイズは
200 μm × 270 μm
占有面積は
0.054 mm^2 であった。

レイアウト途中に面積や配線の問題から回路図の修正を行いたくなることがあり、実際のチップ制作では回路に関する知識とレイアウトに関する知識を網羅していなければならないと感じた。

もくじ

- ・ 部門 1
- ・ 部門 4
- ・ **まとめ**

まとめ

本年度のコンテストを完走した感想

4月の段階では2段構成の簡単なオペアンプですら理解できなかったが、本コンテストを通じてアナログ回路全般の動作について理解を深めることができた。次参加する際にはどこかの部門で1位を獲りたい。

- 3部門で入賞、部門4は昨年の記録を越えることができた
- コンテストを通じて目標の特性を伸ばすためにはどうすればいいかがある程度理解できた
- 確実な理解に基づいた回路設計を行えていない
- 原因がわからないエラーに悩まされ、根本的な解決に至っていない部分が残っている
- 複数部門に参加する際どの部門にどのくらい時間を割くのかというマネジメントの必要性を感じた

～謝辞～

貴重な機会を設けて下さいました
大会運営の皆様および協賛企業の皆様に深く感謝を申し上げます

2021 演算増幅器設計コンテスト

第3部門 2位

防衛大学校 応用物理学科
松元研究室
第4学年 緒方 征則

設計方針

部門3評価式

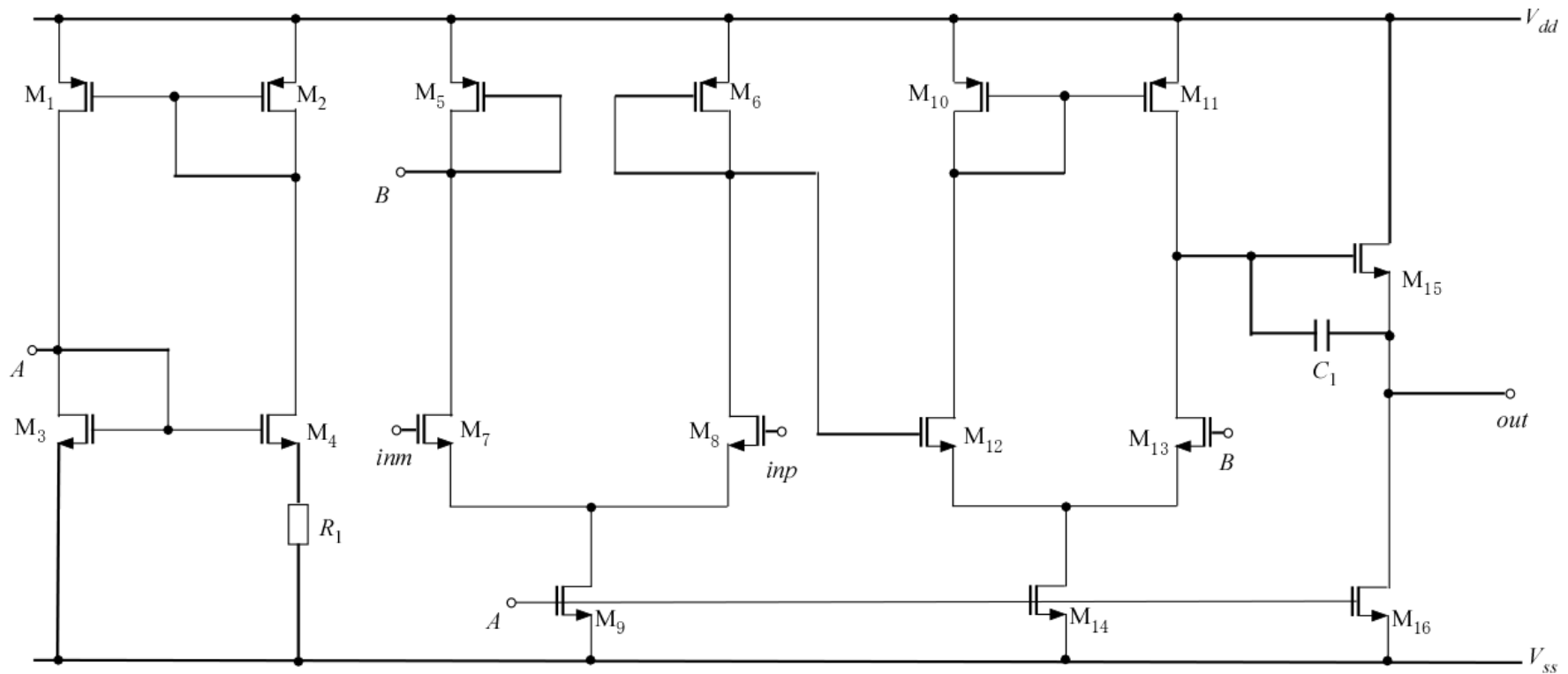
$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

電源電圧変動除去比と電源電圧はトレードオフの関係がある。



更なるスコアの向上のため、同相除去比を注目して構成を考える。

提出回路



トランジスタのLの値は1.6umで固定

M1=14um M2=14um M3=4um M4=4um

M5=96.02um M6=96.02um M7=4um M8=4um

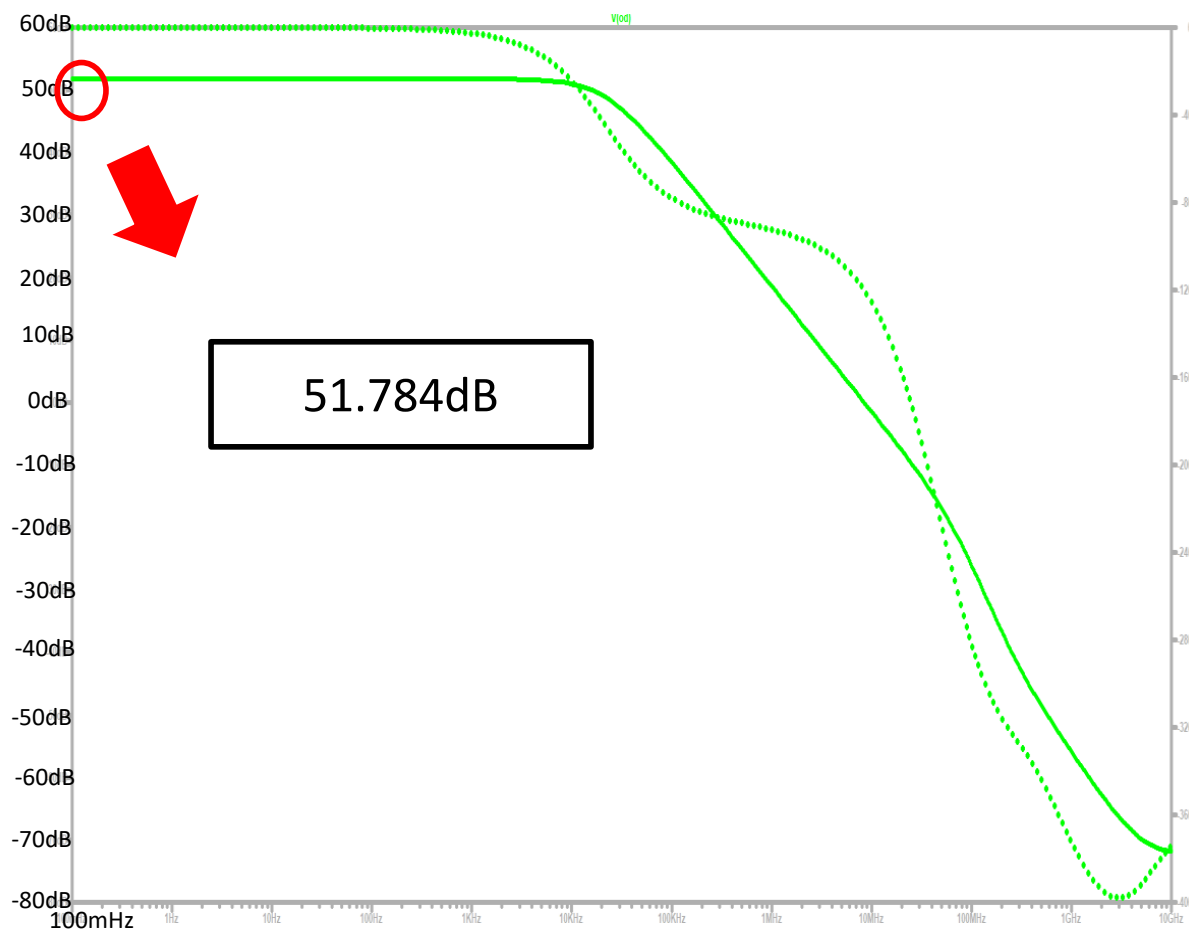
M9=8um M10=16um M11=16um M12=5.8um

M13=5.8um M14=6um M15=10um M15=48um

R1=1kΩ C1=1pF

シミュレーション結果

直流利得 (DCgain)



シミュレーション

直流利得 : 51.784dB

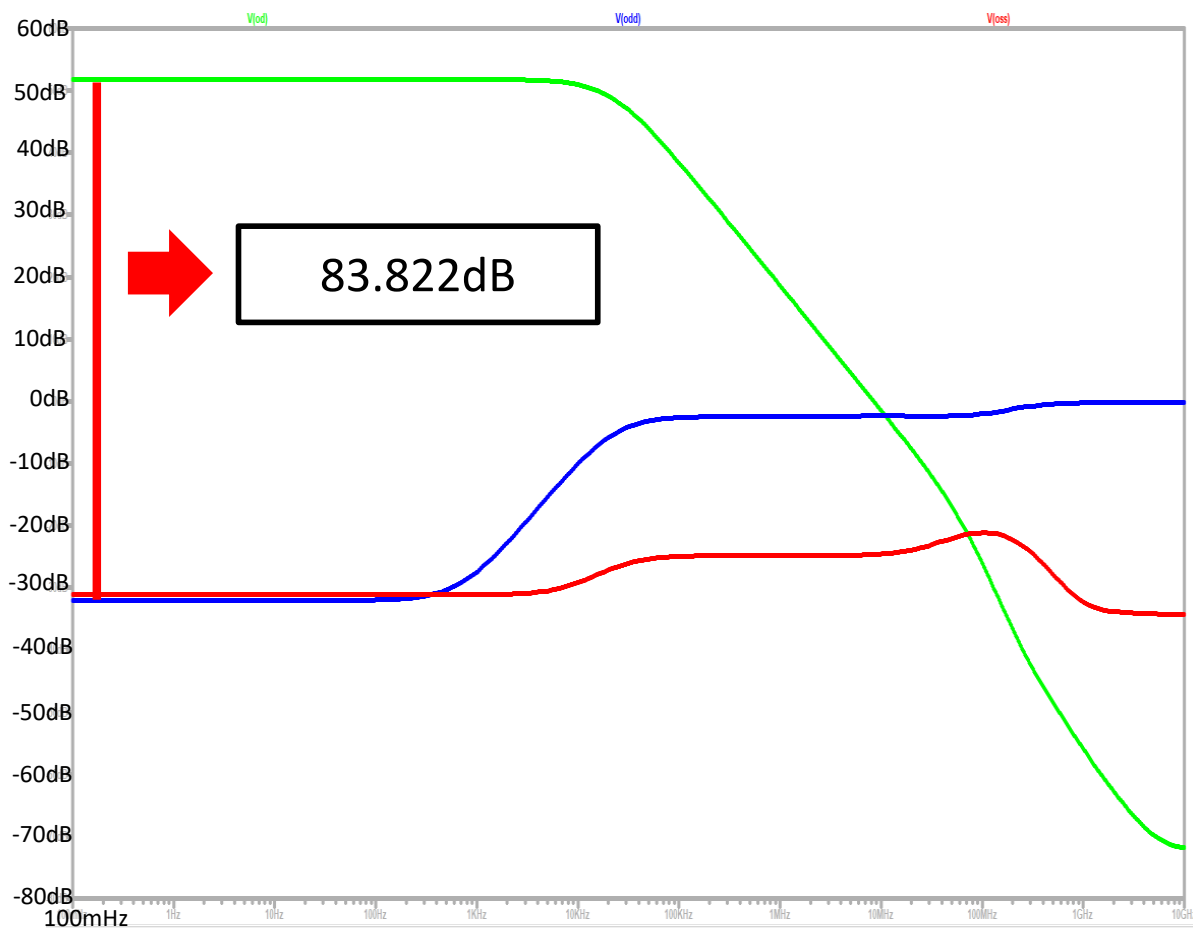
位相余裕 : 59.764deg

実際の値

直流利得 : 77.304dB

シミュレーション結果

電源電圧変動除去比 (PSRR)



シミュレーション

電源電圧変動除去83.822dB

差動利得: 51.784dB

VDD変動利得: -32.038dB

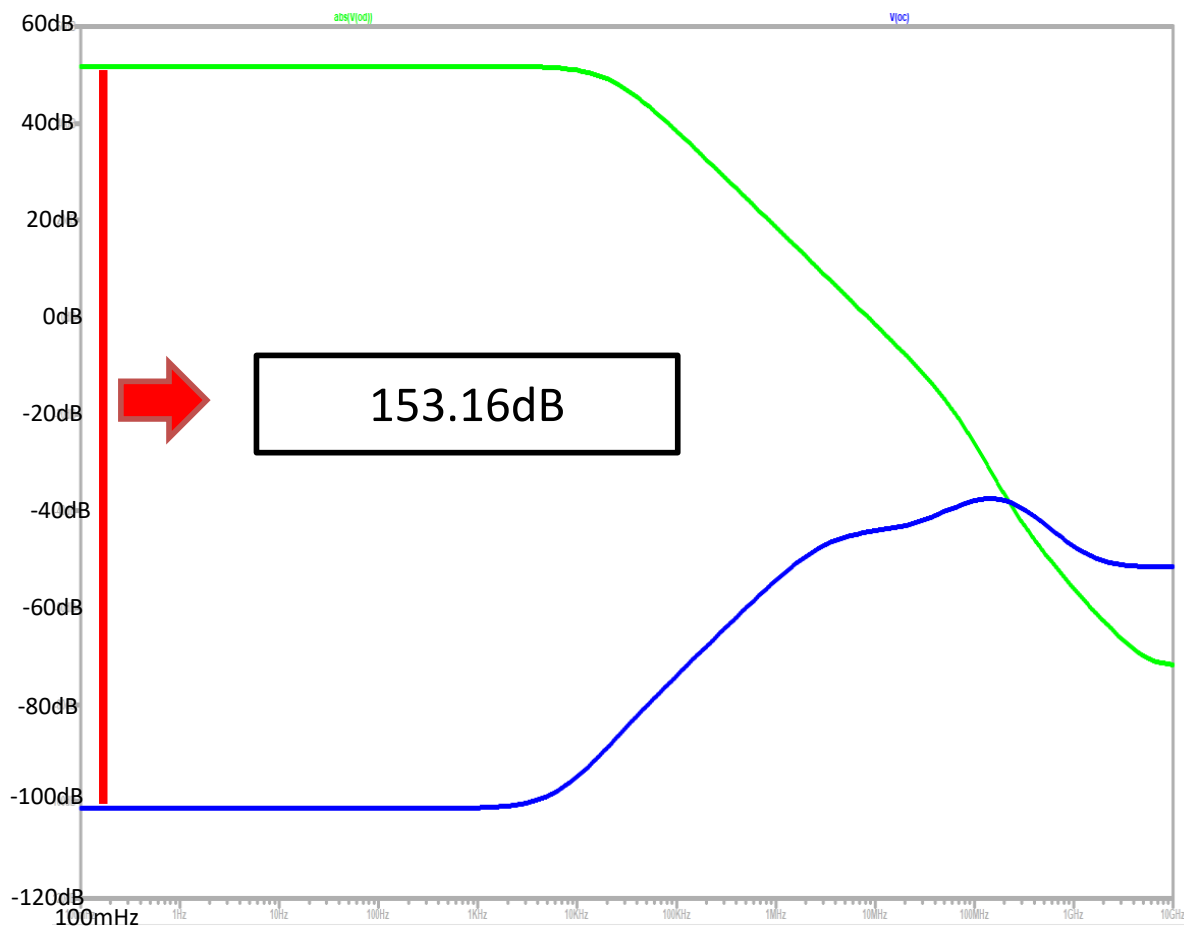
VSS変動利得: -31.157dB

実際 の 値

電源電圧変動除去: 82.92dB

シミュレーション結果

同相除去比 (CMRR)



シミュレーション

差動利得 : 51.784dB
同相利得 : -101.382dB
同相除去比 : 153.16dB

実際の値

同相除去比 : 217.63dB

部門 3 スコア

$$\frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

項目	評価結果	単位
電源電圧変動除去比	8.2920e+01	dB
同相除去比	2.1763e+02	dB
直流利得	7.7304e+01	dB
電源電圧	3.000e+00	V
スコア	6.6066e+06	

まとめ

- ・ 同相利得を減少させ、同相除去比を上げることができ、電源電圧変動除去比を増加させることでスコアを向上した。
- ・ 差動利得は分母分子で打ち消す形と見なせるので同相利得の改善及び V_{ss} または V_{dd} の変動利得の改善の工夫が必要。

最後に

- ・ 初めての演算増幅器設計であり、提出条件に満たさないことが多くあった。→試行錯誤を重ねて、回路の提出が出来た。
- ・ 今回のコンテストを通じて、回路設計の大変さと、自身の知識不足を感じた。また性能が向上した時の達成感を味わうことができた。

今回このような機会を通して充実した経験をする事が出来ました。
協賛企業の皆様と運営の皆様に深く感謝を申し上げます。

演算増幅器設計コンテスト

部門 1 : 6 位 部門 2 : 2 位 部門 3 : 3 位

2022年2月1日

群馬大学 理工学部 電子情報理工学科

高井研究室

学部 4 年 佐藤充

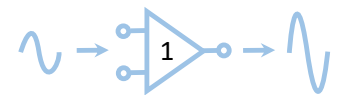
部門 2 設計方針

評価式

$$\text{得点} = \frac{\text{利得帯域幅積}^2 \cdot \text{位相余裕}}{\text{消費電力}^2 \cdot \text{出力抵抗} \cdot \text{入力換算雑音}}$$

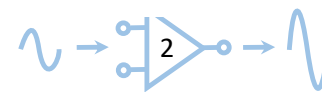
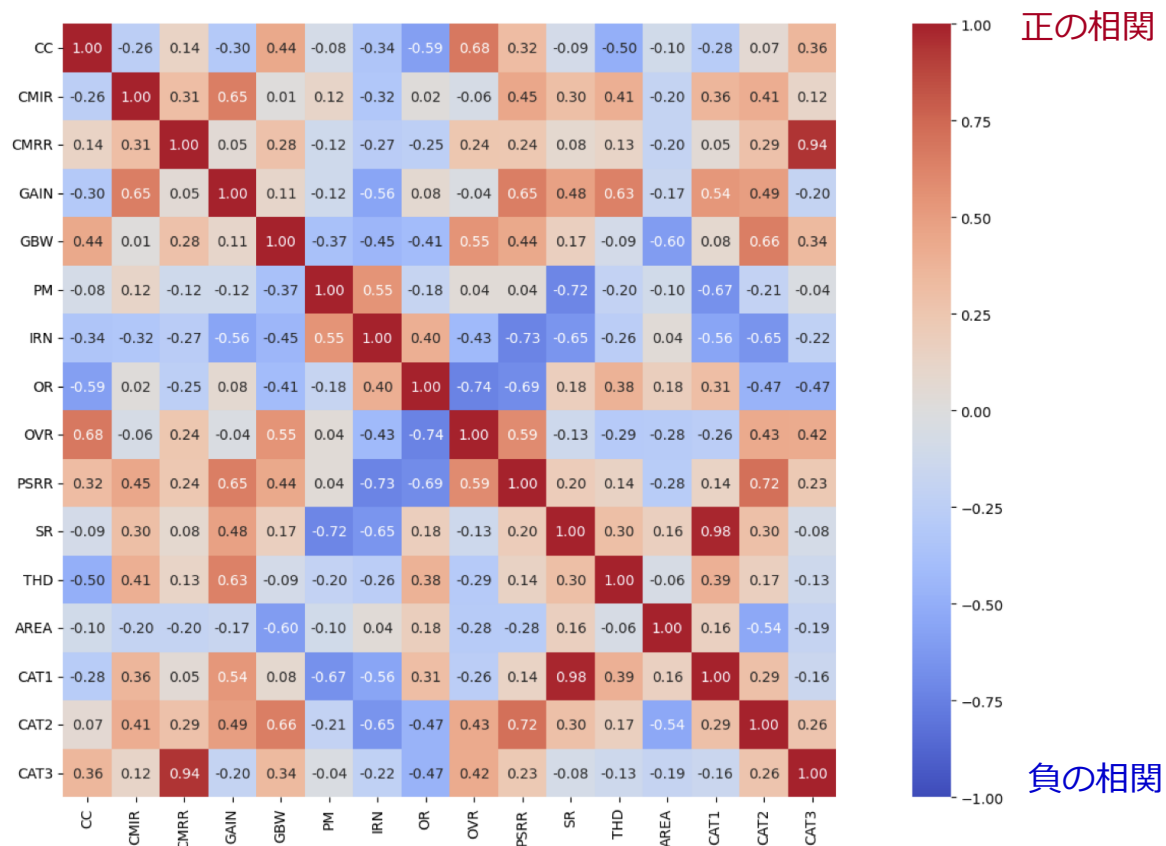
設計方針

- 出力抵抗を0.1[Ω]にする
→負帰還アンプ+スーパーソースフォロワを採用
- 入力換算雑音を低減させる
→PMOS入力で構成



部門 2 設計方針

- PMOS入力基本差動対+ソース接地の回路で各パラメータのトレードオフを表した図
- 直流利得を上げる
→入力換算雑音の低減
→位相余裕の向上
- 入力段をカスコード化する

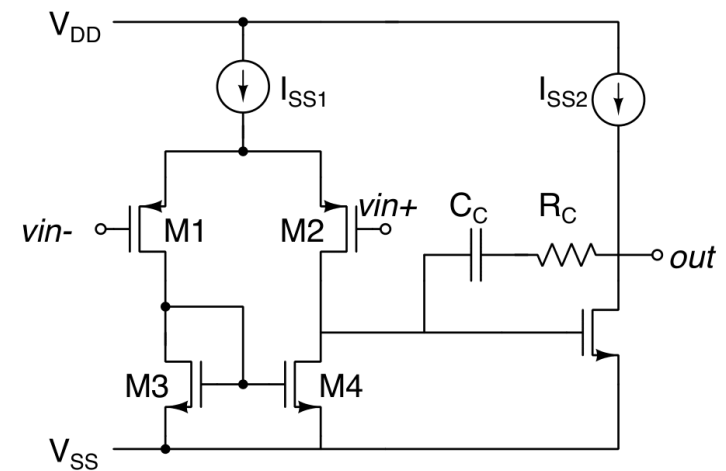


部門 2 設計方針

- 入力換算雑音を小さくする
 - 右の回路において $g_{m1} = g_{m2}, g_{m3} = g_{m4}$ とすると

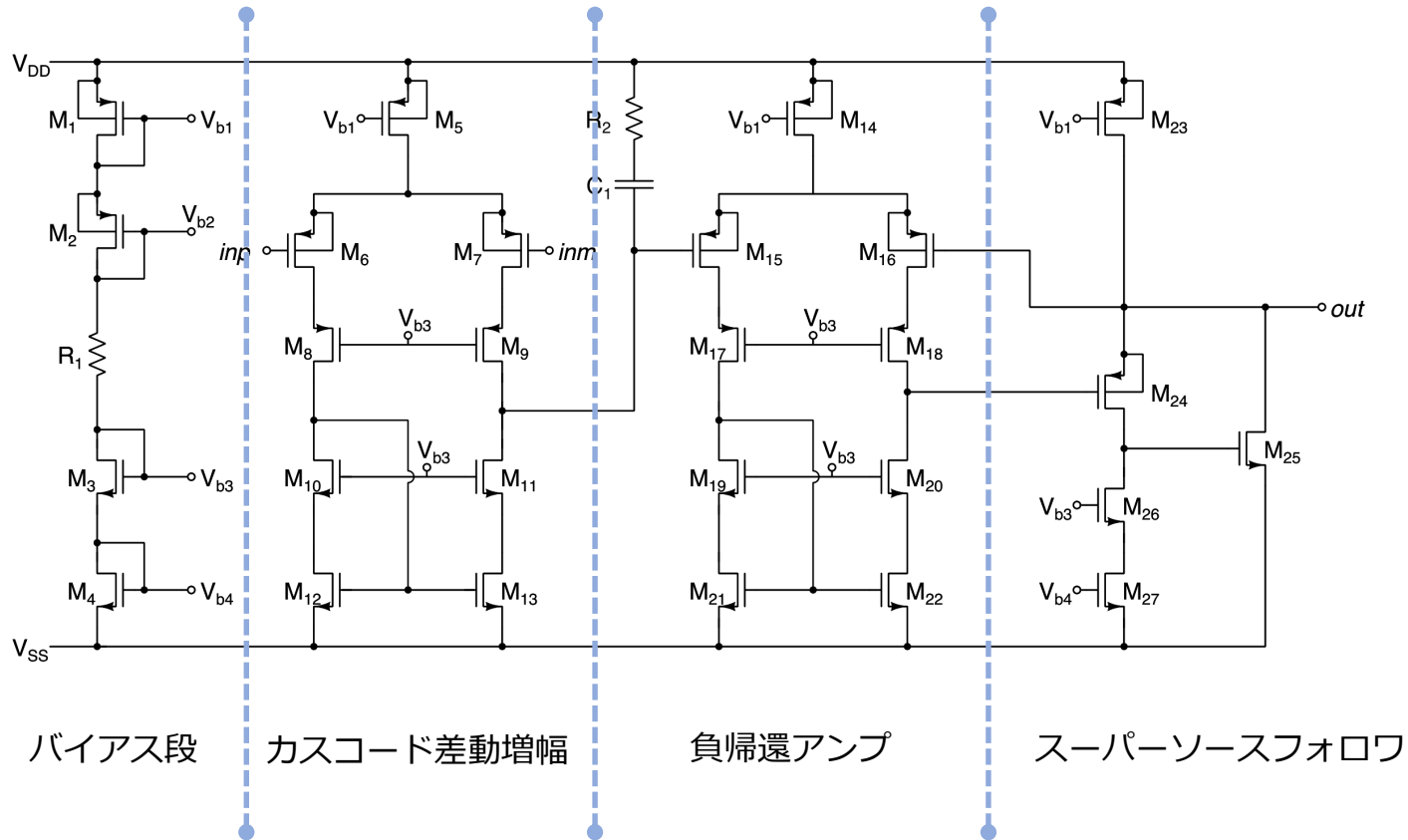
$$\text{入力換算雑音} : 2 \left\{ \frac{8kT}{3g_{m1}} \cdot \left(1 + \frac{g_{m3}}{g_{m1}} \right) \right\}$$

→入力素子の相互コンダクタンスを大きくし、
能動負荷の相互コンダクタンスを小さくする^[1]

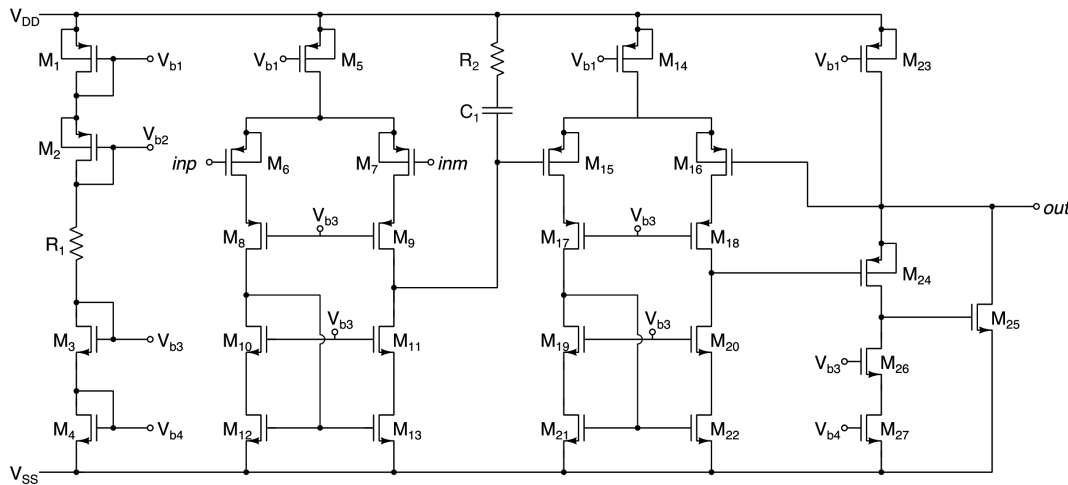


[1] 松澤昭, 「基礎電子回路工学」, 電気学会, 2009年

部門 2 提出回路



部門 2 提出回路

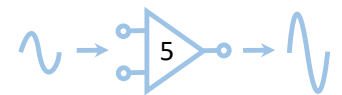


NMOSバルクは V_{SS} に接続
 $V_{DD} : 1.5[V]$, $V_{SS} : -1.5[V]$

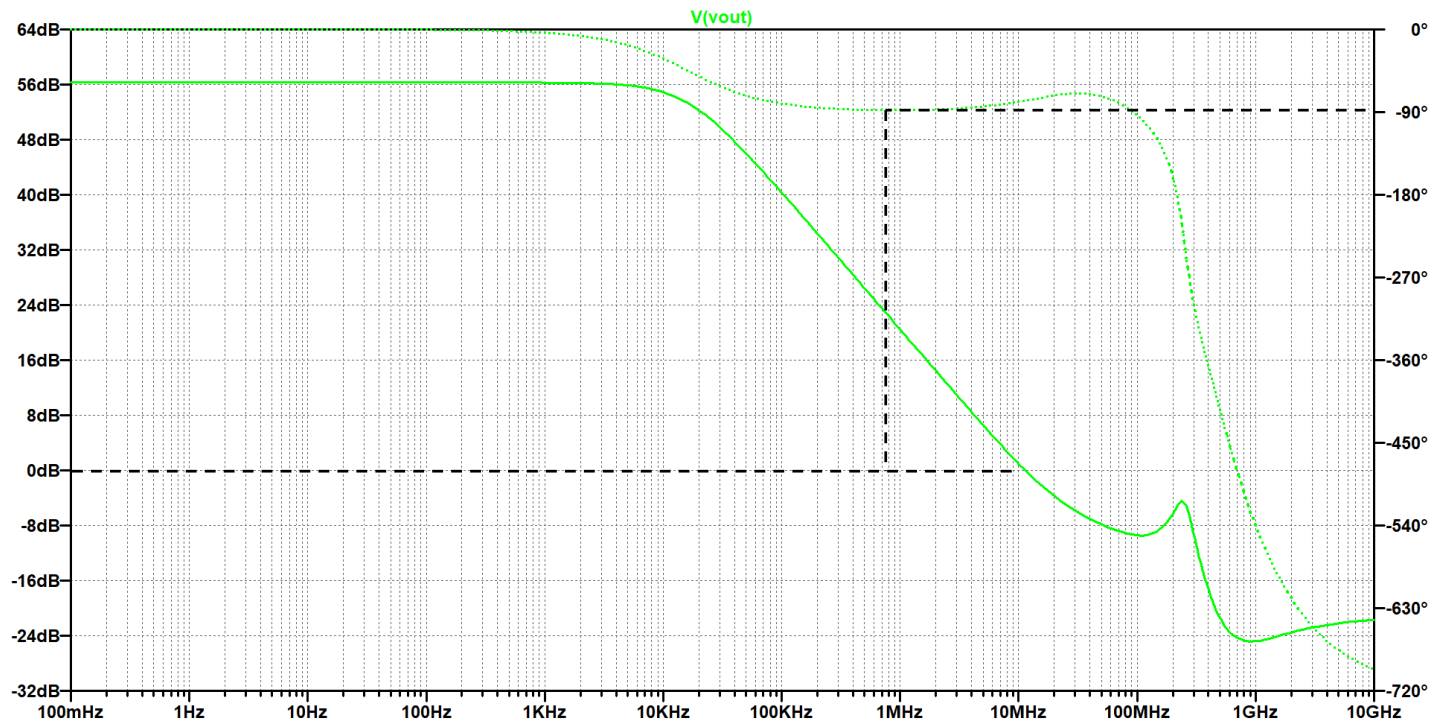
	W/L [μm]
M1, M2	3.0/0.2
M3, M4	1.0/0.2
M5	15.0/1.0
M6, M7	9.0/0.6
M8, M9	3.0/0.2
M10, M11	1.0/0.2
M12, M13	0.4/4.0
M14	15.0/1.0
M15, M16, M17, M18	3.0/0.2
M19, M20	1.0/0.2
M21, M22	0.3/3.0
M23	16.5/0.2
M24	10.5/0.2
M25	2.0/0.2
M26, M27	3.5/0.2

	[$\text{k}\Omega$]
R1	450
R2	10

	[pF]
C1	0.6

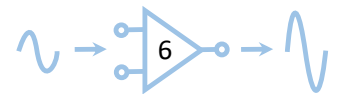


部門 2 利得帯域幅積・位相余裕

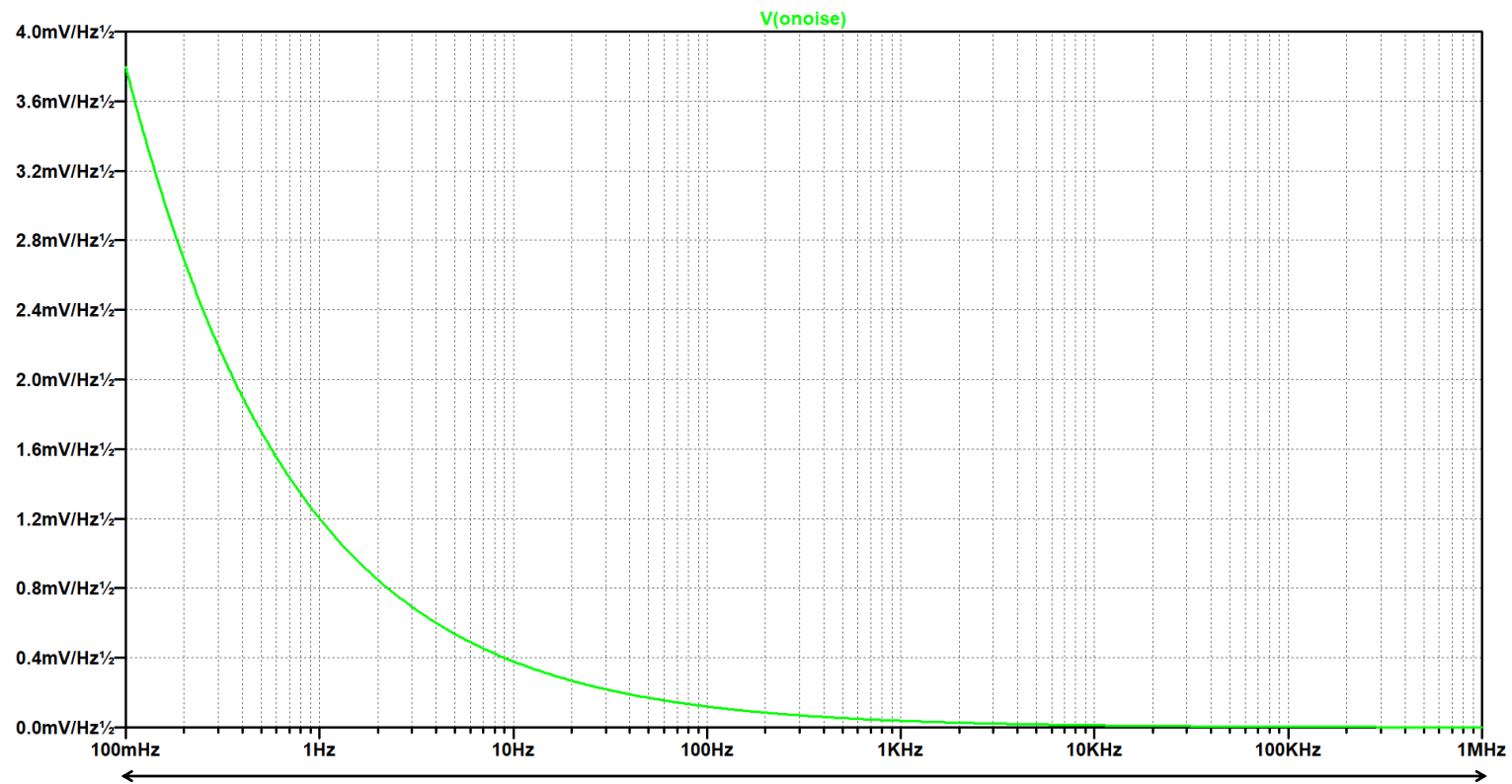


利得帯域幅積 : 11.5[MHz]

位相余裕 : $180 - |-87.9| = 92.1[\text{deg}]$

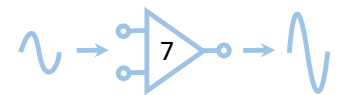


部門 2 入力換算雑音



入力換算雑音 : 10.71[mV]

GUNMA UNIVERSITY TAKAI-LAB



部門 2 出力抵抗

- オペアンプ単体の出力抵抗を求めるために公式ページの出力抵抗補正ツールを使用した

シミュレーション上の直流利得 : 56.3[dB]

シミュレーション上の出力抵抗 : 7.62e-05[Ω]

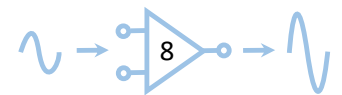
--- Transfer Function ---

Transfer_function:	1.99412	transfer
vin#Input_impedance:	1e+020	impedance
output_impedance_at_V(vout):	7.62094e-005	impedance



直流利得の真値 : 56.3[dB]

出力抵抗の真値 : 0.0296[Ω]



部門 2 消費電力

消費電流

	$V_{DD} \times 0.9$	V_{DD}	$V_{DD} \times 1.1$
-40[°C]	19.4[μA]	26.1[μA]	33.1[μA]
25[°C]	18.3[μA]	24.5[μA]	3.09[μA]
80[°C]	17.5[μA]	23.3[μA]	29.4[μA]

要件：電源電圧と温度25[°C]の消費電流±50[%]以内
12.25[μA] ~ 36.75[μA]の範囲に収まっている○

消費電力

$$24.5[\mu\text{A}] \times 3.0[\text{V}] = 73.5[\mu\text{W}]$$

部門 2 スコア

項目	評価結果
消費電力[W]	7.3479e-05
出力抵抗[Ω]	1.0000e-01
入力換算雑音[V]	2.4039e-03
利得帯域幅積[Hz]	1.0593e+07
位相余裕[deg]	9.2003e+01
スコア	7.5089e+20

- 出力抵抗を最小値である0.1[Ω] まで下げることができた
- 素子のアスペクト比や面積を調整することで、入力換算雑音を小さくすることができた

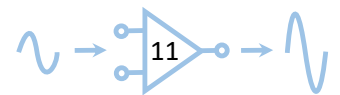
部門3 設計方針

評価式

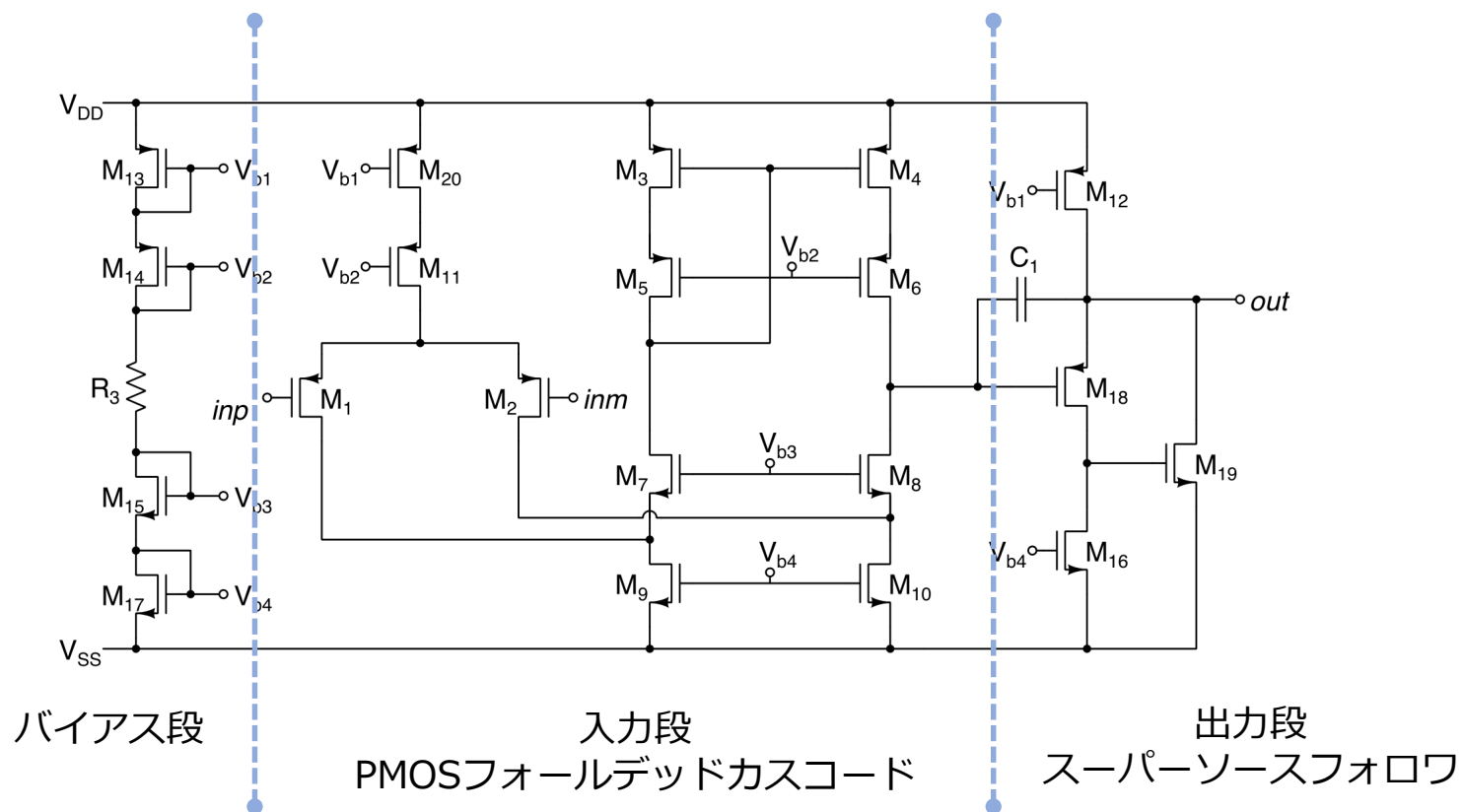
$$\text{得点} = \frac{\text{電源電圧変動除去比} \cdot \text{同相除去比}}{\text{直流利得}^2 \cdot \text{電源電圧}}$$

方針

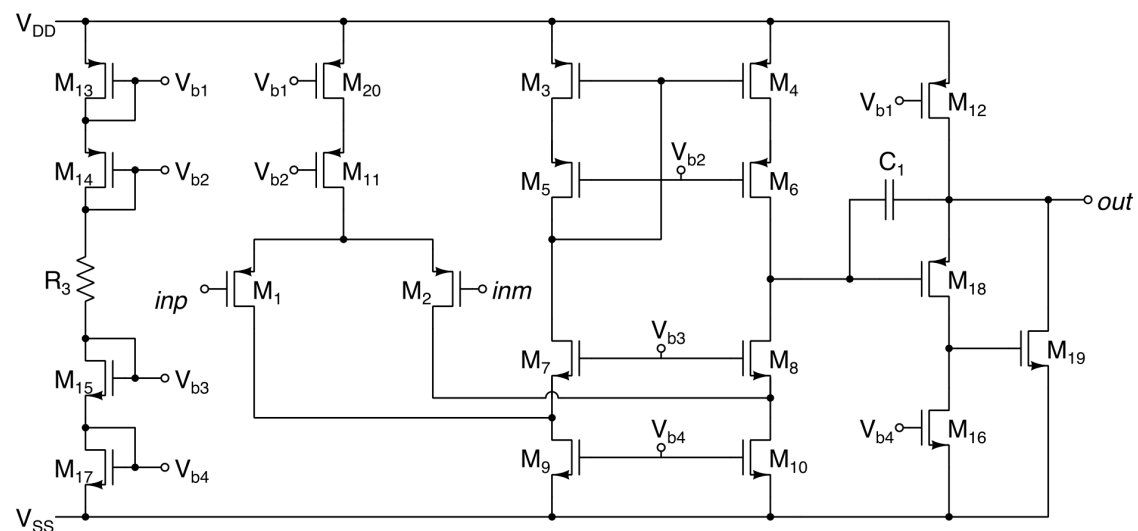
- 電源電圧を低くする
→低電圧でも動作し、40[dB]以上を確保できるフォールデッドカスコードを採用
- 同相除去比を大きくする
→前段のゲインよりも後段のゲインを小さくする
→後段をソースフォロワにする



部門 3 提出回路



部門 3 提出回路



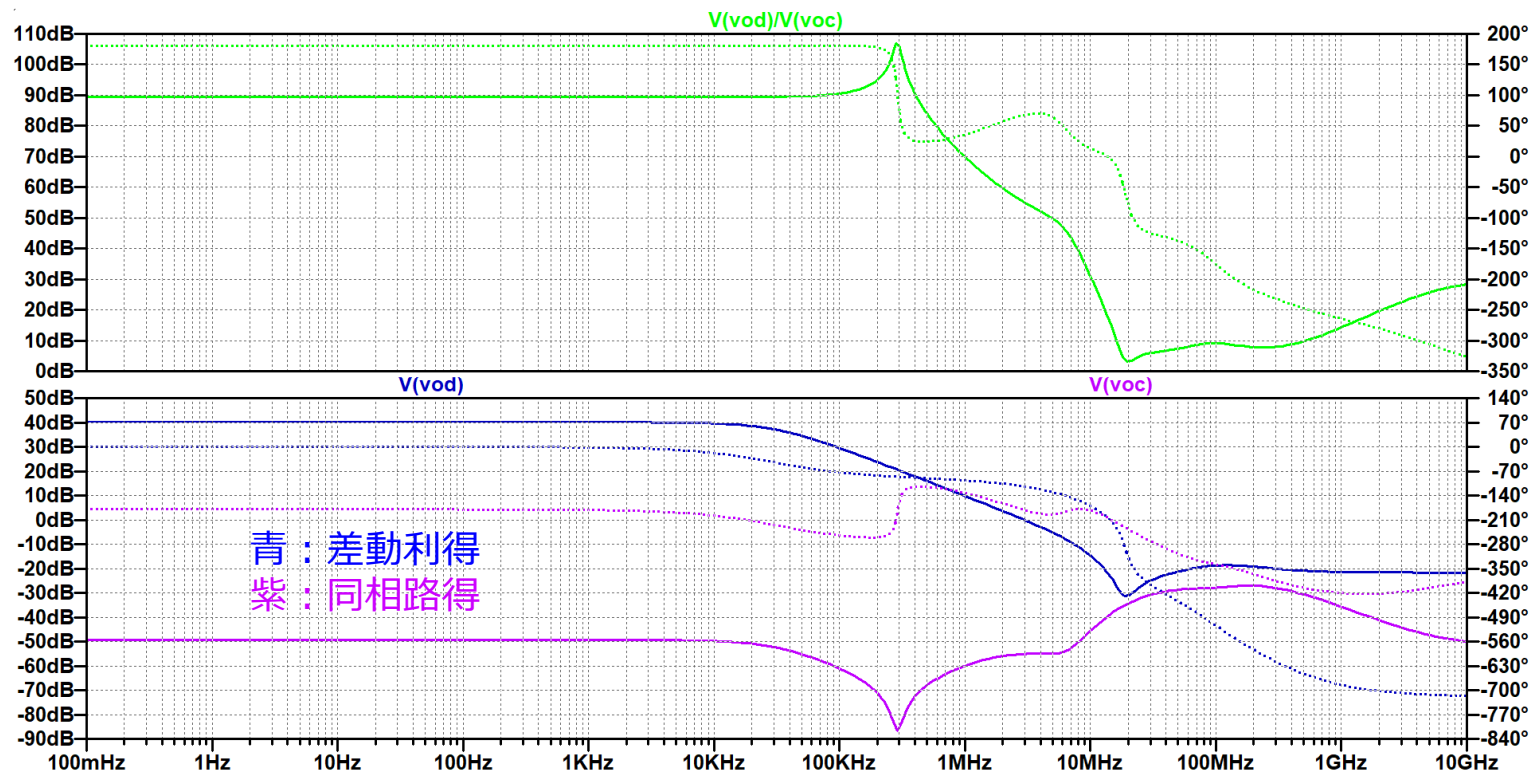
PMOSバルクは V_{DD} に接続
 NMOSバルクは V_{SS} に接続
 $V_{DD} : 1.2[V]$, $V_{SS} : -1.2[V]$

	W/L [μm]
M1, M2	12.0/2.2
M3, M4, M5, M6	9.0/1.5
M7, M8	3.0/1.5
M9, M10	6.0/1.5
M11, M20	25.0/2.0
M12	90.0/1.5
M13, M14	11.25/1.5
M15, M17	3.75/1.5
M16	15.0/1.5
M18	45.0/1.5
M19	15.0/1.5

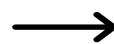
	[$\text{k}\Omega$]
R3	400

	[pF]
C1	2.5

部門 3 CMRR

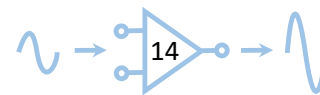


差動利得 : 40.04[dB]
同相利得 : -49.38[dB]

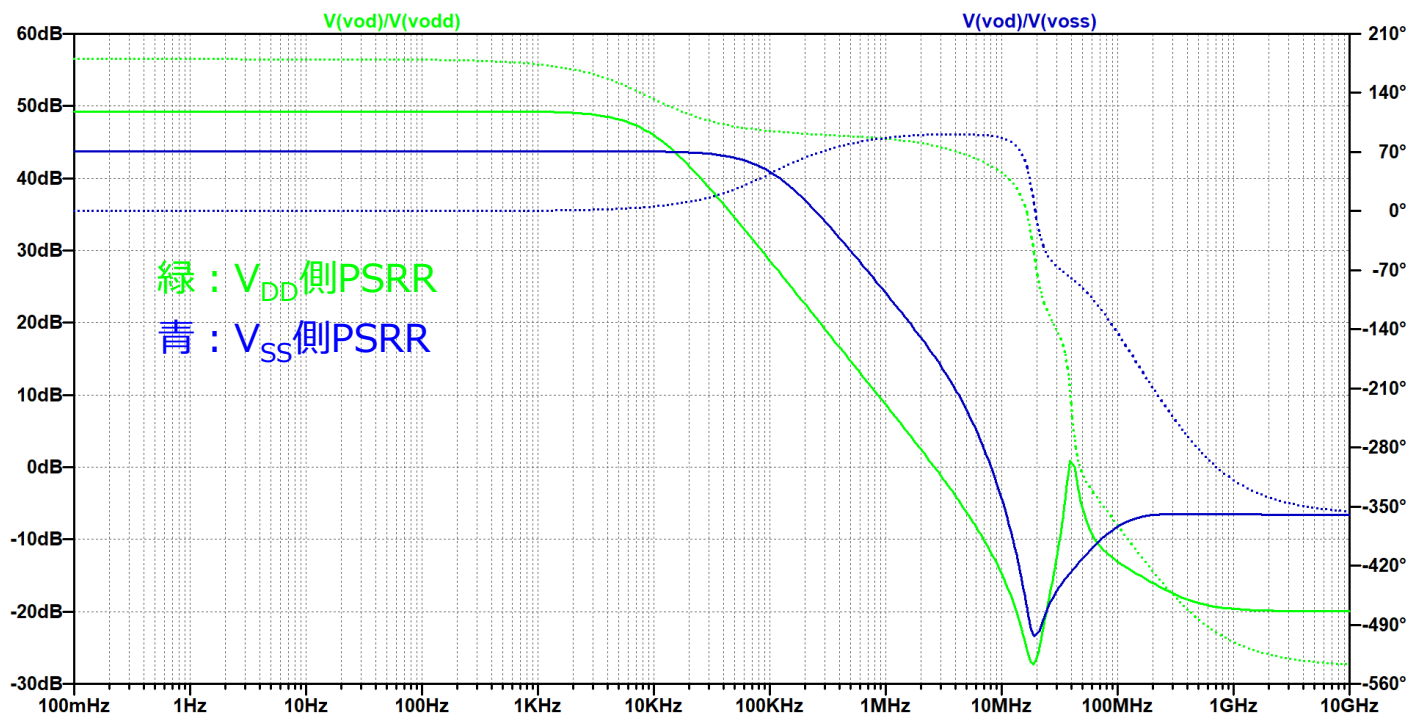


$$CMRR = 89.42[dB]$$

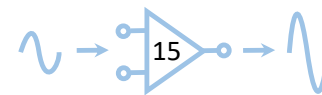
GUNMA UNIVERSITY TAKAI-LAB



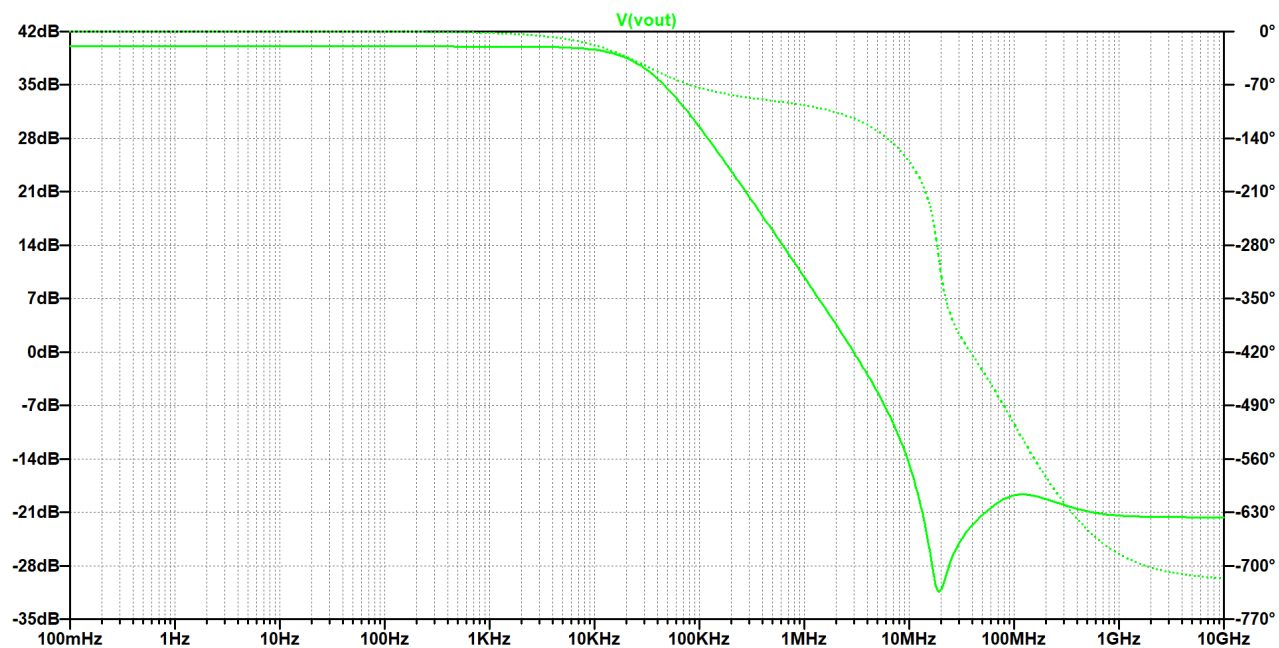
部門 3 PSRR



V_{DD} 側 : 49.27[dB]、 V_{SS} 側 : 43.75[dB]



部門 3 直流利得



シミュレーション上の直流利得 : 40.043[dB]

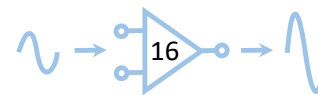
シミュレーション上の出力抵抗 : 1.8752[Ω]



直流利得の真値 : 40.085[dB]

出力抵抗の真値 : 96.566[Ω]

GUNMA UNIVERSITY TAKAI-LAB



部門3 スコア

項目	評価結果
電源電圧変動除去比[dB]	4.3710e+01
同相除去比[dB]	1.4221e+02
直流利得[dB]	4.0054e+01
電源電圧[V]	2.4000e+00
スコア	8.1356e+04

- フォールデッドカスコードを用いることで、電源電圧を下げる事ができた
- 直流利得を40[dB]に近づけつつ、同相除去比を上げる事ができた
- バイアス段に工夫を施すべきであった

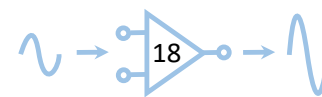
感想及び謝辞

コンテストに参加することで、各特性を向上させる回路構成や原理を学ぶきっかけになりました。
それと同時に、まだまだ勉強不足であることを痛感しました。
来年度は試作の部にも参加し、シミュレーションとの違いや、レイアウトの知識を学びたいと思います。

謝辞

演算増幅器設計コンテスト協賛企業の皆様及び運営に携わられた皆様に

厚く御礼申し上げます



演算増幅器設計コンテスト 第3部門 1位

愛知工業大学 工学研究科

電気電子工学専攻 光量子デバイス研究室

修士2年 日比 彪斗

部門3の評価式

$$\text{得点} = \frac{\text{電源電圧変動除去比[倍]} \times \text{同相除去比[倍]}}{\text{直流利得[倍]}^2 \times \text{電源電圧[V]}}$$

設計方針

- 昨年度提出の設計回路をベースに改良をする
- バッファ回路の追加
→出力抵抗を下げ，直流利得を40dB程度に抑える
- スタートアップ回路の追加
→回路誤動作を減らす

直流利得の計算式

$$A_0 = \frac{R_L + r_0}{R_L} A_{0sim}$$

R_L : 負荷抵抗

r_0 : 演算増幅器の出力抵抗

$$r_0 = \frac{1 + \beta A_{0sim}}{\frac{1}{r_{0sim}} - \frac{1}{R_1 + R_2} - \frac{\beta A_{0sim}}{R_L}} A_{0sim}$$

A_{0sim} : 演算増幅器の直流利得Simulation結果

r_{0sim} : 演算増幅器の出力抵抗Simulation結果

β : 帰還率

出力抵抗を下げる

・ スーパーソースフォロワ (SSF)

→SSFの出力抵抗

$$R_{out} \approx \frac{1}{gm_{16} gm_{18} r_{016}}$$

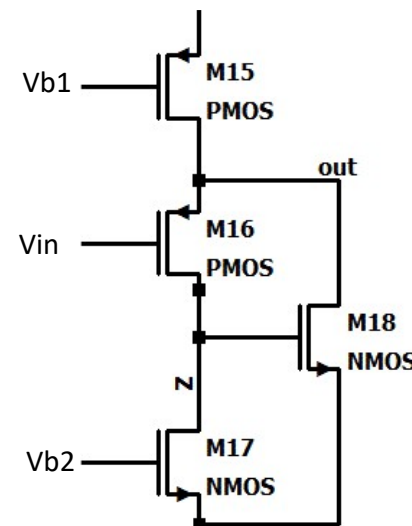
昨年回路の結果

A_{0sim} : 4.5054e+01dB

r_0 : 6.4960e+05 Ω

A_0 : 7.5550e+01dB

出力抵抗低減 = 直流利得低減



提出回路

方針

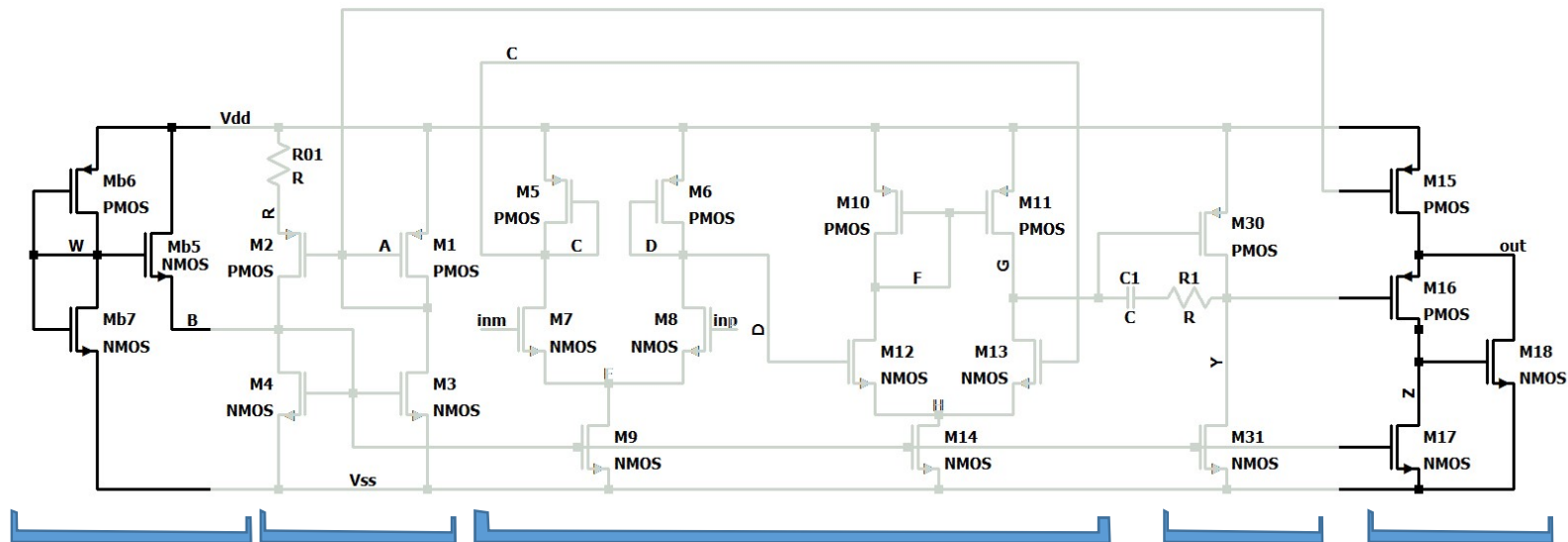
回路

sim

結果

まとめ

提出回路



スタート
アップ回路

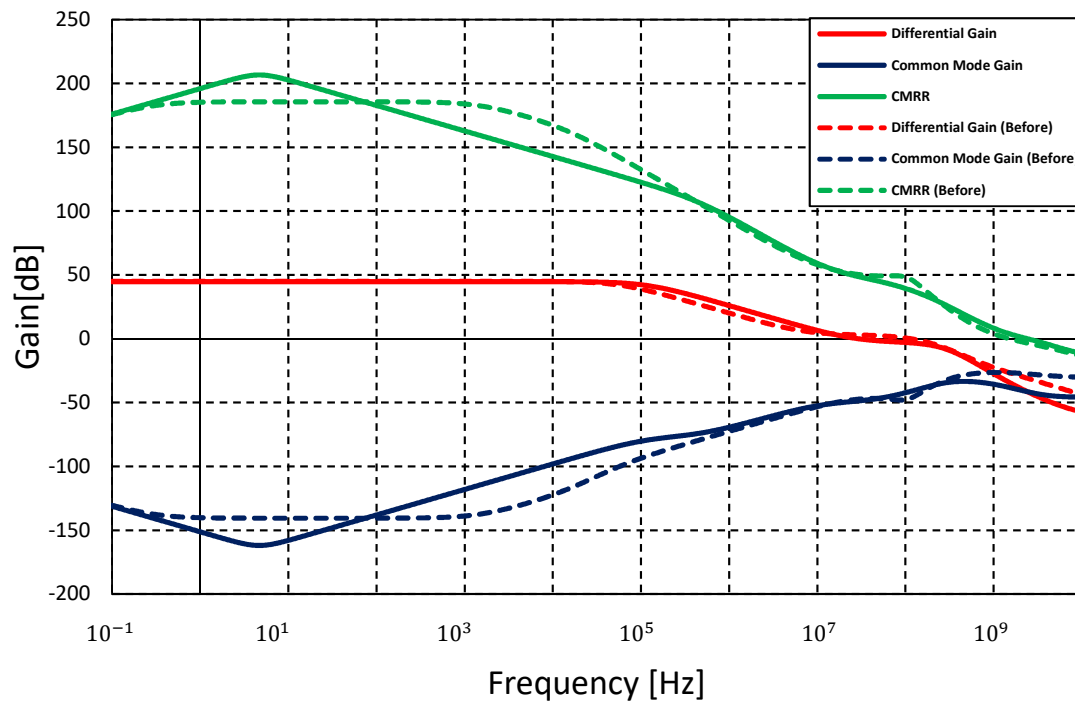
バイアス段

差動段

出力段

バッファ
回路

同相除去比(CMRR)



昨年

同相利得

Acom = -140.59dB

差動利得

Adif=45.05dB

同相除去比

CMRR=185.64dB

今年

同相利得

Acom = -161.93dB

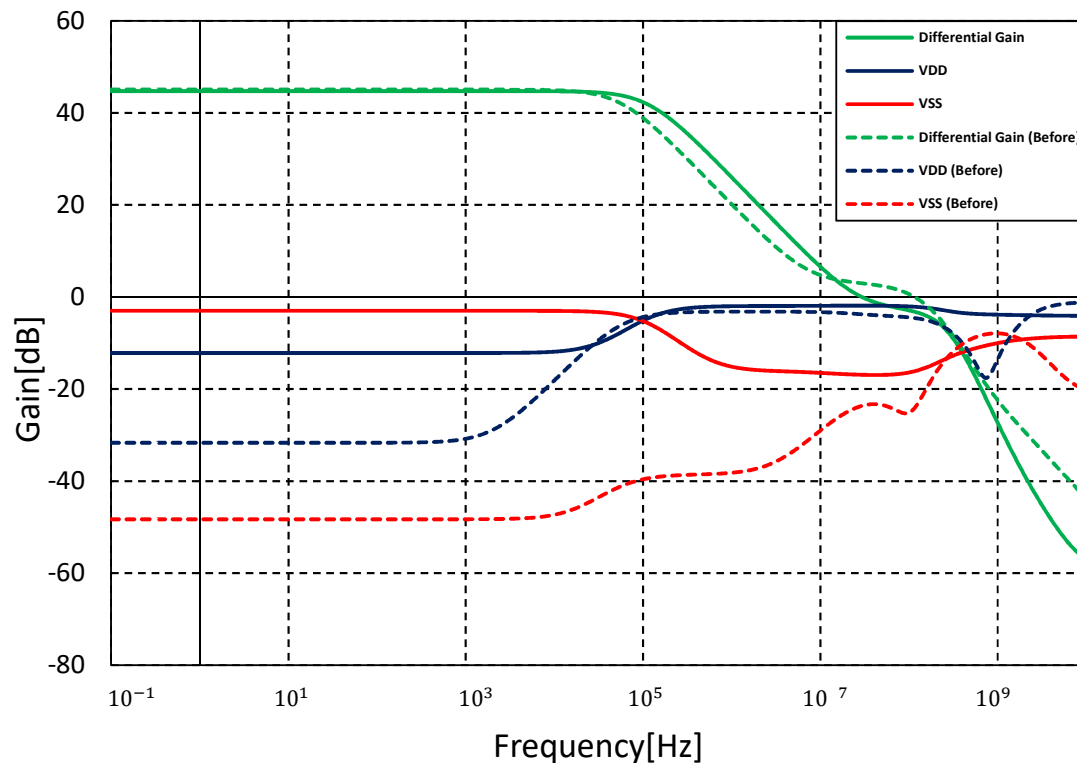
差動利得

Adif=44.717dB

同相除去比

CMRR=206.647dB

電源電圧変動除去比(PSRR)



昨年

VDD変動利得

$Av_{dd} = -31.687\text{dB}$

VSS変動利得

$Av_{ss} = -48.314\text{dB}$

差動利得

$Ad_{if} = 45.054\text{dB}$

$PSRR(VDD) = 76.741\text{dB}$

$PSRR(VSS) = 93.368\text{dB}$

今年

VDD変動利得

$Av_{dd} = -12.186\text{dB}$

VSS変動利得

$Av_{ss} = -3.000\text{dB}$

差動利得

$Ad_{if} = 44.717\text{dB}$

$PSRR(VDD) = 56.903\text{dB}$

$PSRR(VSS) = 47.717\text{dB}$

Simulation結果

方針

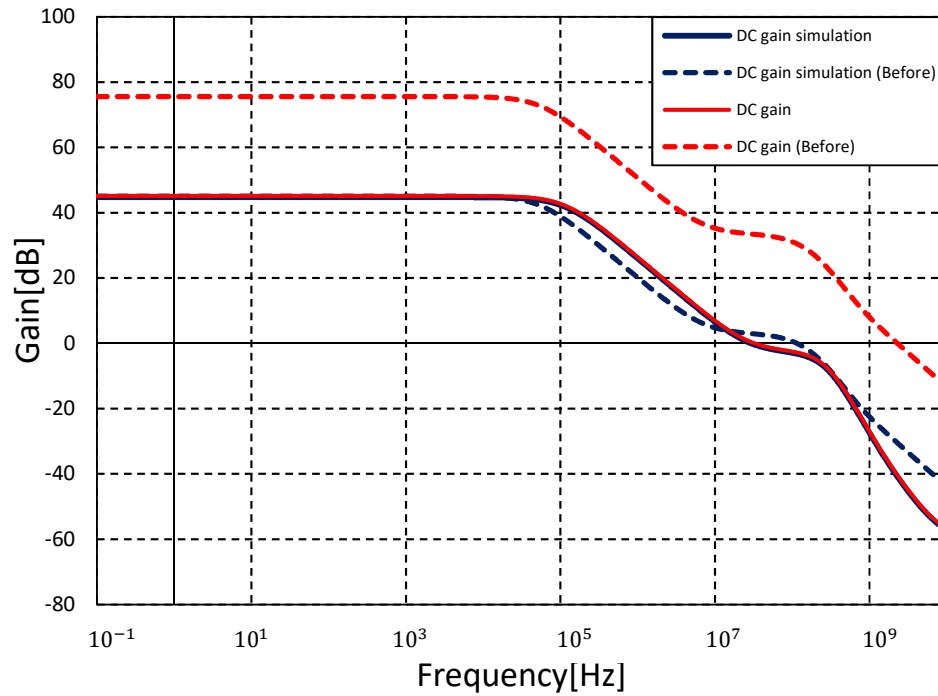
回路

sim

結果

まとめ

直流利得



昨年

直流利得

Simulation値 : $4.5054e+01$ dB

実際 : $7.5550e+01$ dB

出力抵抗

Simulation値 : $2.1447e+02$ Ω

実際 : $6.4960e+05$ Ω

今年

直流利得

Simulation値 : $4.4717e+01$ dB

実際 : $4.5124e+01$ dB

出力抵抗

Simulation値 : $0.1053e+02$ Ω

実際 : $9.6045e+02$ Ω

評価結果

方針

回路

sim

結果

まとめ

項目	評価結果(昨年度)	評価結果(今年度)	
電源電圧変動除去比	7.6741e+01	4.7718e+01	↓
同相除去比	1.8571e+02	2.0564e+02	↑
直流利得	7.5460e+01	4.5123e+01	↑↑
電源電圧	3.0000e+00	3.0000e+00	→
スコア	1.2573e+05	4.7696e+07	↑↑

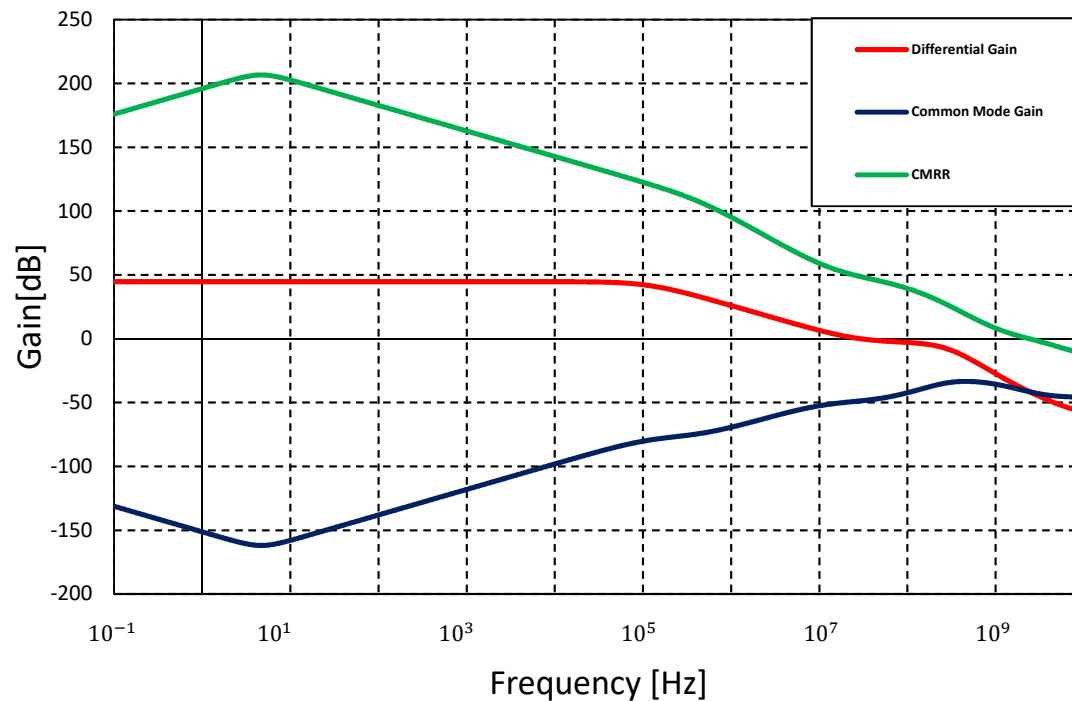
PSRRは低下 → 直流利得とのトレードオフ
CMRRは微増 → 電流源MOSFETの面積を大きくした
直流利得を40dBに近づけることが出来た

- スタートアップ回路を追加し，回路の動作点を絞った
→スコアを変化させることなく追加することが出来た
- バッファ回路を追加することで出力抵抗を抑えた設計
→直流利得を45dBまで抑えることが出来た
- 昨年度の回路を生かし，性能を向上させることが出来た
- 最後に一位をとれてよかった

謝辞

貴重な機会を設けて下さいました
運営の皆様及び協賛企業の皆様に深く感謝を申し上げます

同相除去比(CMRR)



今年

同相利得

$A_{com} = -161.93\text{dB}$

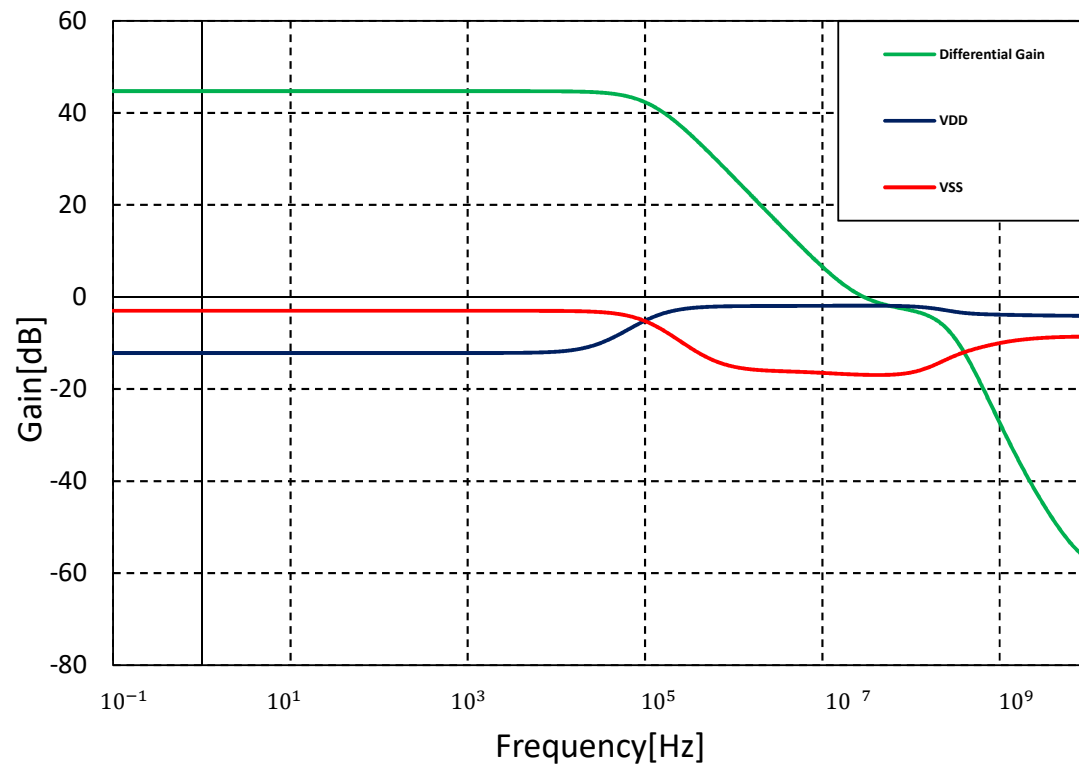
差動利得

$A_{dif} = 44.717\text{dB}$

同相除去比

$\text{CMRR} = 206.647\text{dB}$

電源電圧変動除去比(PSRR)



今年

VDD変動利得

$A_{vdd} = -12.186\text{dB}$

VSS変動利得

$A_{vss} = -3.000\text{dB}$

差動利得

$A_{dif} = 44.717\text{dB}$

$\text{PSRR}(\text{VDD}) = 56.903\text{dB}$

$\text{PSRR}(\text{VSS}) = 47.717\text{dB}$

Simulation結果

方針

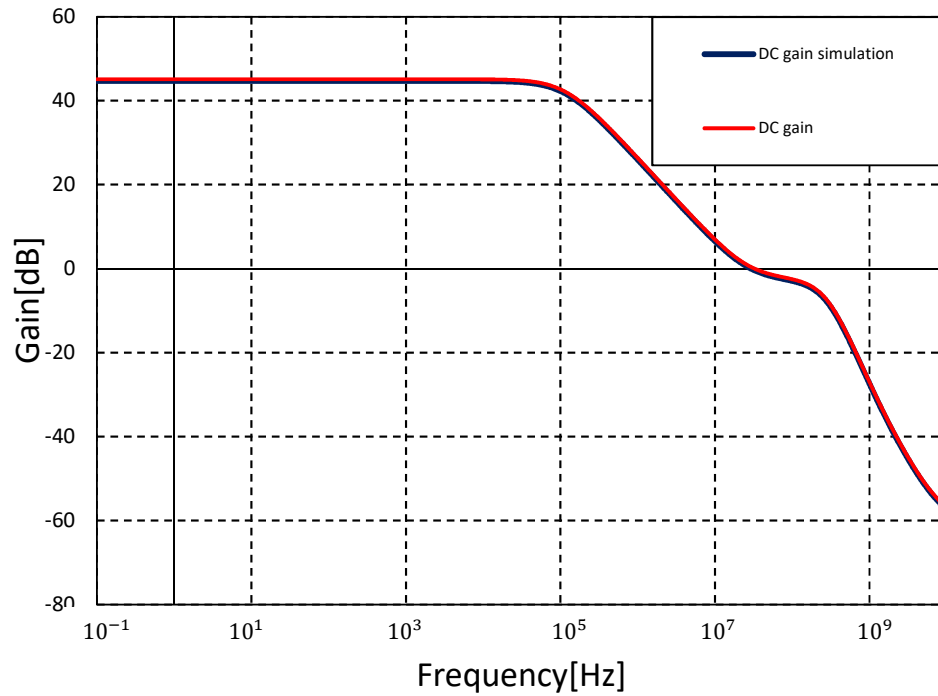
回路

sim

結果

まとめ

直流利得



今年

直流利得

Simulation値 : 4.4717e+01dB

実際 : 4.5124e+01dB

出力抵抗

Simulation値 : 0.1053e+02Ω

実際 : 9.6045e+02Ω



演算増幅器設計コンテスト

シミュレーションの部 デザイン部門 1位, 試作の部 2位

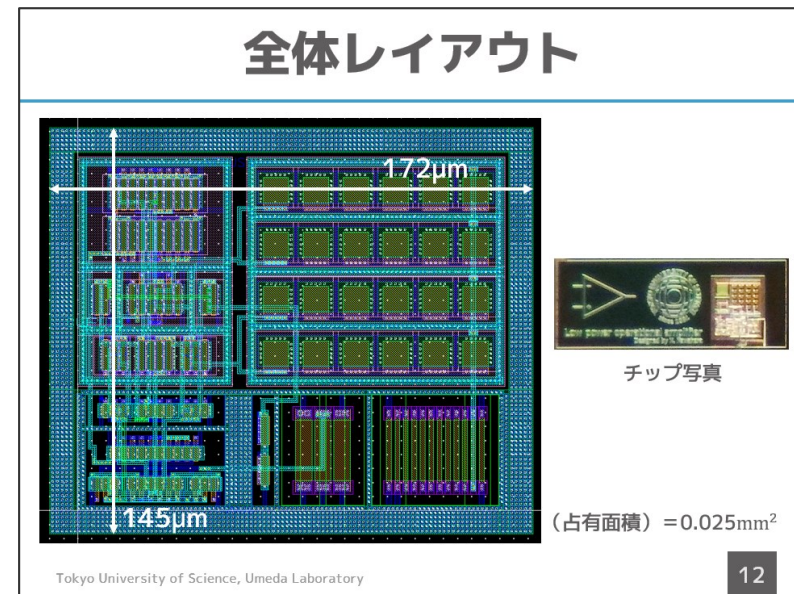
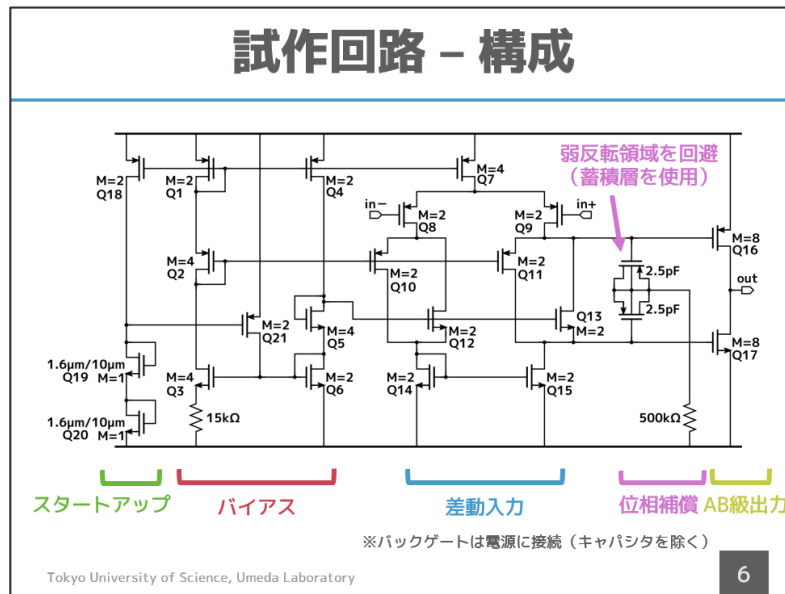
川原啓輔

東京理科大学 理工学研究科 電気工学専攻 榎田研究室

2021年度演算増幅器設計コンテスト 発表会

2022/02/01, オンライン開催

- 昨年度（2020年度）の結果
 - デザイン部門は1位
 - 試作の部は中止，兵庫研の試作にまぜていただいた。
- 今年度の目標：昨年度の試作から得た改善点を反映させ，昨年度よりも優れた回路を設計する。



評価回路（試作の部）

<https://www.ec.ict.e.titech.ac.jp/opamp/2020/design2020.pdf>

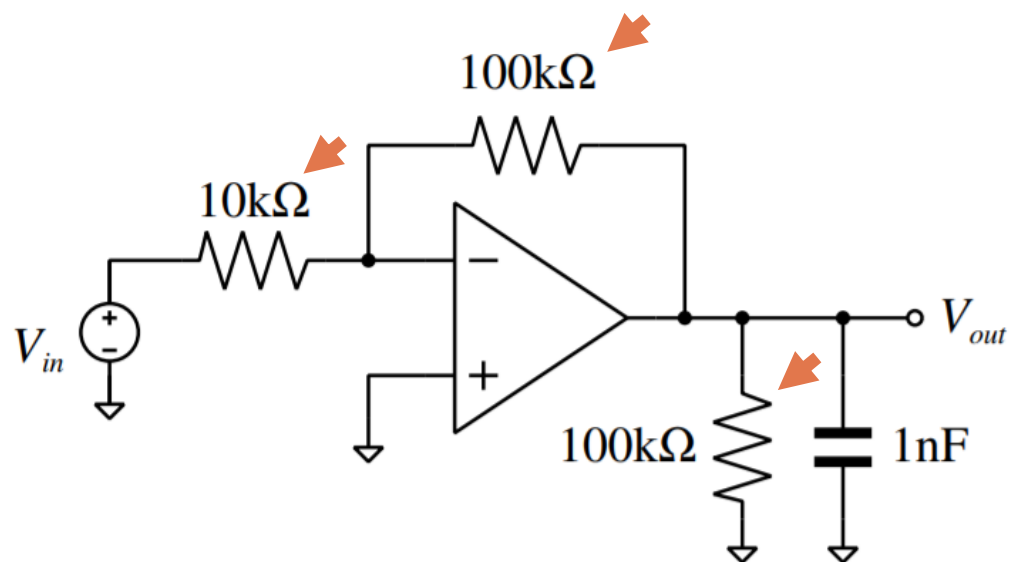


表 1: デザイン部門要件

項目	要件	備考
電源電圧	3V	固定
直流利得	40dB 以上	図 1(b)
位相余裕	45 度以上	図 1(b), 負荷容量 ±10%変動
帯域幅	20kHz 以上	図 1(a)
出力オフセット電圧	±100mV 以内	図 1(a)
入力電圧範囲	±100mV 以上	図 1(a)
スルーレート	±1V/μs 以上	図 1(a)
全高調波歪	0.1%以下	入力: 1kHz, 振幅 1mV, DC オフセット 0V, 図 1(a)
占有面積	0.2mm ² 以内	

■ 評価項目：無信号時の消費電流

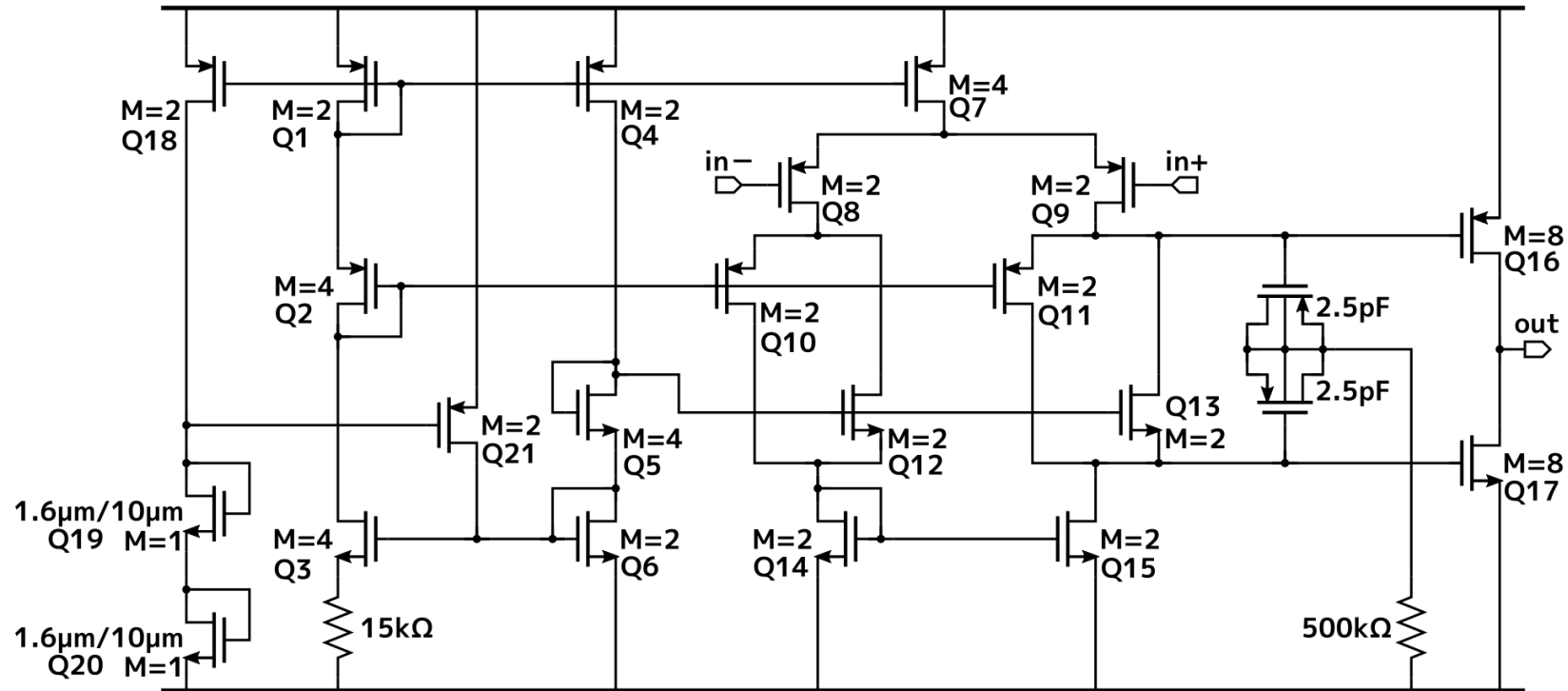
■ 抵抗値が一昨年の10倍に（1 kΩ → 10 kΩ, 10 kΩ → 100 kΩ）

■ スルーレートの要件をクリアしやすい

■ ⇔より消費電流を絞らないと上位入賞できない

昨年度の回路構成

4



スタートアップ

バイアス

A級差動入力

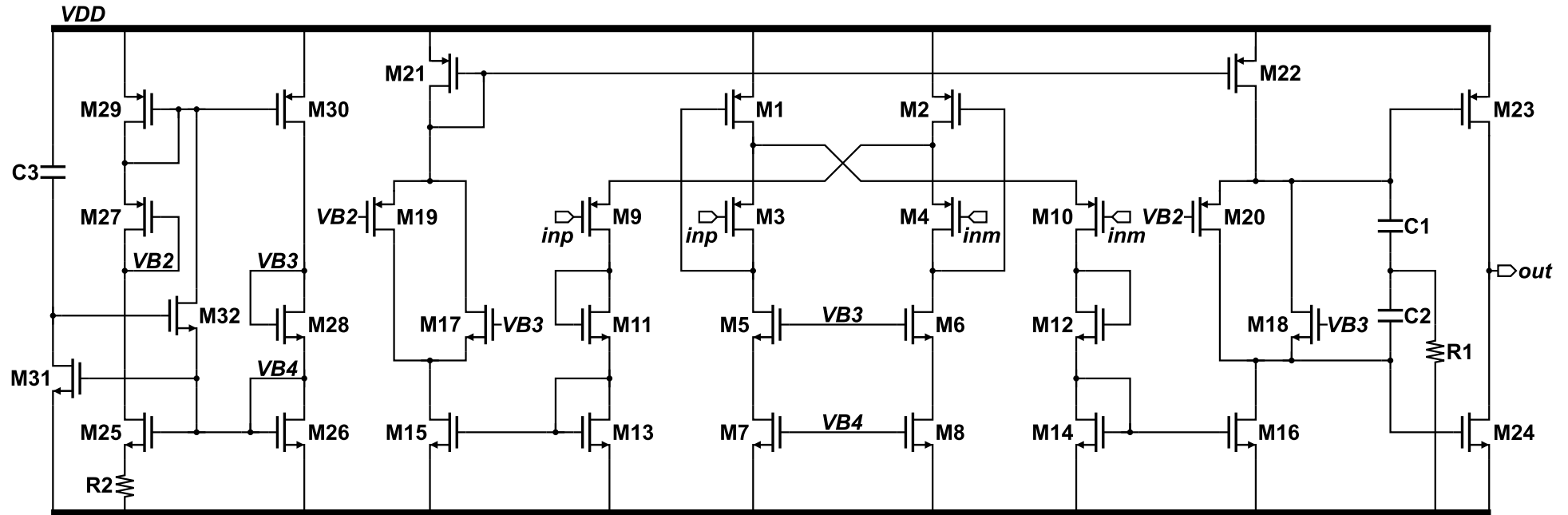
位相補償

AB級出力

■改善点

1. 入力段がA級動作→スルーレート低下
2. スタートアップ回路の定常電流→消費電流増大

今年度の回路構成（試作の部）



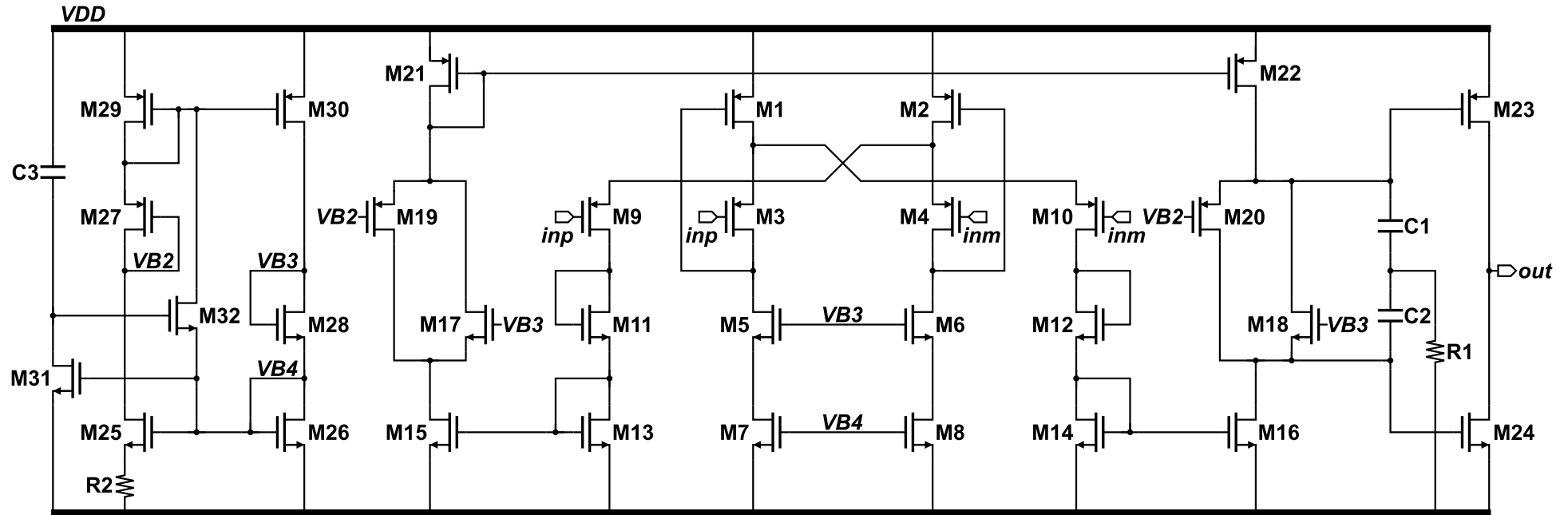
nMOSFET : $W / L = 2 \mu\text{m} / 0.6 \mu\text{m}$
 pMOSFET : $W / L = 6 \mu\text{m} / 0.6 \mu\text{m}$
 C1, C2 : 12 pF C3 : 0.945 pF
 R1 : 400 k Ω R2 : 170 k Ω

	M1-M2	M3-M14	M15-M16	M17-M20	M21-M22	M23-M24	M25	M26-M32
Multiplier	4	2	4	2	4	12	8	2

The backgates of the nMOSFETs and pMOSFETs are connected to VSS and VDD, respectively.

1. AB級入力段（M1-M14）
2. 動的スタートアップ回路（M31-M31,C3）

今年度の回路構成（試作の部）



nMOSFET : $W / L = 2 \mu\text{m} / 0.6 \mu\text{m}$
 pMOSFET : $W / L = 6 \mu\text{m} / 0.6 \mu\text{m}$
 C1, C2 : 12 pF C3 : 0.945 pF
 R1 : 400 k Ω R2 : 170 k Ω

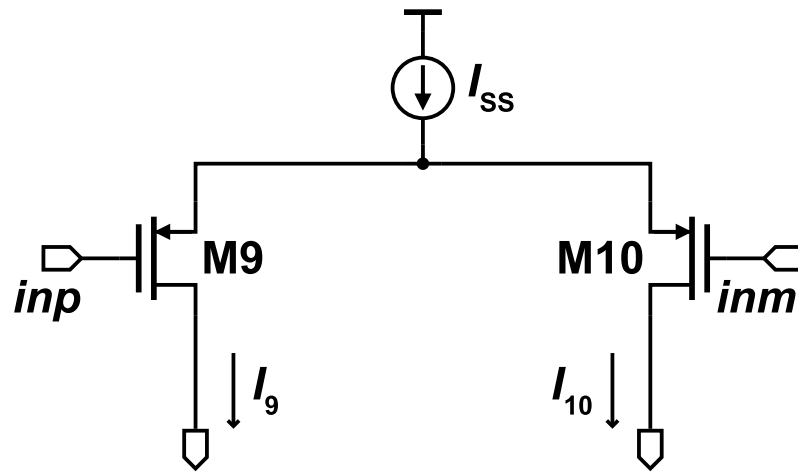
	M1-M2	M3-M14	M15-M16	M17-M20	M21-M22	M23-M24	M25	M26-M32
Multiplier	4	2	4	2	4	12	8	2

The backgates of the nMOSFETs and pMOSFETs are connected to VSS and VDD, respectively.

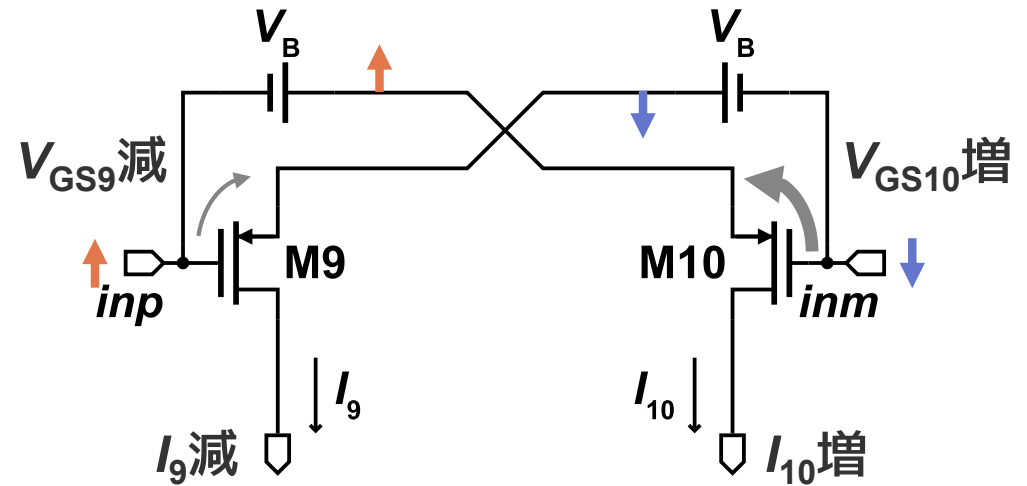
1. AB級入力段（M1-M14）

2. 動的スタートアップ回路（M25-M32, C3）

AB級入力段



A級入力



レベルシフタによるAB級入力

I_9, I_{10} が I_{SS} に制限

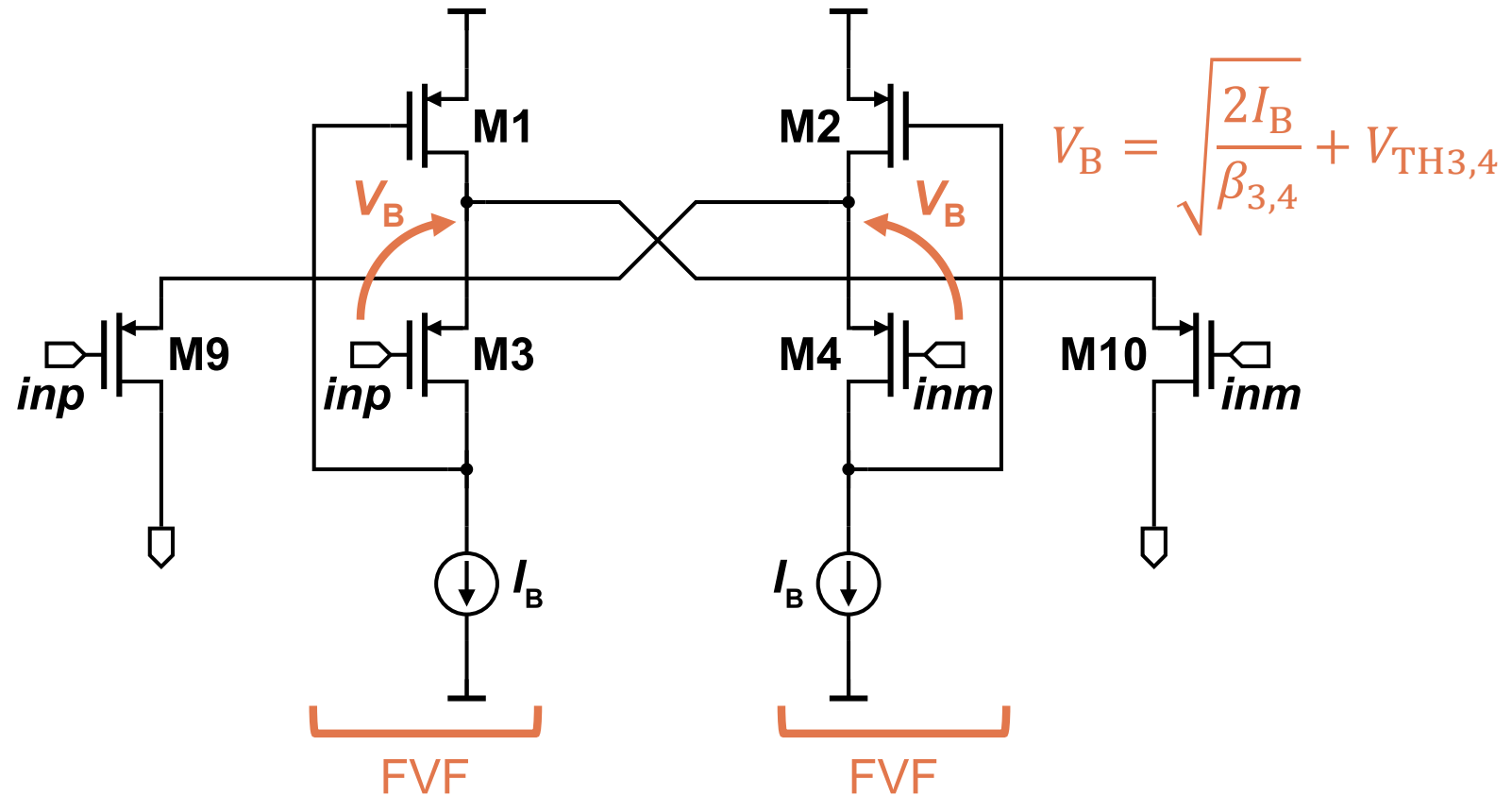
→スルーレート低下

$$I_9 = \frac{\beta_9}{2} (V_{inm} - V_{inp} + V_B - V_{TH9})^2$$

$$I_{10} = \frac{\beta_{10}}{2} (V_{inp} - V_{inm} + V_B - V_{TH10})^2$$

FVFによるレベルシフト

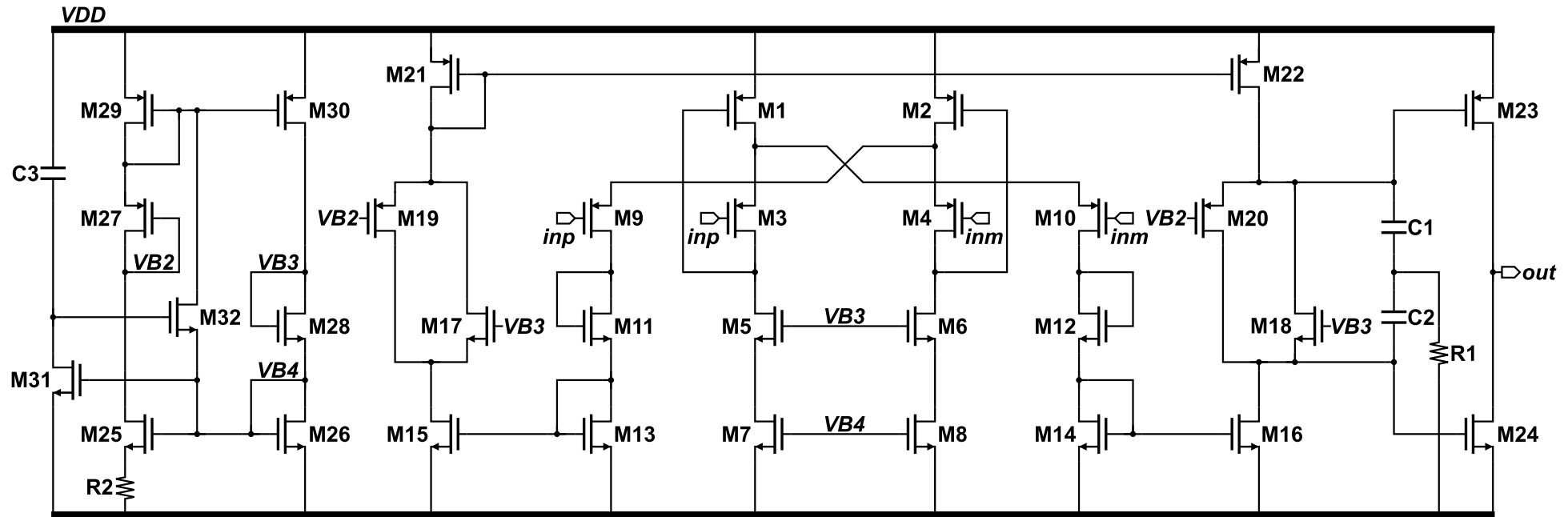
8



■ FVF(Flipped Voltage Follower)

- 低出力抵抗→M9, M10のソースを駆動可能
- 入力信号に応じてM1, M2の電流が増減

今年度の回路構成（試作の部）



nMOSFET : $W / L = 2 \mu\text{m} / 0.6 \mu\text{m}$
 pMOSFET : $W / L = 6 \mu\text{m} / 0.6 \mu\text{m}$
 C1, C2 : 12 pF C3 : 0.945 pF
 R1 : 400 k Ω R2 : 170 k Ω

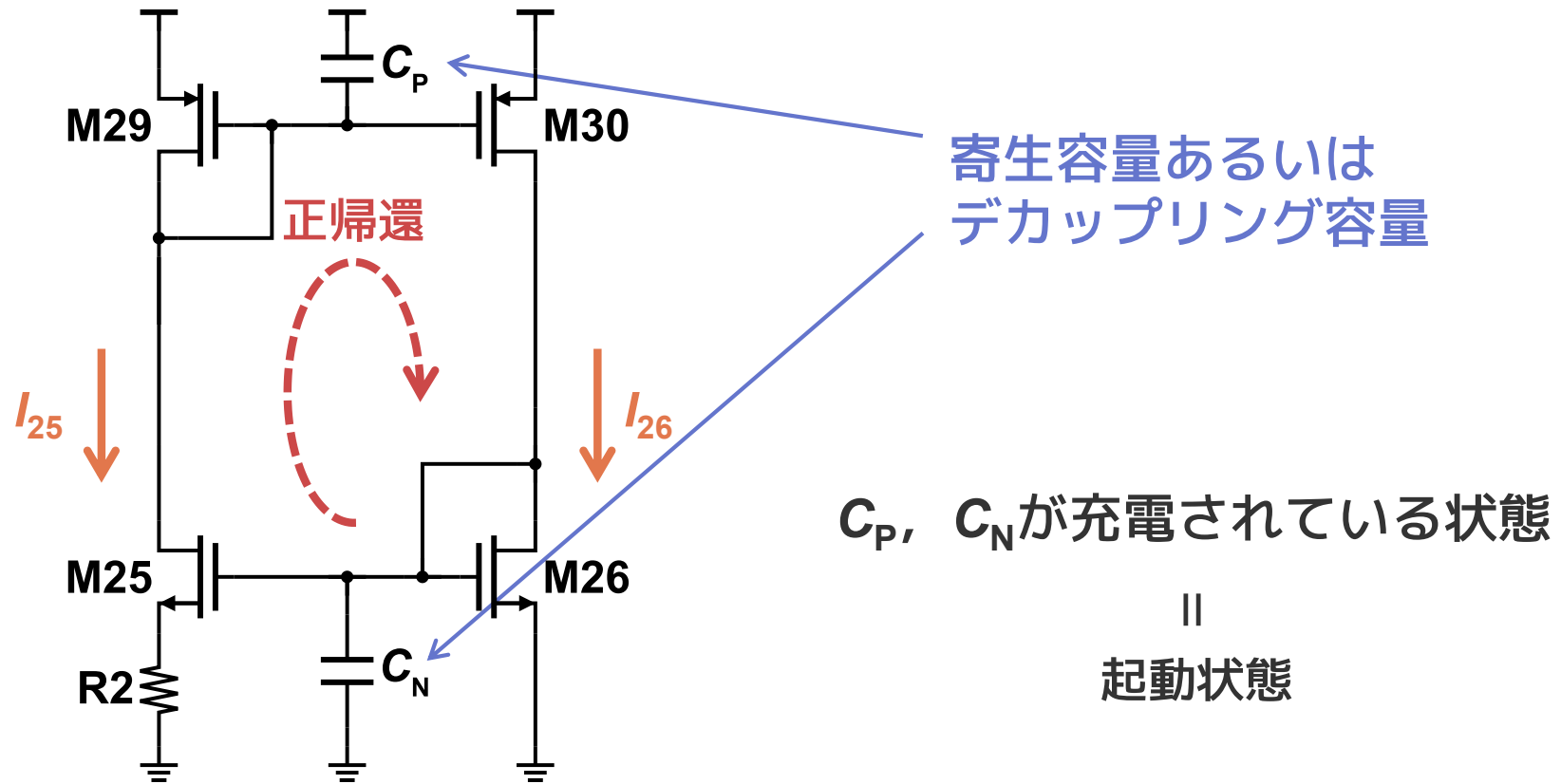
	M1-M2	M3-M14	M15-M16	M17-M20	M21-M22	M23-M24	M25	M26-M32
Multiplier	4	2	4	2	4	12	8	2

The backgates of the nMOSFETs and pMOSFETs are connected to VSS and VDD, respectively.

1. AB級入力段 (M1-M14)
2. 動的スタートアップ回路 (M31-M31,C3)

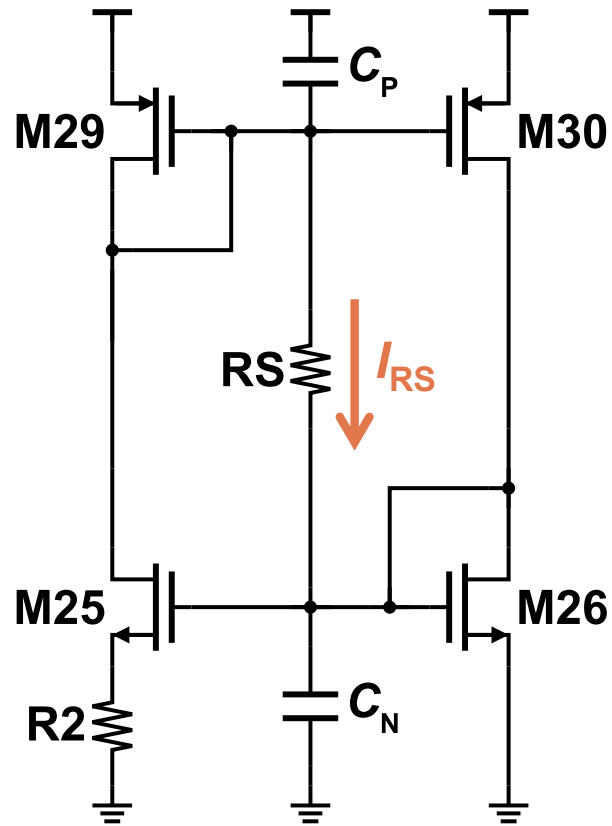
スタートアップ回路の必要性

10

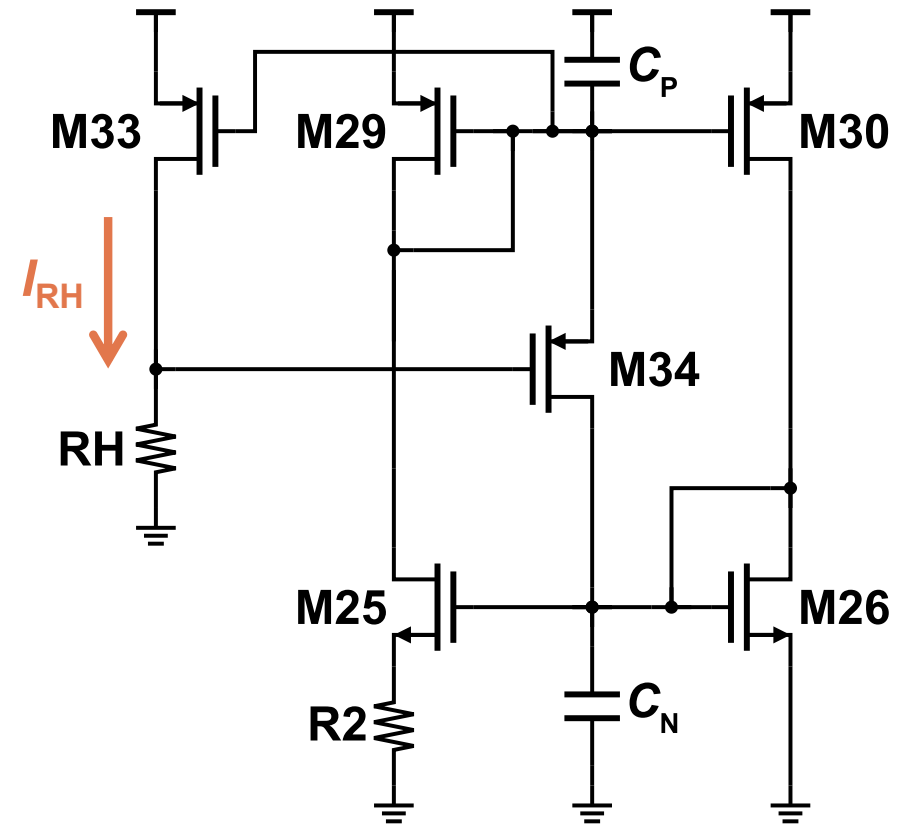


- 電流が流れていない状態 ($I_{25}=I_{26}=0$) でも安定
- 容量 C_P, C_N を充電する経路の不在

スタートアップ回路例



抵抗を介して C_N , C_P を充電
→ 定電流性 \times , 消費電流 \times



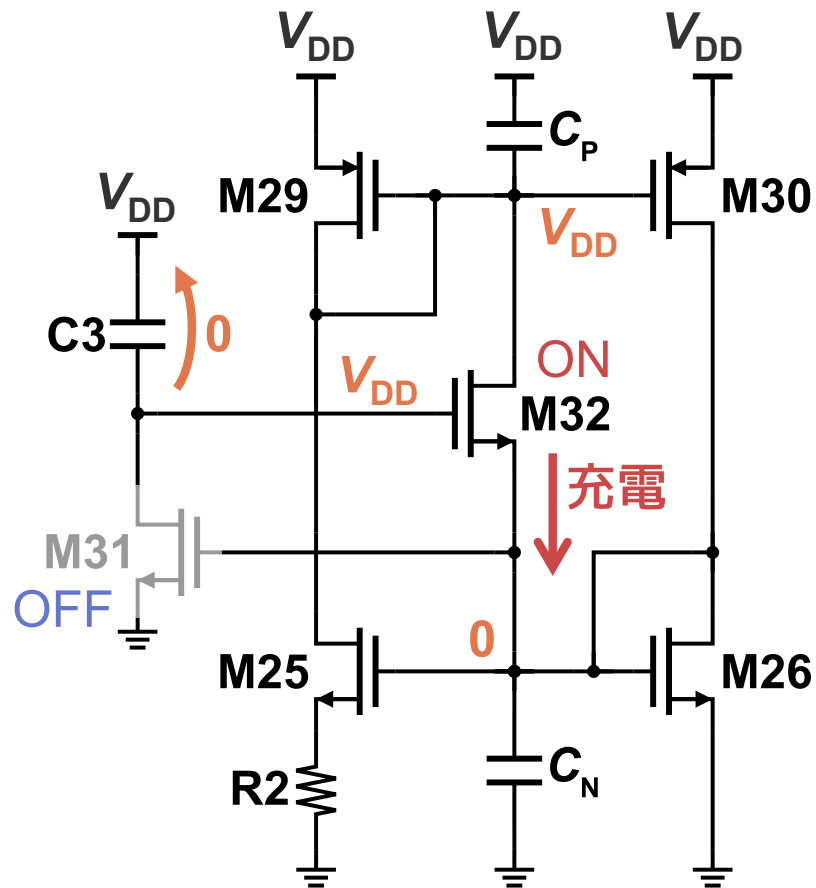
M33で電圧を検出 → M34をON/OFF
→ 定電流性 \odot , 消費電流 \times

動的スタートアップ回路

S. Mandal et al., in 2006 ISCAS, May 2006, pp. 2845–2848.

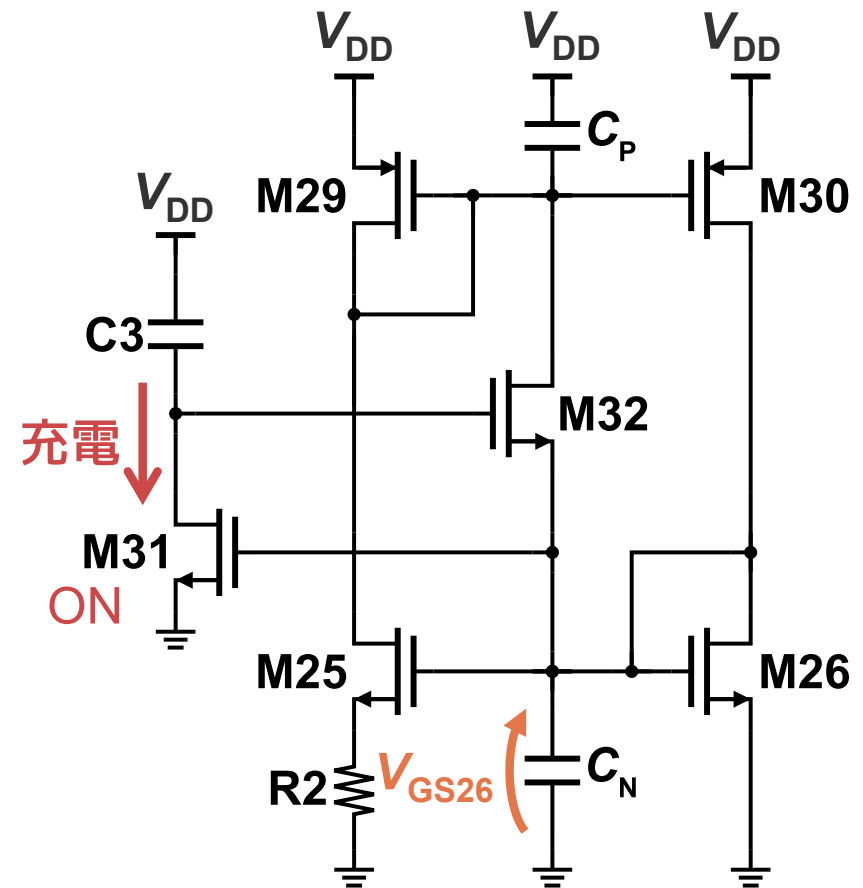
12

初期状態

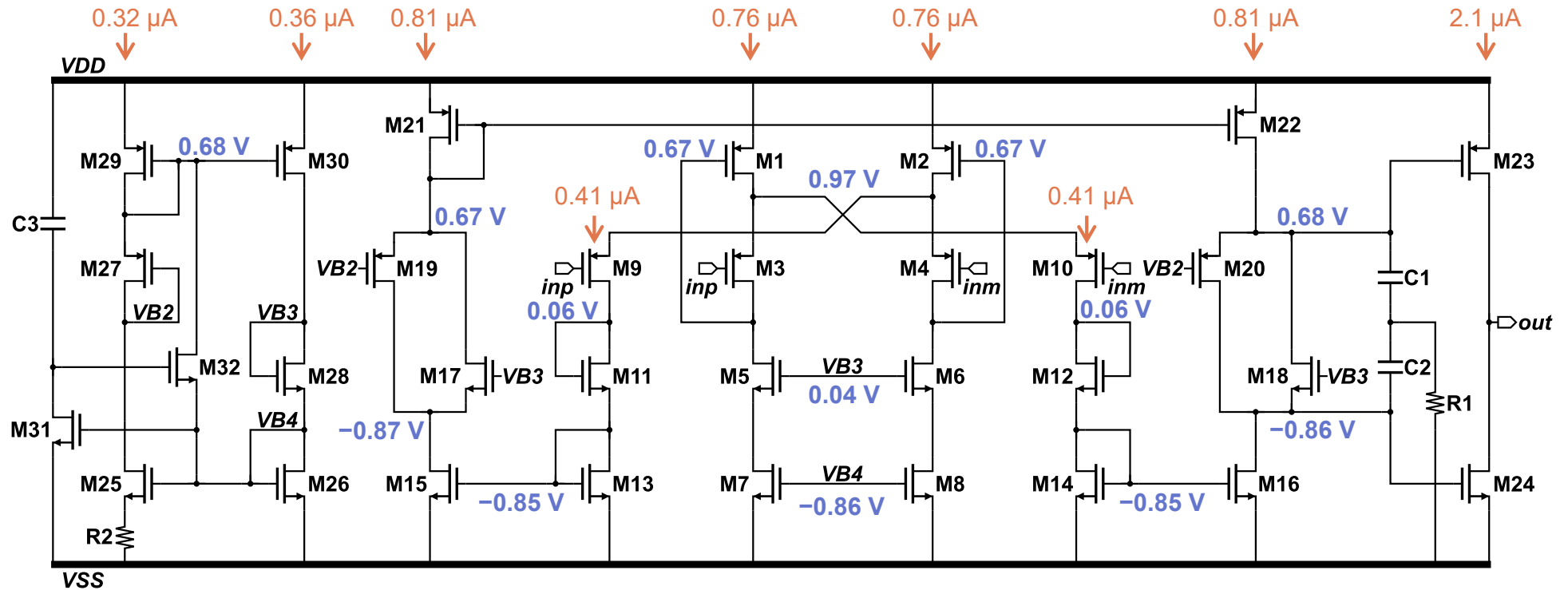


すべての容量が放電状態と仮定
→M31はOFF, M32はON

起動直後



C3を充電→M32がOFF, M31がOFF
定電流性⊙, 消費電流⊙



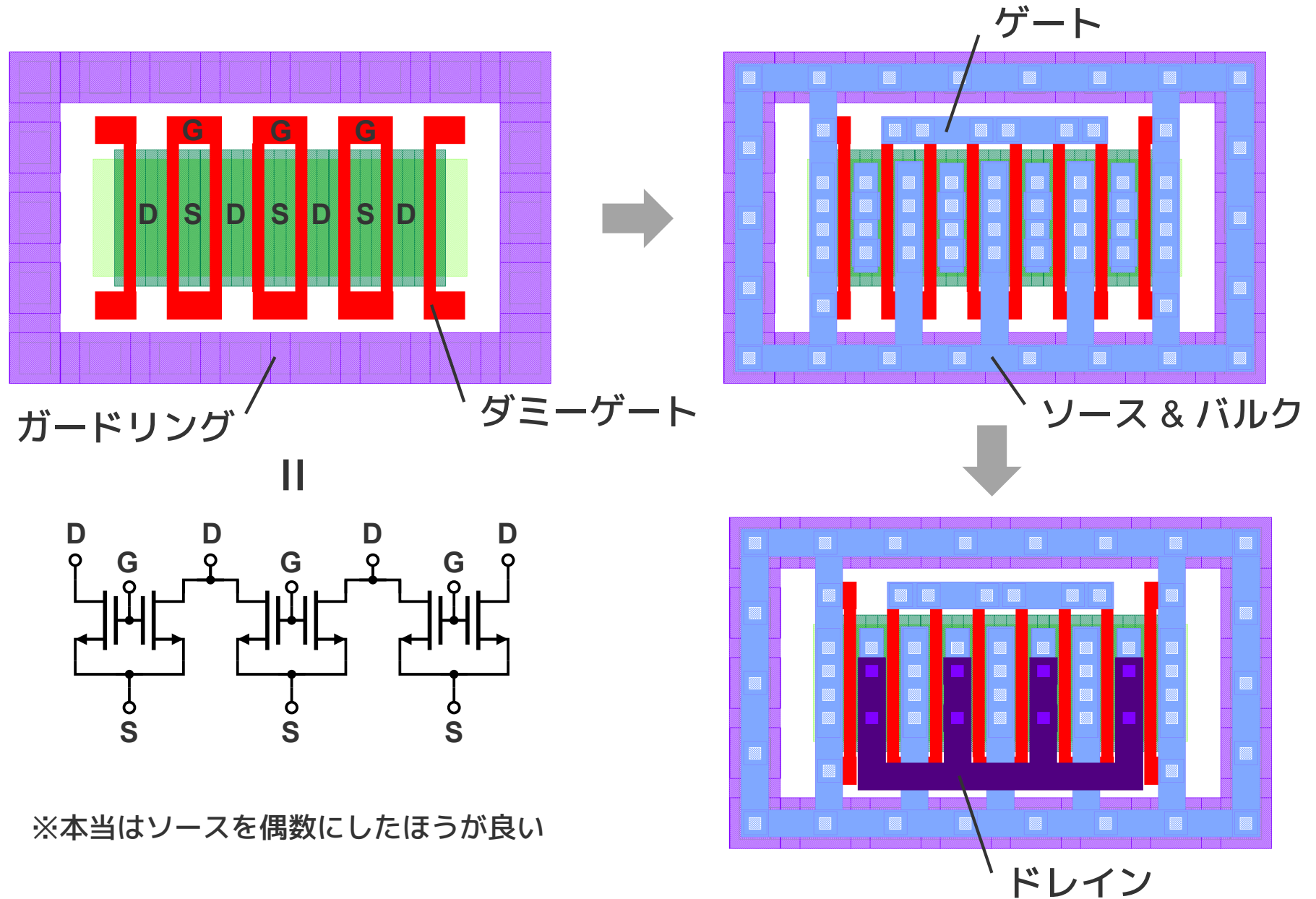
nMOSFET : W / L = 2 μm / 0.6 μm
 pMOSFET : W / L = 6 μm / 0.6 μm
 C1, C2 : 12 pF C3 : 0.945 pF
 R1 : 400 kΩ R2 : 170 kΩ

	M1-M2	M3-M14	M15-M16	M17-M20	M21-M22	M23-M24	M25	M26-M32
Multiplier	4	2	4	2	4	12	8	2

The backgates of the nMOSFETs and pMOSFETs are connected to VSS and VDD, respectively.

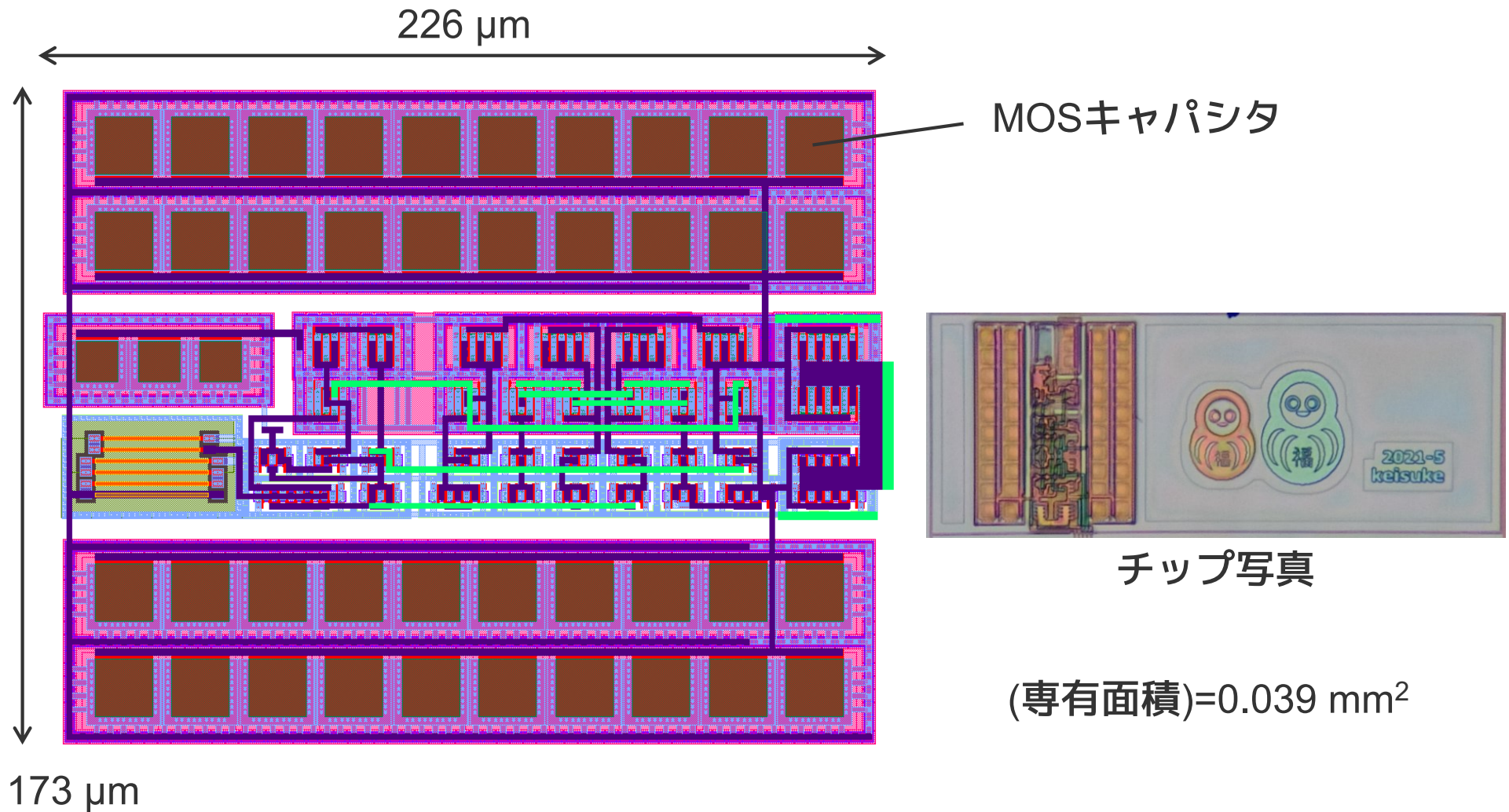
- 設計上の消費電流 = 5.9 μA
- MOSFETの並列数を偶数に設定 → マッチングの確保

マルチフィンガートランジスタ



全体レイアウト+写真

15



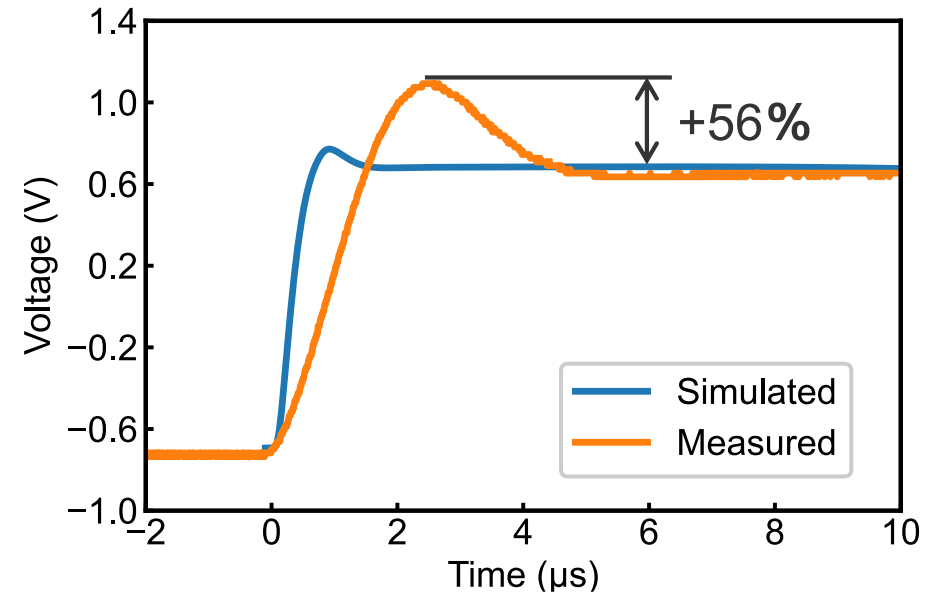
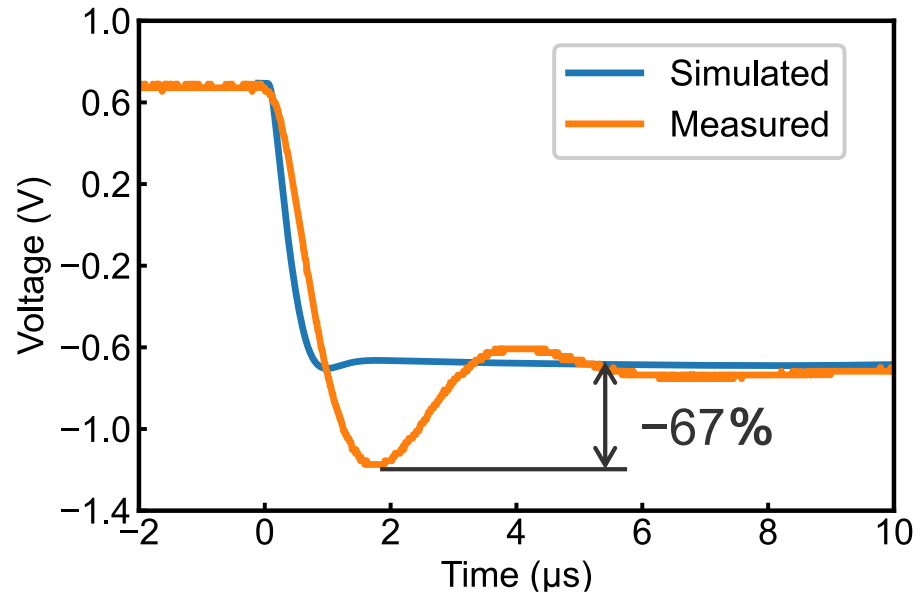
マルチフィンガートランジスタを並べて繋ぐ

消費電流の測定結果

	CHIP1	CHIP2	CHIP3	CHIP1~3 の平均	Simulated (Typical)
I_{DD} (μA)	5.7	4.7	7.4	5.9	5.9
I_{SS} (μA)	4.4	5.4	7.9	5.9	5.9
I_{DD} と I_{SS} の平均 (μA)	5.0	5.1	7.7	5.9	5.9

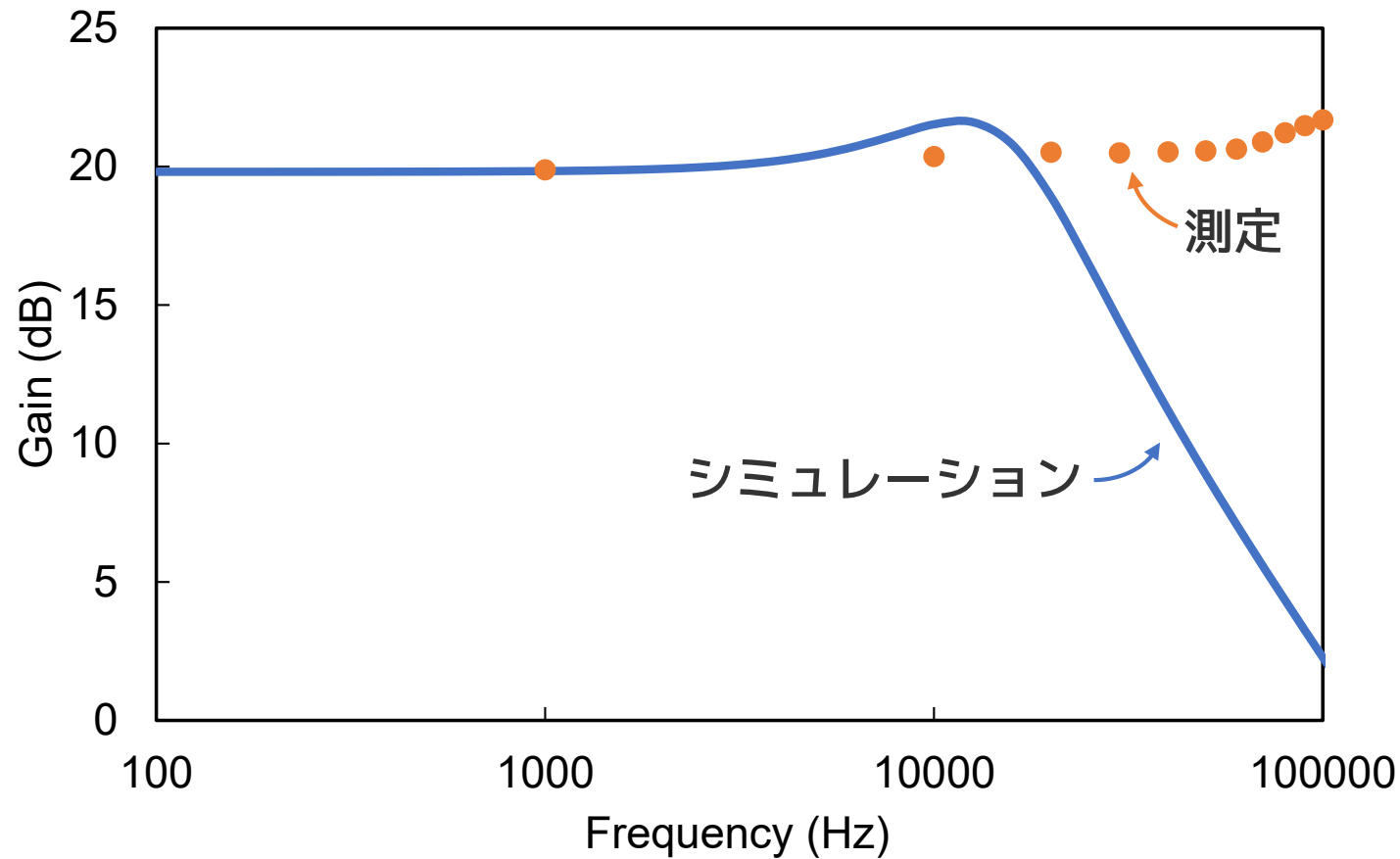
- 平均値はシミュレーション値とよく一致
- 昨年度 (25.2 μA) の1/4以下
 - 負荷が軽くなっている (10 k Ω →100 k Ω) ため単純比較は難しい
 - 電流を絞るほどばらつき対策に力を入れる必要

入力信号振幅：±70mV



	下降スルーレート (V/μs)	上昇スルーレート (V/μs)
シミュレーション	-2.5	2.8
測定	-1.7	1.0

- 下降・上昇ともにシミュレーションより遅い
- オーバーシュートが大きい



- -3dB帯域幅：
 - シミュレーション：24 kHz
 - 測定：100 kHz以上（測定限界）

測定結果まとめ

項目	測定結果 (CHIP3)	要件
消費電流	7.7 μ A	
出力オフセット電圧	-26 mV	100 mV 以下
帯域幅	100 kHz 以上	20 kHz 以上
上昇スルーレート	1.0 V/ μ s	1 V/ μ s 以上
下降スルーレート	-1.7 V/ μ s	1 V/ μ s 以上
入力電圧範囲	$\pm 1.5 \times 10^2$ V	± 100 mV 以上

<https://www.ec.ict.e.titech.ac.jp/opamp/2020/design2020.pdf>

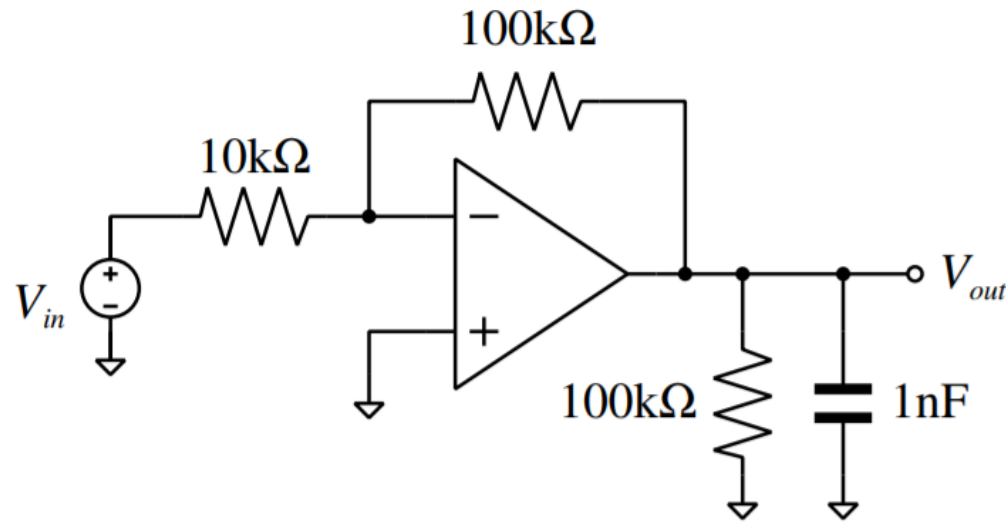
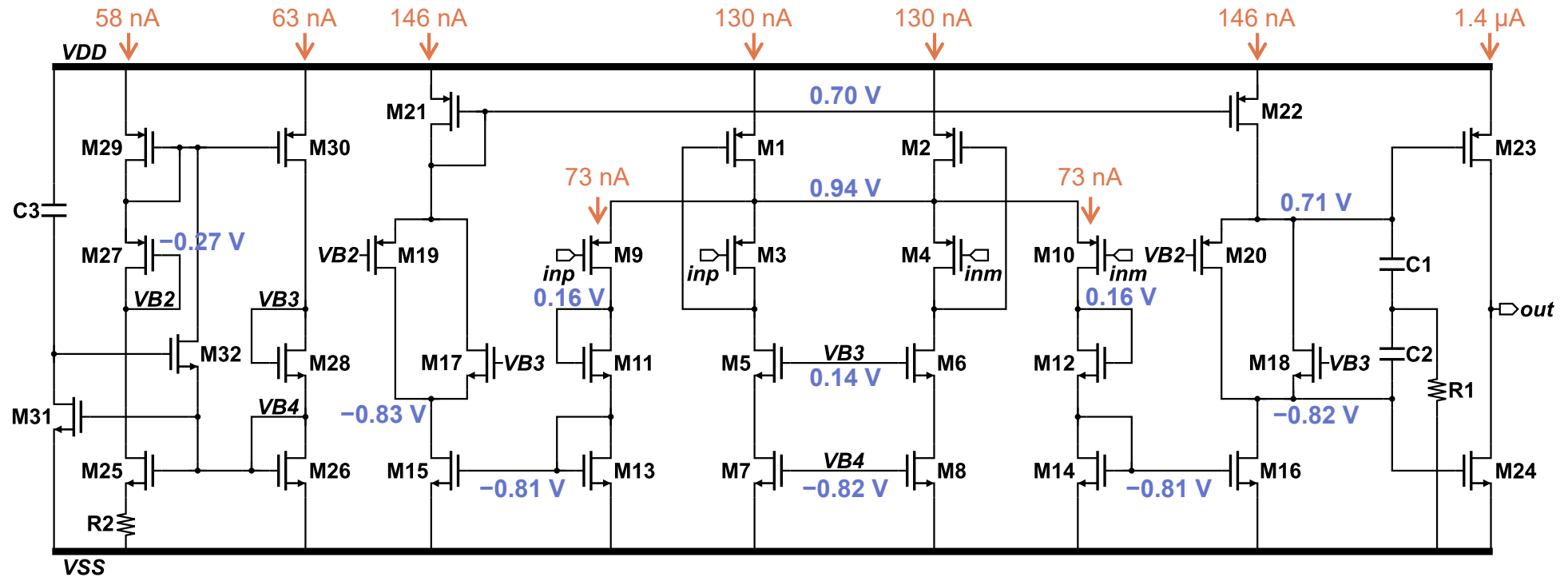


表 1: デザイン部門要件

項目	要件	備考
電源電圧	3V	固定
直流利得	40dB 以上	図 1(b)
位相余裕	45 度以上	図 1(b), 負荷容量 ±10% 変動
帯域幅	20kHz 以上	図 1(a)
出力オフセット電圧	±100mV 以内	図 1(a)
入力電圧範囲	±100mV 以上	図 1(a)
スルーレート	±1V/μs 以上	図 1(a)
全高調波歪	0.1% 以下	入力: 1kHz, 振幅 1mV, DC オフセット 0V, 図 1(a)
占有面積	0.2mm ² 以内	

- 評価項目：無信号時の消費電流
- 試作の部の評価回路と全く同じ ($R_L=100\text{ k}\Omega$)
- 昨年度の評価回路からも変更なし



nMOSFET : W / L = 1.2 μ m / 0.6 μ m
 pMOSFET : W / L = 3.0 μ m / 0.6 μ m
 C1, C2 : 0.5 pF C3 : 1 pF
 R1 : 3500 k Ω R2 : 915.1 k Ω

	M1-M2	M3-M14	M15-M16	M17-M20	M21-M22	M23-M24	M25	M26-M32
Multiplier	2	1	2	1	2	22	4	1

The backgates of the nMOSFETs and pMOSFETs are connected to VSS and VDD, respectively.

- AB級入力段をWinner-Take-All回路に変更
- 定数調整・できる限り電流を削減

デザイン部門 - 結果

22

項目	シミュレーション結果(Typ.)	要件
全高調波歪	0.023%	0.1% 以下
-3dB帯域幅	24 kHz	20 kHz 以上
直流利得	44 dB	40 dB 以上
位相余裕	45°	45° 以上
上昇スルーレート	2.6 V/ μ s	1 V/ μ s 以上
下降スルーレート	2.6 V/ μ s	1 V/ μ s 以上

項目	評価結果		単位
	最新	前回	
消費電流	1.8836e-06	1.8836e-06	A

■ 消費電流：1.88 μ A

- 昨年度 (4.13 μ A) の半分以下, 1 μ A台に乗った
- 利得や帯域幅, 位相余裕の要件が見えてきた

- 目標：昨年度より優れた回路の設計
 - 主な工夫点
 - AB入力段によるスルーレートの改善
 - 動的スタートアップによる消費電流の削減
 - 結果
 - 試作の部：昨年度 $25.2 \mu\text{A}$ ($R_L=10 \text{ k}\Omega$) → 今年度 $5.9 \mu\text{A}$ ($R_L=100 \text{ k}\Omega$)
 - デザイン部門：昨年度 $4.13 \mu\text{A}$ → 今年度 $1.88 \mu\text{A}$
- 全体的に設計を改善でき、着実な成長を感じた。
今後も設計技術に磨きをかけたい。

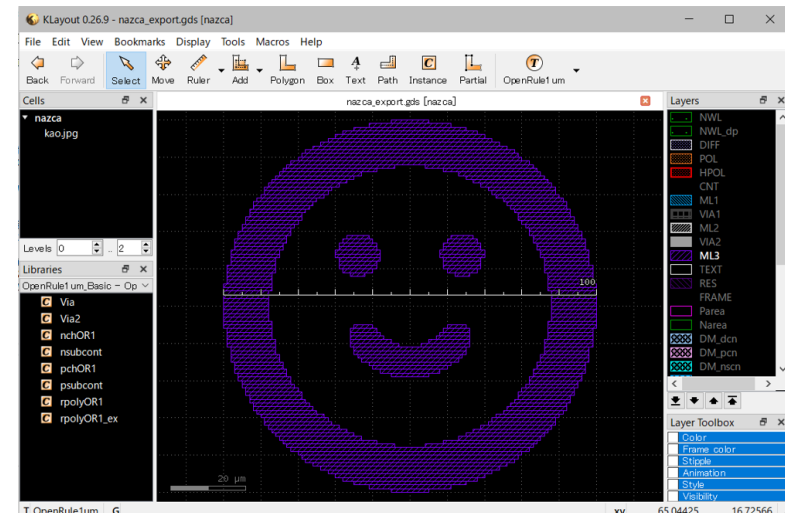
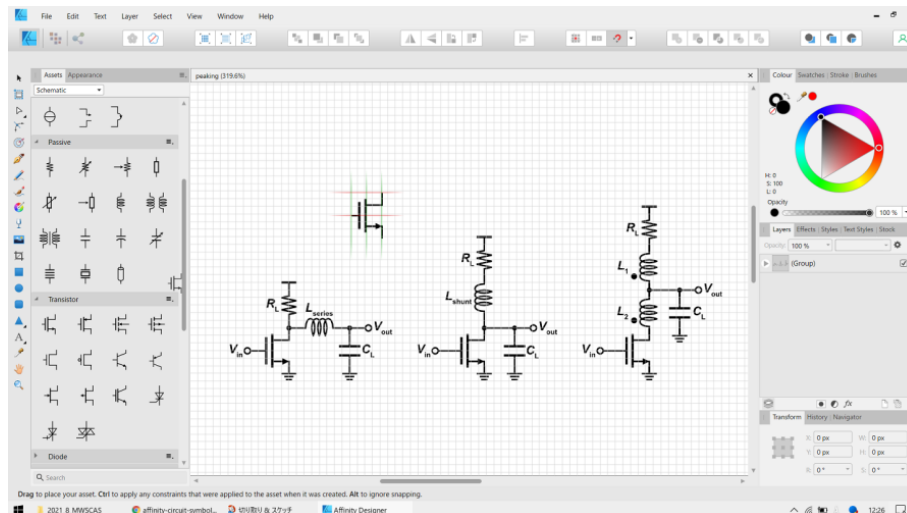
協賛企業と運営委員会の皆様に心より感謝を申し上げます。

■ 回路図記号集

- Affinity Designer用 (<https://github.com/keikawa/affinity-circuit-symbols-asset>)
- Inkscape用 (<https://github.com/keikawa/InkscapeCircuitSymbols>)

■ 画像をGDSレイアウトに変換する方法☺

<https://scrapbox.io/makelsi/Nazca%E3%81%A7%E7%94%BB%E5%83%8F%E3%82%92GDS%E3%83%95%E3%82%A1%E3%82%A4%E3%83%AB%E3%81%AB%E5%A4%89%E6%8F%9B%E3%80%90Python%E3%80%91>



2021年度演算増幅器設計コンテスト 発表資料

部門1:2位 部門2:1位 部門3:5位 部門4:2位

芝浦工業大学大学院 理工学研究科 電気電子情報工学専攻
先端集積回路システム研究室
修士1年 福岡 慶祐

部門1 設計方針

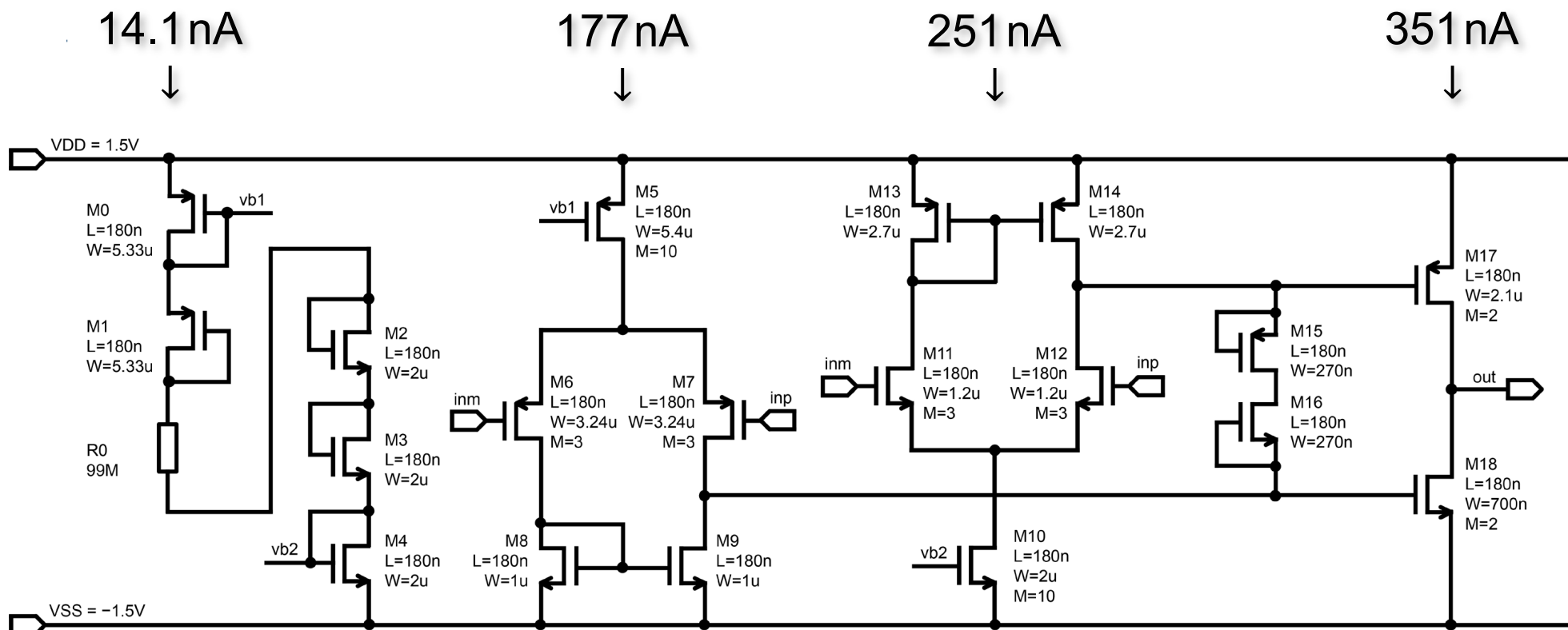
- 評価式

- 得点 =
$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}}{\text{消費電流}}$$

- 設計方針

- スルーレート ⇔ 消費電流
 - 直流利得 ⇔ 消費電流
 - とにかく消費電流を絞る
 - Rail-to-Rail入力で同相入力範囲を100%に
 - バイアス段を削除し高スルーレート
 - バイアス電流削減よりスルーレート向上の効果のほうが大きかったため削除
(部門4ではバイアス段を採用し設計)

部門1 提出回路



注) リファレンス番号は,発表資料作成時に割り直したものである。
全てのPMOS, NMOSTランジスタのバルク端子は,それぞれVDD, VSSと接続している。また,並列数Mの値は,記載がない限り1である。

消費電流(評価値) : 806nA

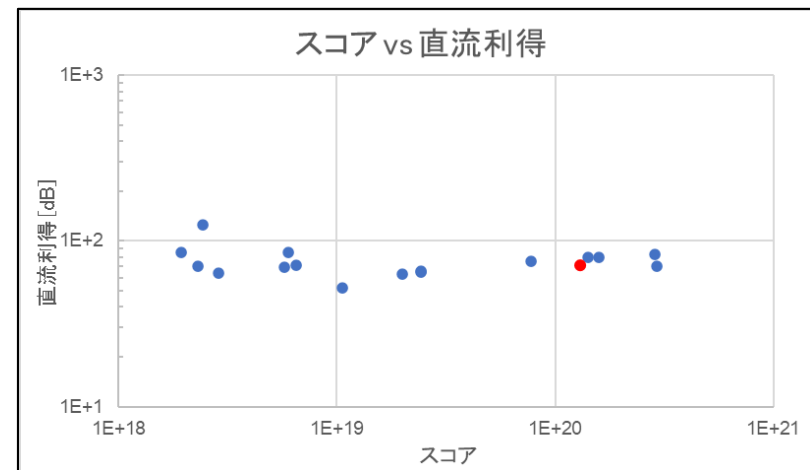
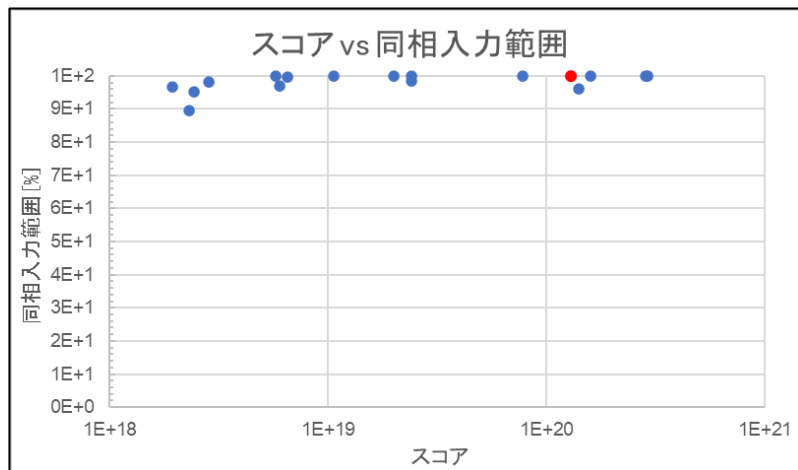
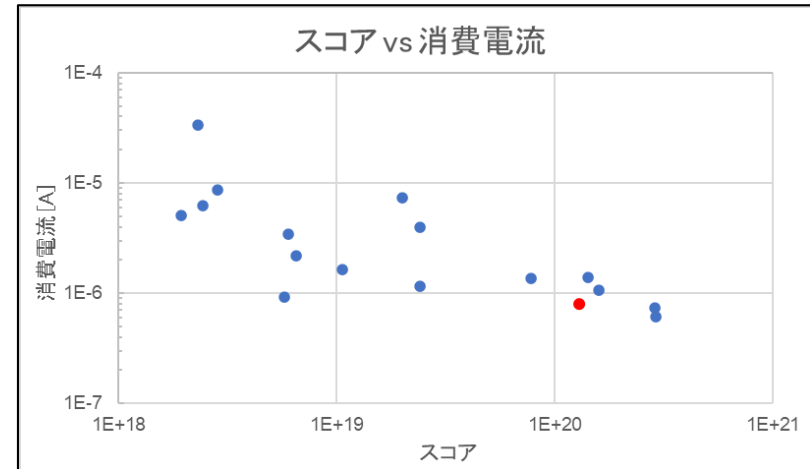
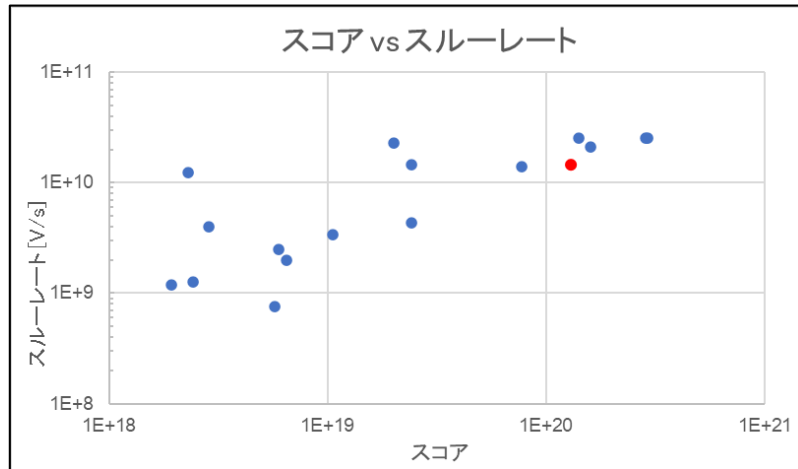
部門1 まとめ

項目	評価結果	単位
スルーレート	1.4593e+10	V/s
消費電流	8.0636e-07	A
同相入力範囲	1.0000e+02	%
直流利得	7.1781e+01	dB
スコア	1.2990e+20	
ネットリスト	<input type="button" value="見る"/>	
回路図	<input type="button" value="見る"/>	

- 消費電流、スルーレートともに改善の余地あり
- 回路としての正当性よりスコアを重視して設計してしまった

部門1 まとめ

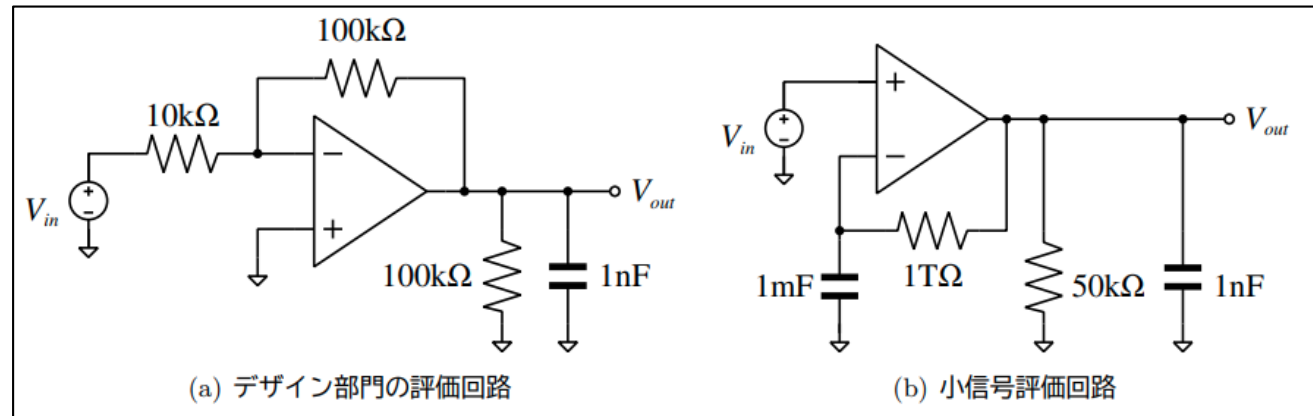
2016～2020の発表作品との比較



部門4 設計方針

- 評価方法

- 指定された回路構成における消費電力を競う



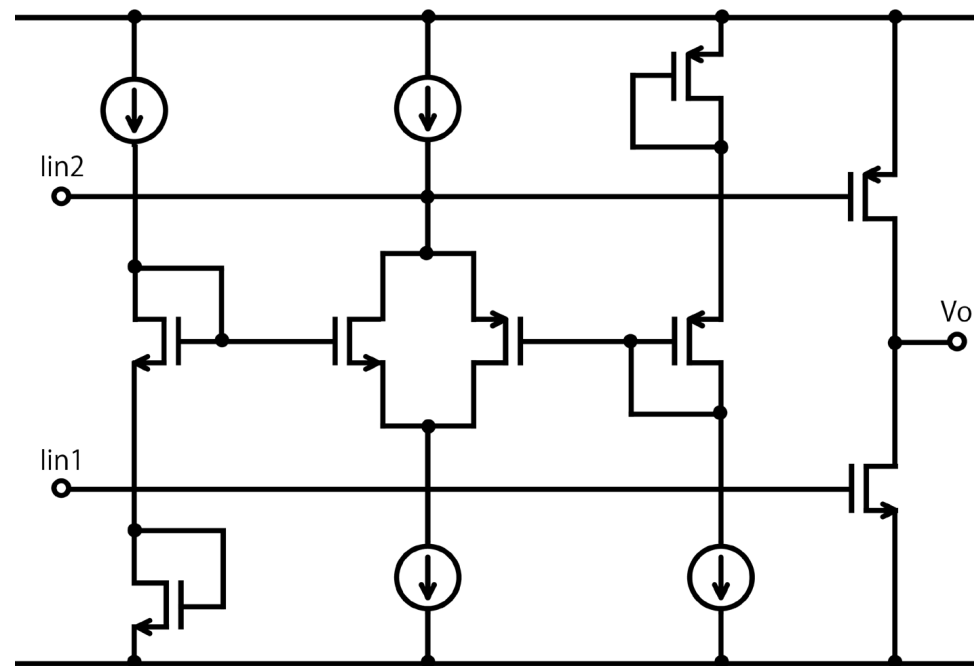
デザイン部門概要より引用

- 設計方針

- 1nFの負荷を十分に駆動できる駆動力を確保する
- バイアス電流が小さくなるように設計

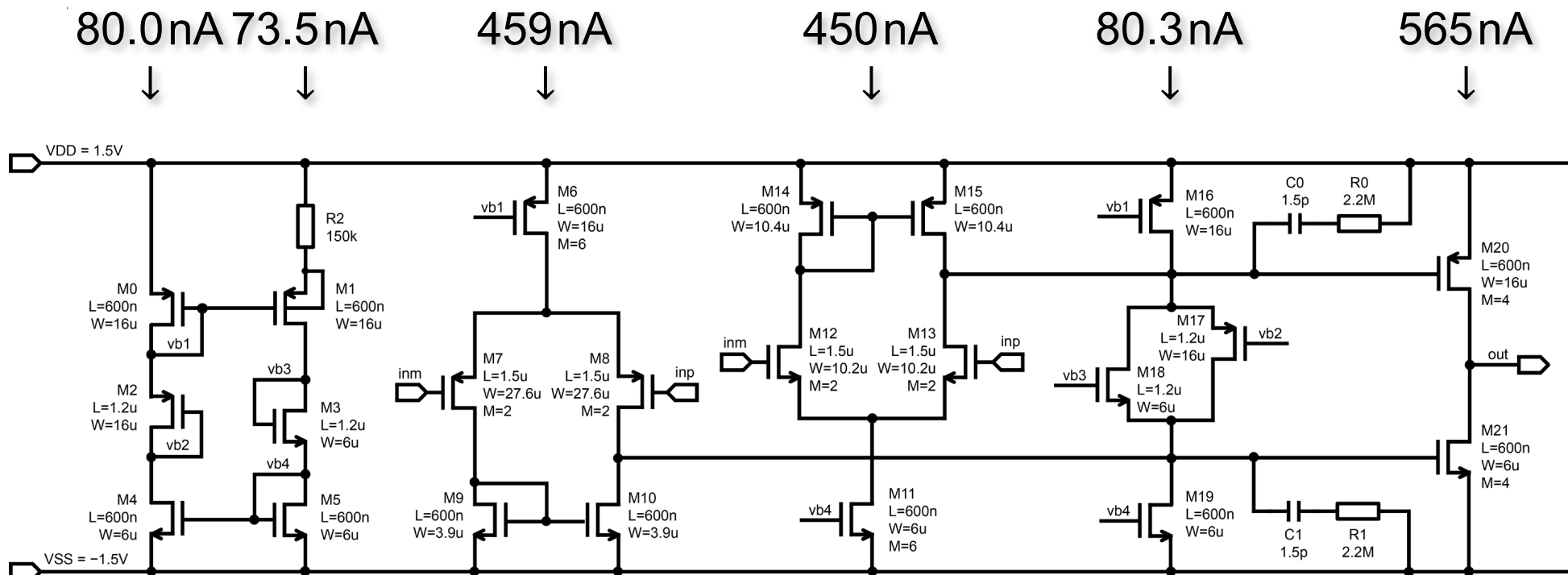
部門4 設計方針

- Rail-to-rail output stage with floating class-AB control^[1]



- 無信号時の出力段電流を低減
 - 高い電流駆動能力
- ➡ 容量駆動&低消費電力化のため採用

部門4 提出回路



注) リファレンス番号は、発表資料作成時に割当し直したものである。
PMOS, NMOSトランジスタのバルク端子について接続が明記されていないものは、それぞれVDD, VSSと接続している。また、並列数Mの値は、記載がない限り1である。

消費電流(評価値) : 1.94 μ A

部門4 まとめ

項目	評価結果	単位
消費電流	1.9440e-06	A
ネットリスト	<input type="button" value="見る"/>	
回路図	<input type="button" value="見る"/>	

- 仕様要件からのマージンを小さくし消費電流を削減
➡ スコア向上には回路トポロジの変更が必要か

部門2 設計方針

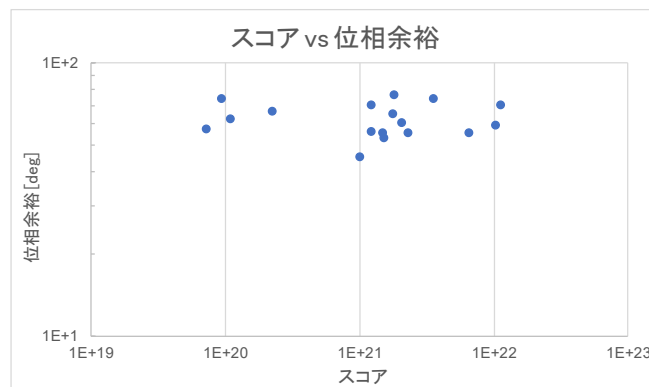
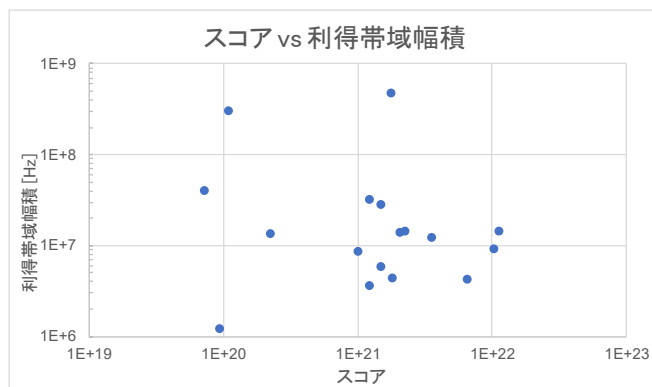
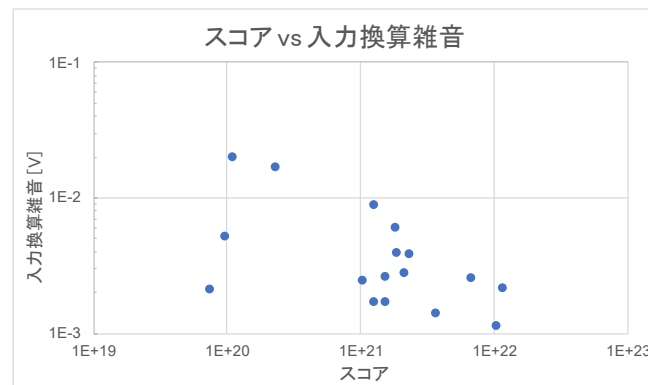
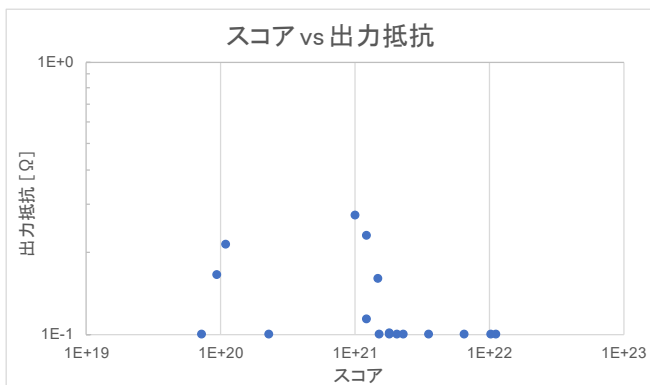
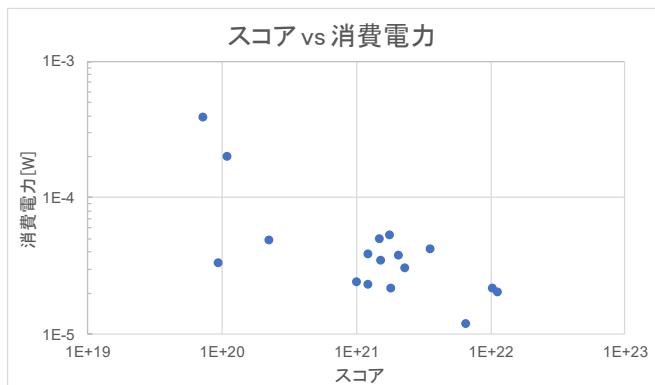
- 評価式

- 得点 =
$$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{(\text{消費電力})^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$$

- 設計方針

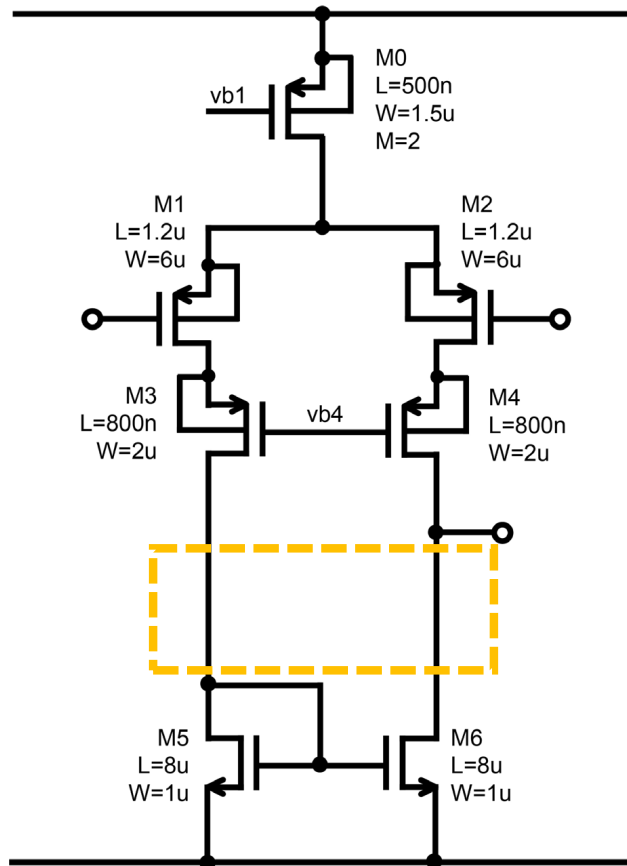
- 利得帯域幅積 \leftrightarrow 消費電力
 - 利得帯域幅積 \leftrightarrow 位相余裕
 - 入力換算雑音が低下するようにW/L比を調整
 - 出力抵抗を低くする
 - 消費電力が影響するので低電圧で設計

部門2 設計方針



- 過去の発表作品の出力抵抗は全て $<1\Omega$
- 消費電力と入力換算雑音が低くなるよう意識して設計

部門2 設計方針



• 入力段

- 当初は橙破線部に2Tr追加した9Trで構成
出力電圧範囲の要件を満たさず断念

⇒ 7Trで構成しバイアス電圧を調整

- 入力換算雑音低減のためPMOS Tr入力に

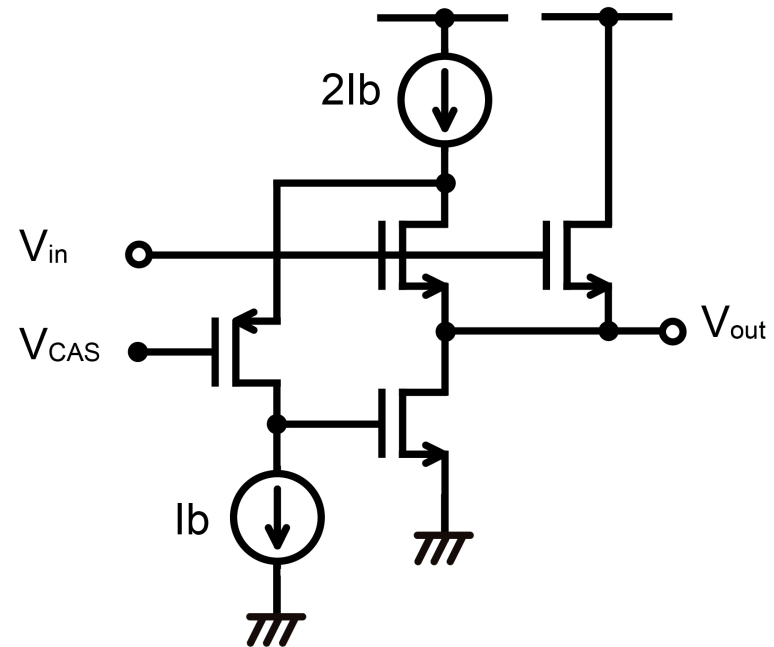
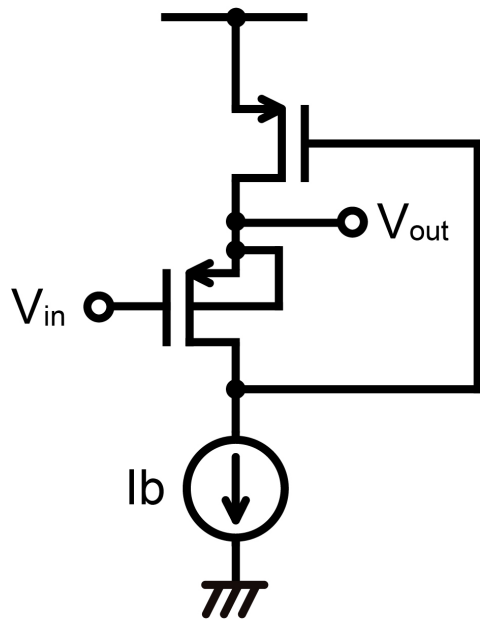
$$\overline{V_n^2} = \underbrace{4kT\gamma \left(2 \frac{1}{g_{m_{1,2}}} + 2 \frac{g_{m_{5,6}}}{g_{m_{1,2}}^2} \right)}_{\text{熱雑音}} + \underbrace{2 \frac{K_N}{(WL)_{1,2} C_{ox} f} + 2 \frac{K_P}{(WL)_{5,6} C_{ox} f} \frac{g_{m_{5,6}}^2}{g_{m_{1,2}}^2}}_{1/f \text{ ノイズ}} \quad [2], [3]$$

⇒ M1, M2 : 面積大, W/L比大

⇒ M5, M6 : L大, W/L小

部門2 設計方針

• 出力段

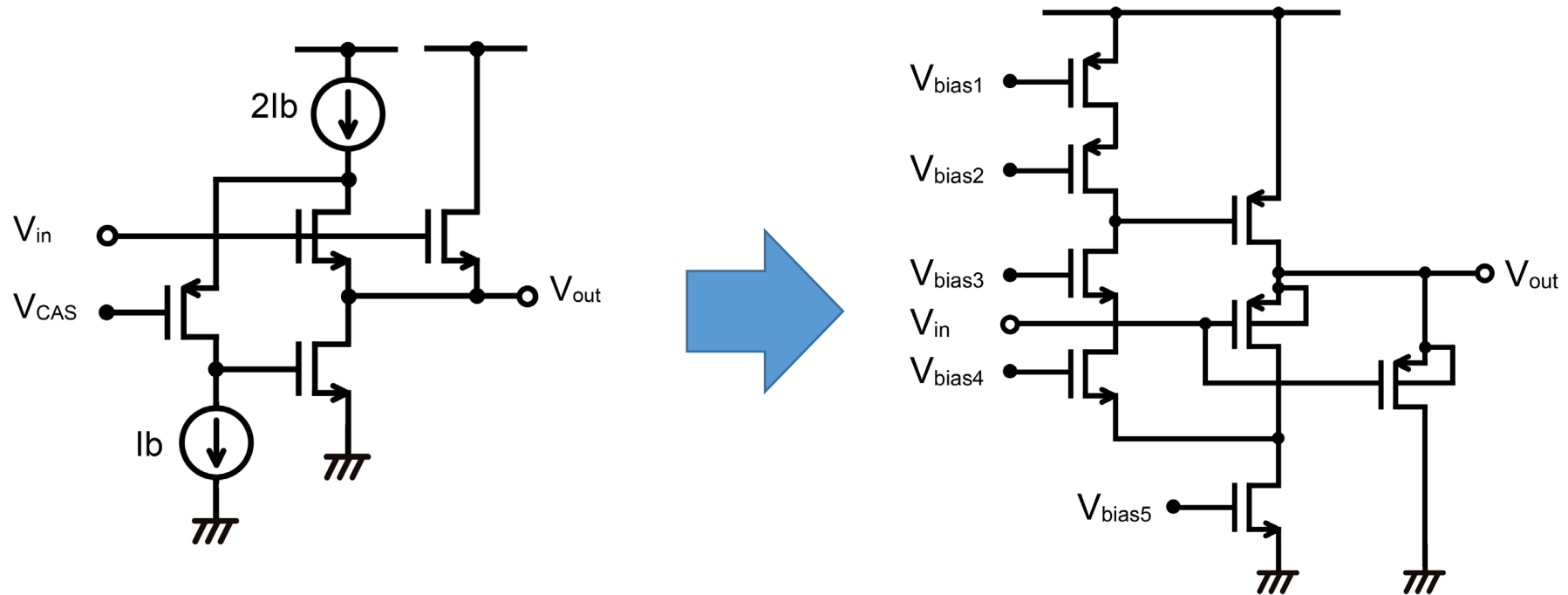


- Flipped Voltage Follower [4]
 - 並列帰還方式のボルテージフォロワ
 - 低出力インピーダンス

- Cascoded Flipped Voltage Follower [5]
 - AB級ボルテージフォロワ
 - 低出力インピーダンス
- ➡ 出力抵抗低減のために採用

部門2 設計方針

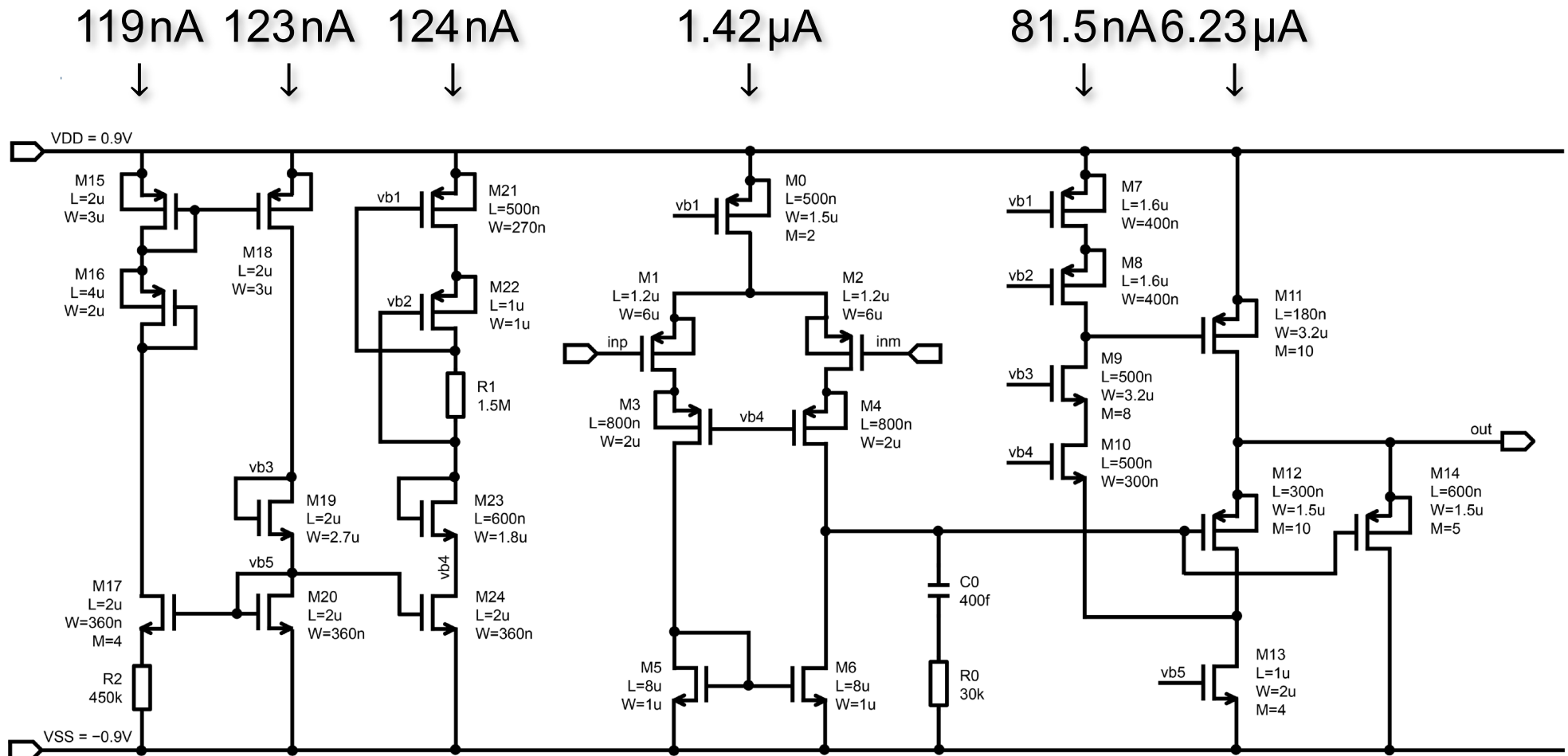
- 出力段



PMOS Tr 入力 & カスコード化

➡ 出力抵抗 $0.1\ \Omega$ を達成

部門2 提出回路



注) リファレンス番号は, 発表資料作成時に割当し直したものである。
 全てのNMOSのバルク端子はVSSと接続している。また, 並列数Mの値は, 記載がない限り1である。

消費電流 : 5.95 μ A

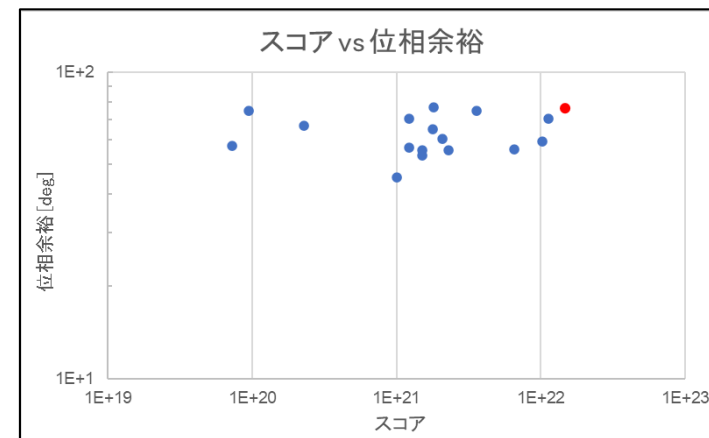
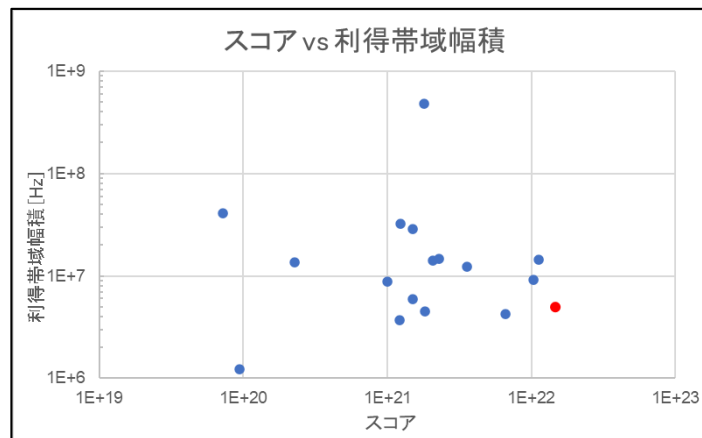
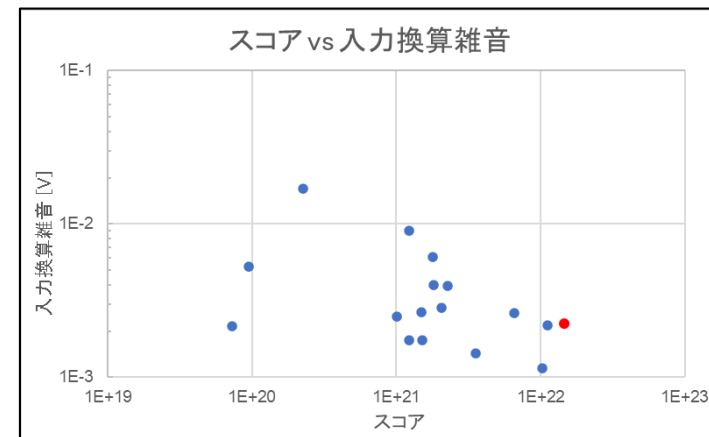
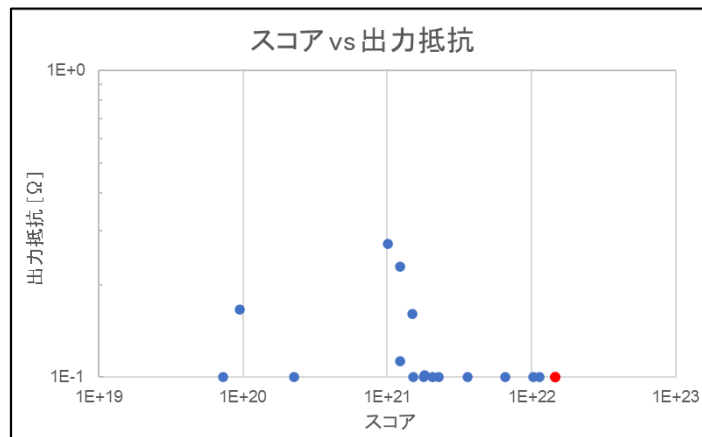
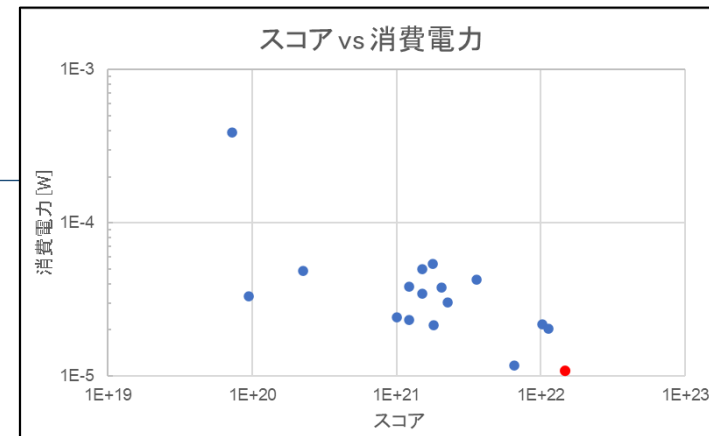
部門2 まとめ

項目	評価結果	単位
消費電力	1.0808e-05	W
出力抵抗	1.0000e-01	Ω
入力換算雑音	2.2268e-03	V
利得帯域幅積	5.0030e+06	Hz
位相余裕	7.6075e+01	deg
スコア	1.4632e+22	
ネットリスト	<input type="button" value="見る"/>	
回路図	<input type="button" value="見る"/>	

- 部門2最高スコア (2015~2020)を更新
- 出力抵抗0.1 Ω を達成

部門2 まとめ

2015～2020の発表作品との比較



まとめ

- 自由度の高い問題への取り組み方が身についた
- 回路理論やツールについて学ぶための良い機会となった
- 電子回路としての妥当性を無視した設計を行った部分があった
 - ➡ 適切で優れた回路設計ができるよう鍛錬していく

謝辞

貴重な機会を設けて下さいました協賛企業及び運営委員会の方々に
厚く御礼申し上げます。

参考文献

- [1] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier and J. H. Huijsing, "A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries," in IEEE Journal of Solid-State Circuits, vol. 29, no. 12, pp. 1505-1513, Dec. 1994, doi: 10.1109/4.340424.
- [2] Behzad Razavi, 黒田 忠広, 「アナログCMOS集積回路の設計 基礎編」, 丸善出版, 2003
- [3] Behzad Razavi, 黒田 忠広, 「アナログCMOS集積回路の設計 応用編」, 丸善出版, 2003
- [4] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, J. Galan, A. P. Vega-Leal and J. Tombs, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353), 2002, pp. III-III, doi: 10.1109/ISCAS.2002.1010299.
- [5] J. Ramirez-Angulo et al., "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities," 48th Midwest Symposium on Circuits and Systems, 2005., 2005, pp. 1151-1154 Vol. 2, doi: 10.1109/MWSCAS.2005.1594310.



演算増幅器設計コンテスト 試作の部 1位

日付 2022年 2月 1日

所属 東京理科大学 理工学研究科
電気工学専攻 兵庫研究室

名前 齋藤 滉生



設計方針・目標

- 試作の部で1位を取りたい
 - ここ数年のコンテストの成績傾向を考えると
確実に1位を取るには10 μ A以下にする必要がある
- 10 μ Aでもすべての回路が動くように設計段階からばらつきを考慮
 - ばらつきを考慮したシミュレーション
コーナー解析、容量 \pm 10%でのシミュレーション
 - ばらつきが出ないレイアウト
マルチフィンガ、ダミーMOSFET、ダミー抵抗を使用

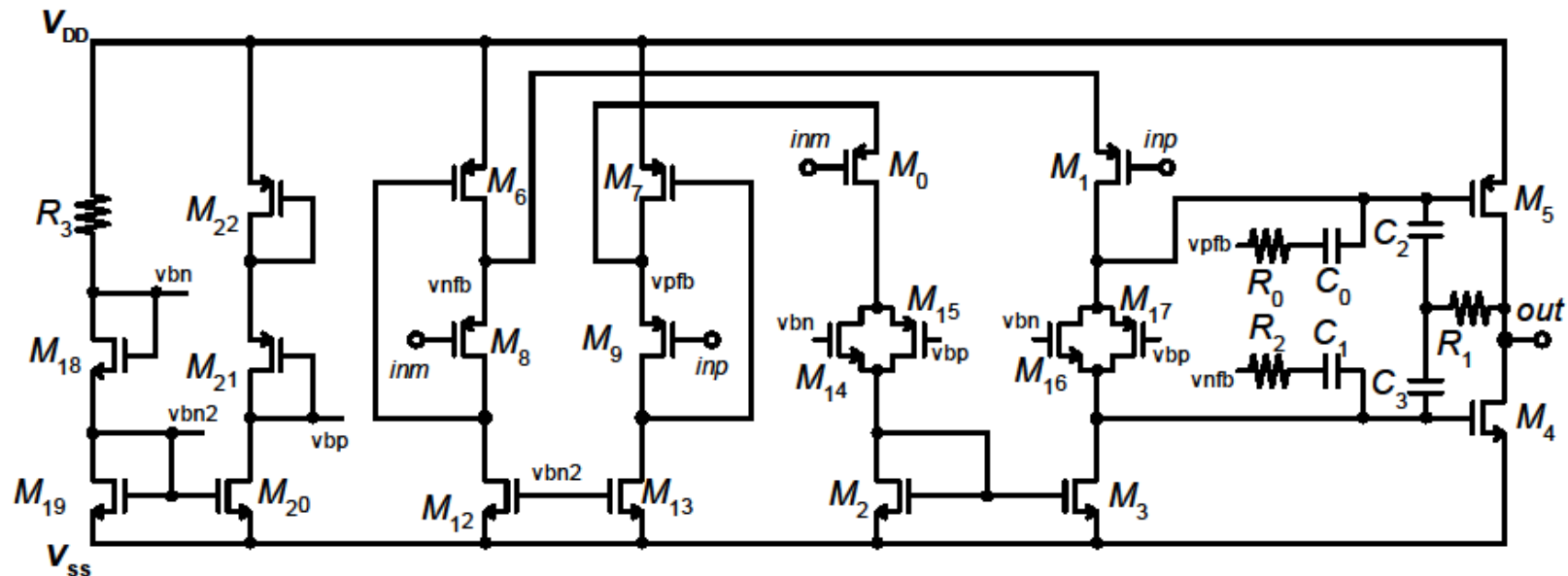
回路設計する際の工夫

- 低消費電力で出力の高負荷 (1 nF)を駆動させる
 - AB級出力段を使用
→出力段だけではスルーレートを満たせない



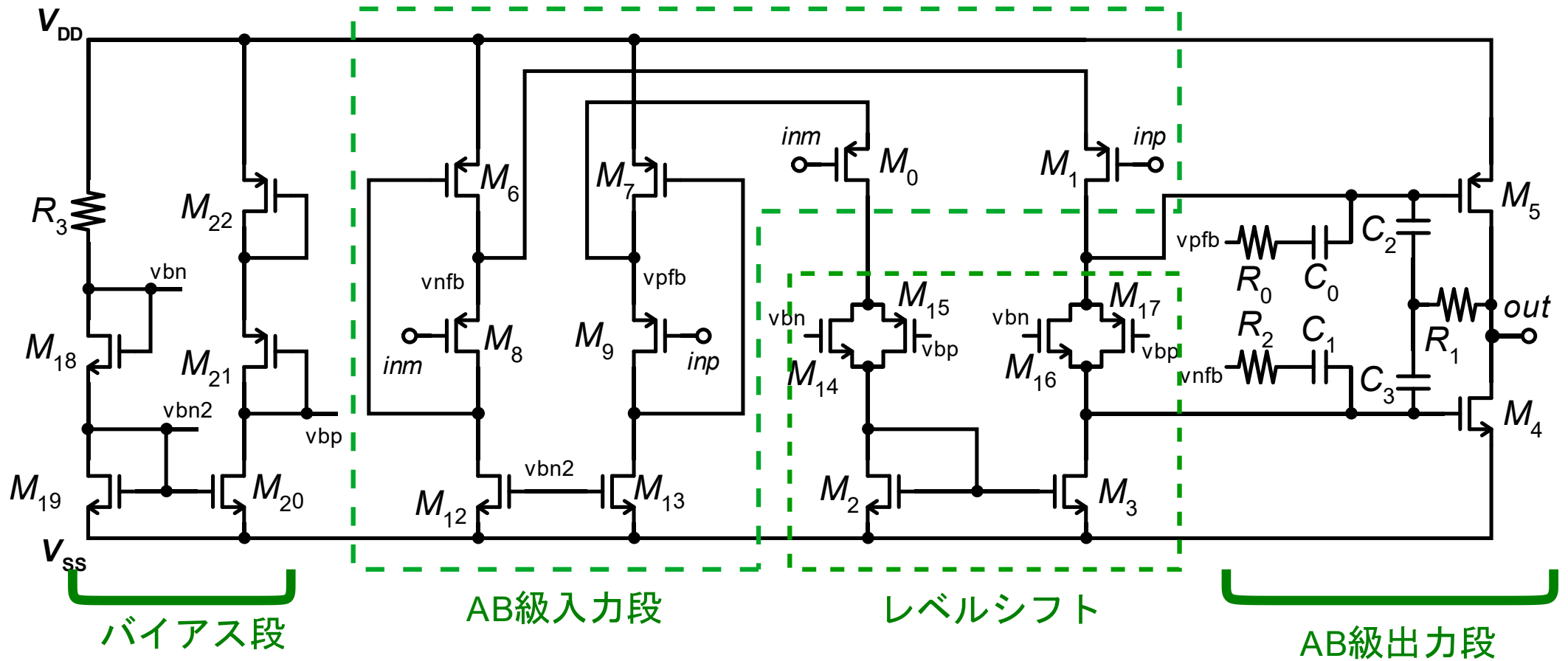
AB級入力段を使用
低消費電力かつ高スルーレート、高ゲインを実現

提出回路



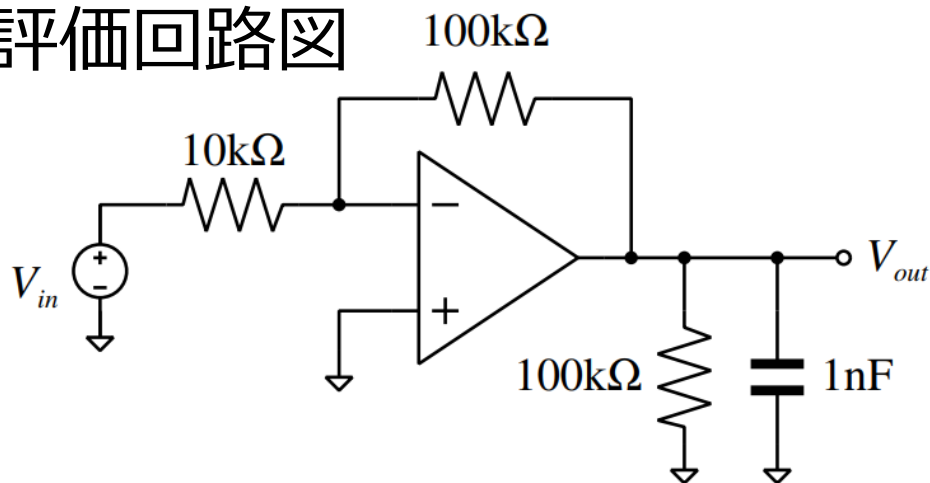
M0: W/L = 12 μ /1 μ m = 4	M7: W/L = 12 μ /1 μ m = 2	M16: W/L = 4 μ /1 μ m = 4	R0: 1.0M Ω
M1: W/L = 12 μ /1 μ m = 4	M8: W/L = 12 μ /1 μ m = 2	M17: W/L = 12 μ /1 μ m = 4	R1: 1.0k Ω
M2: W/L = 4 μ /1 μ m = 4	M9: W/L = 12 μ /1 μ m = 2	M18: W/L = 4 μ /1 μ m = 4	R2: 1.0M Ω
M3: W/L = 4 μ /1 μ m = 4	M12: W/L = 4 μ /1 μ m = 2	M19: W/L = 4 μ /1 μ m = 4	R3: 1.76M Ω
M4: W/L = 4 μ /1 μ m = 4	M13: W/L = 4 μ /1 μ m = 2	M20: W/L = 4 μ /1 μ m = 2	C0: 2.0pF
M5: W/L = 12 μ /1 μ m = 4	M14: W/L = 4 μ /1 μ m = 4	M21: W/L = 12 μ /1 μ m = 2	C1: 2.0pF
M6: W/L = 12 μ /1 μ m = 2	M15: W/L = 12 μ /1 μ m = 4	M22: W/L = 12 μ /1 μ m = 2	C2: 100fF
PMOSのバルクはVDD、NMOSのバルクはVSSに接続			C3: 100fF

提出回路

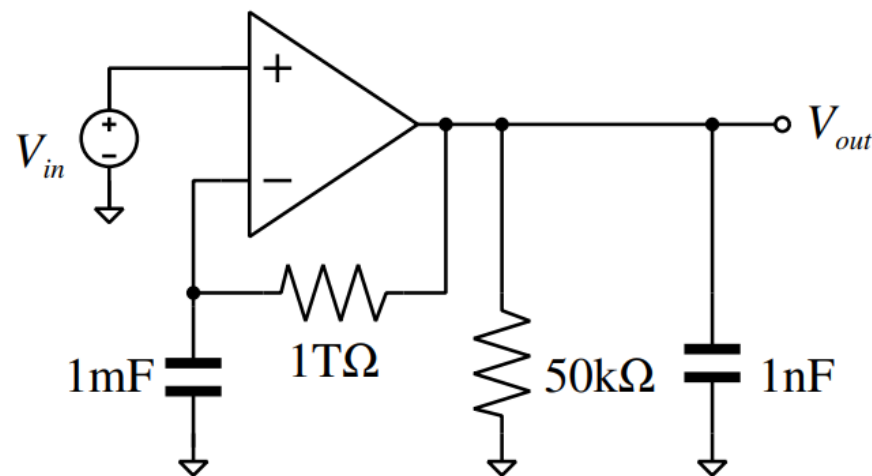


評価回路及び要件

● 評価回路図



(a) デザイン部門の評価回路

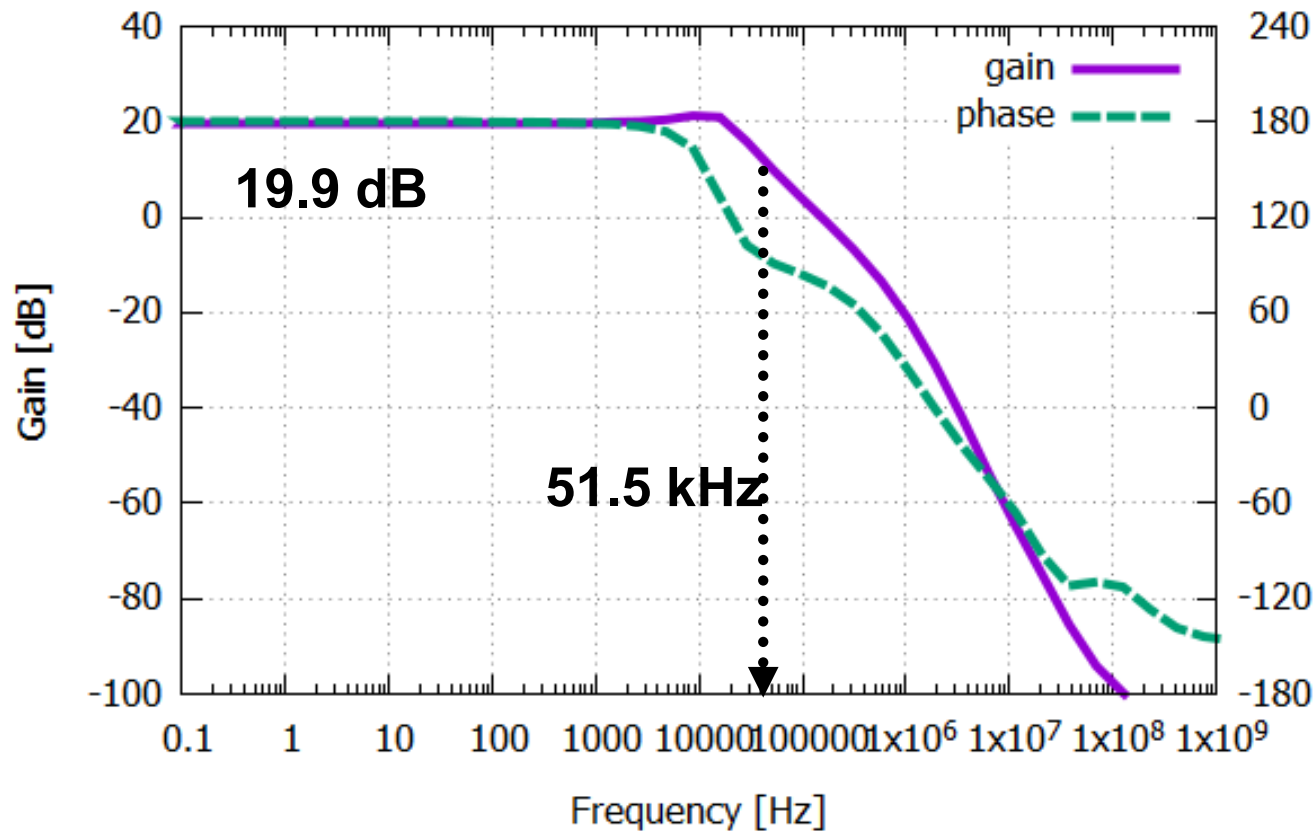


(b) 小信号評価回路

項目	要件	評価回路
直流利得	40 dB以上	(a)
位相余裕	45°以上	(b)
-3dB帯域幅	20kHz以上	(a)
入力電圧範囲	±100mV以上	(a)
スルーレート	±1V/μs	(a)

シミュレーション結果 (1)

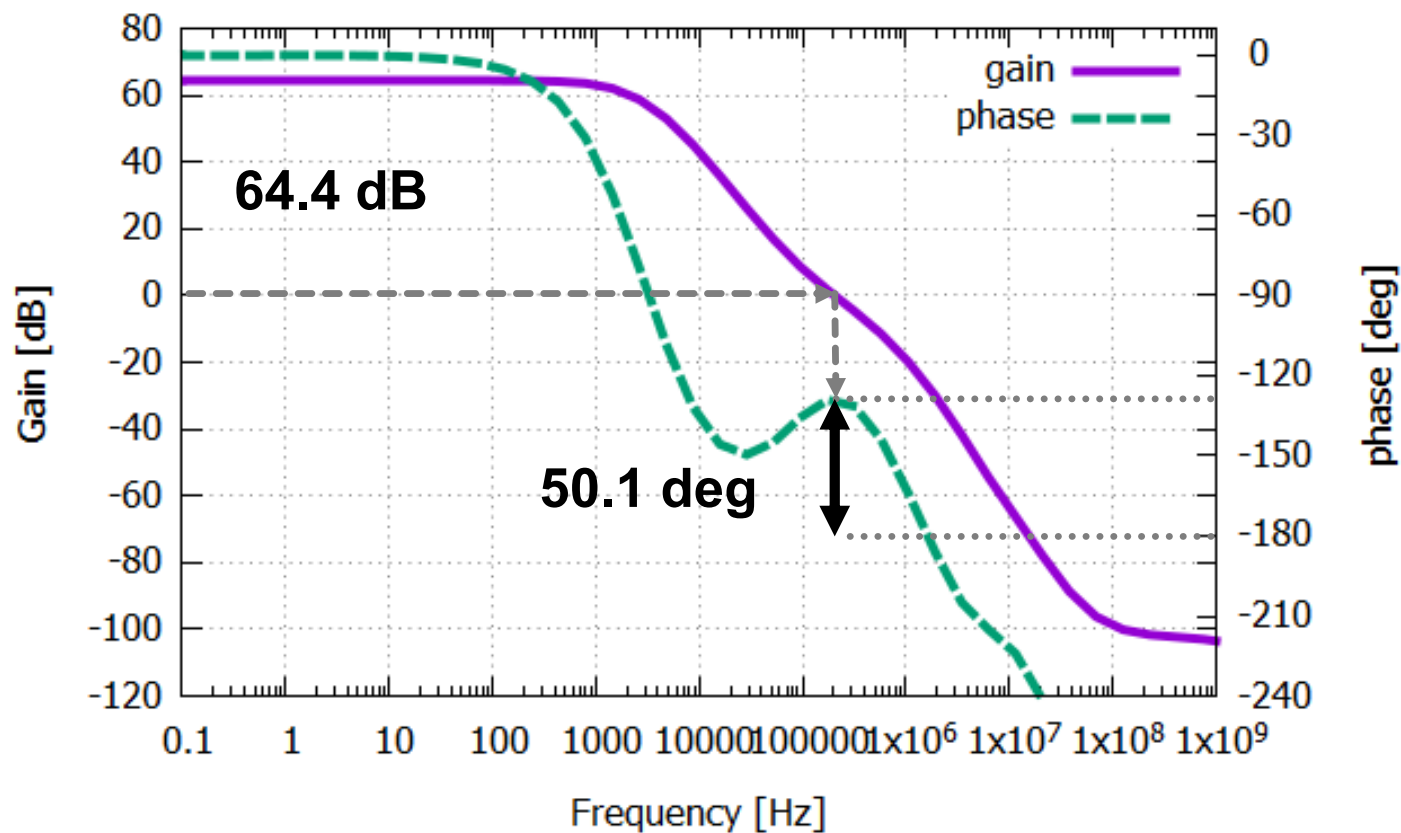
評価回路(a)



- 直流利得
(Closed Loop Gain)
: 19.9 dB
- -3dB帯域幅
: 51.5 kHz

シミュレーション結果 (2)

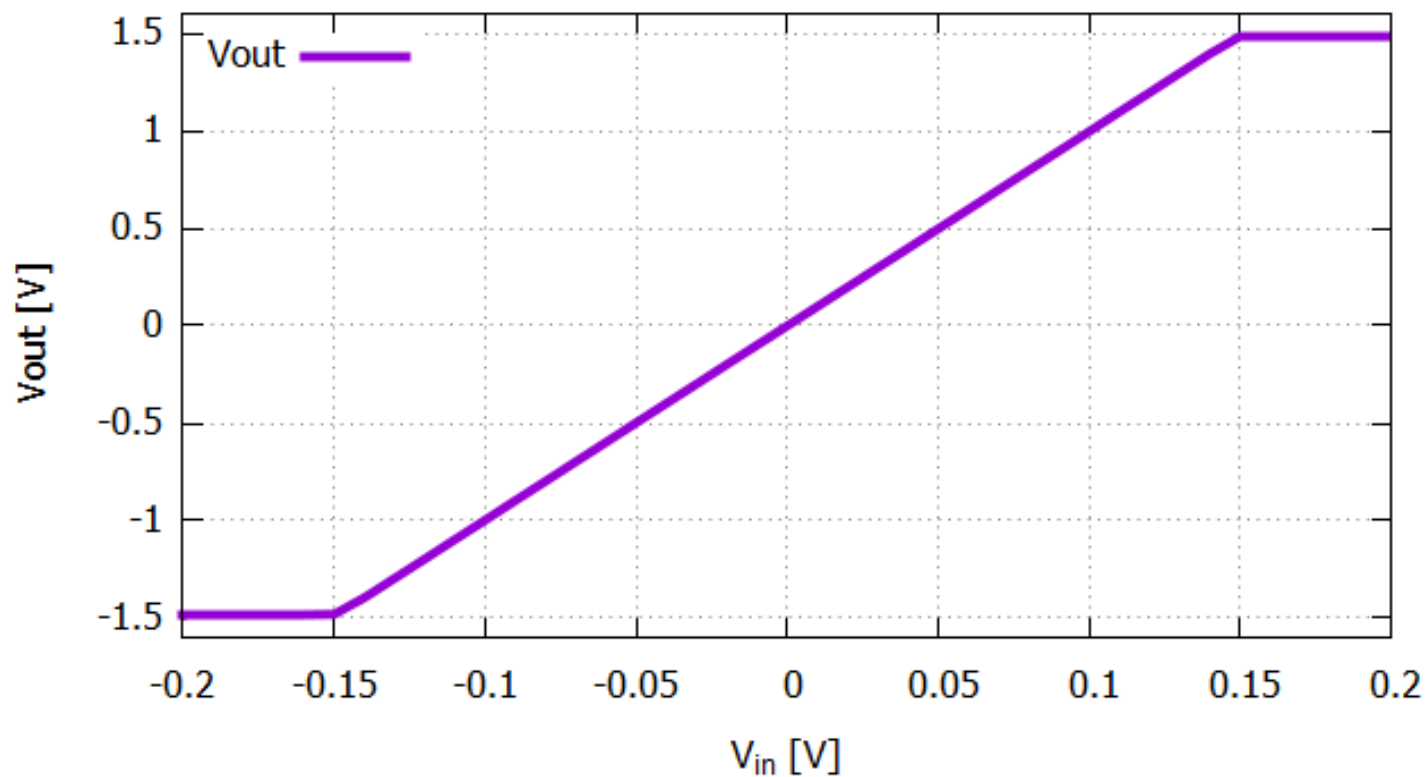
評価回路(b)



- 直流利得
(Open Loop Gain)
: 64.4 dB
- 位相余裕
: 50.1°

シミュレーション結果 (3)

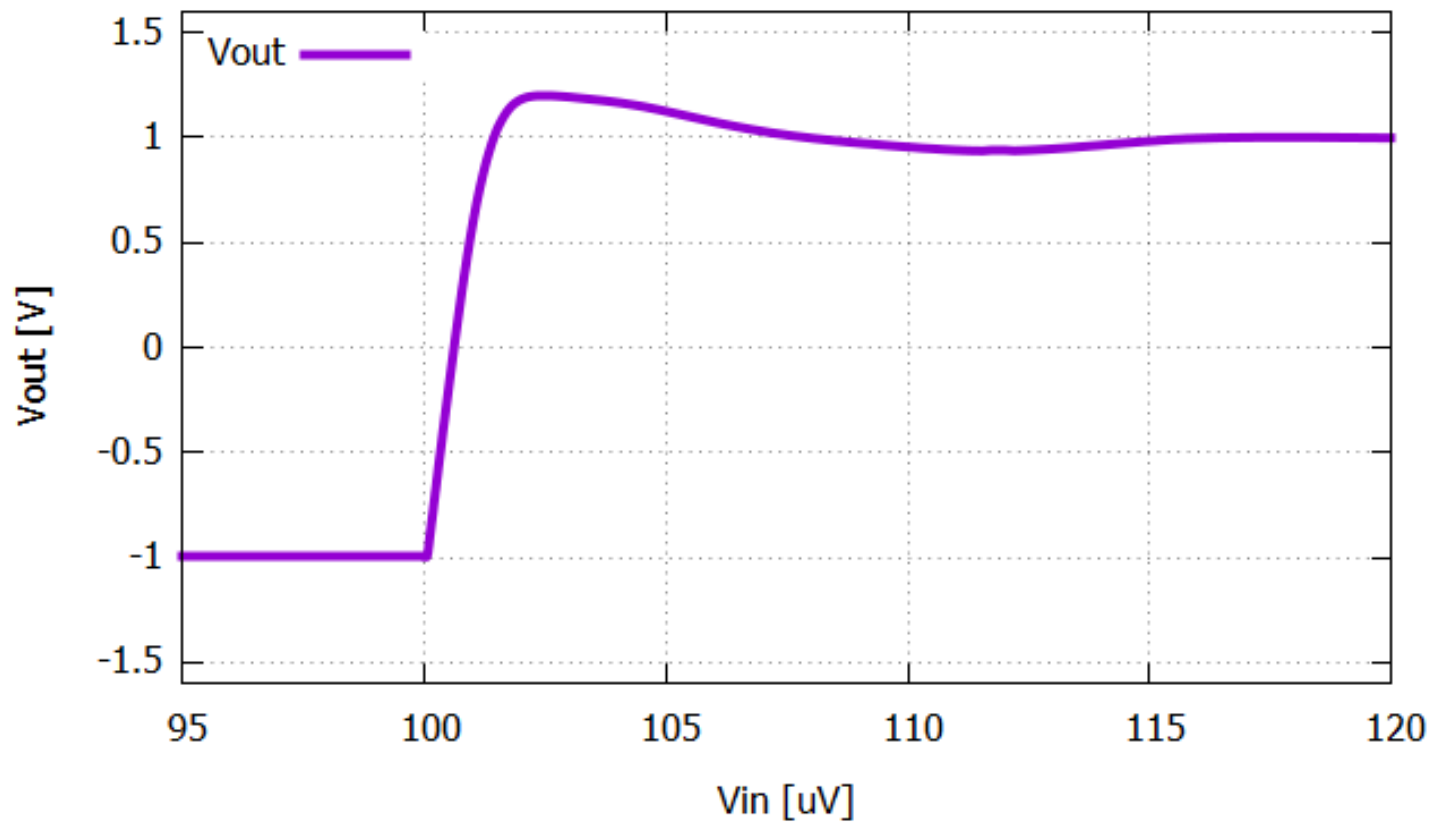
評価回路(a)



- 入力電圧範囲
: ± 145 mV

シミュレーション結果 (4)

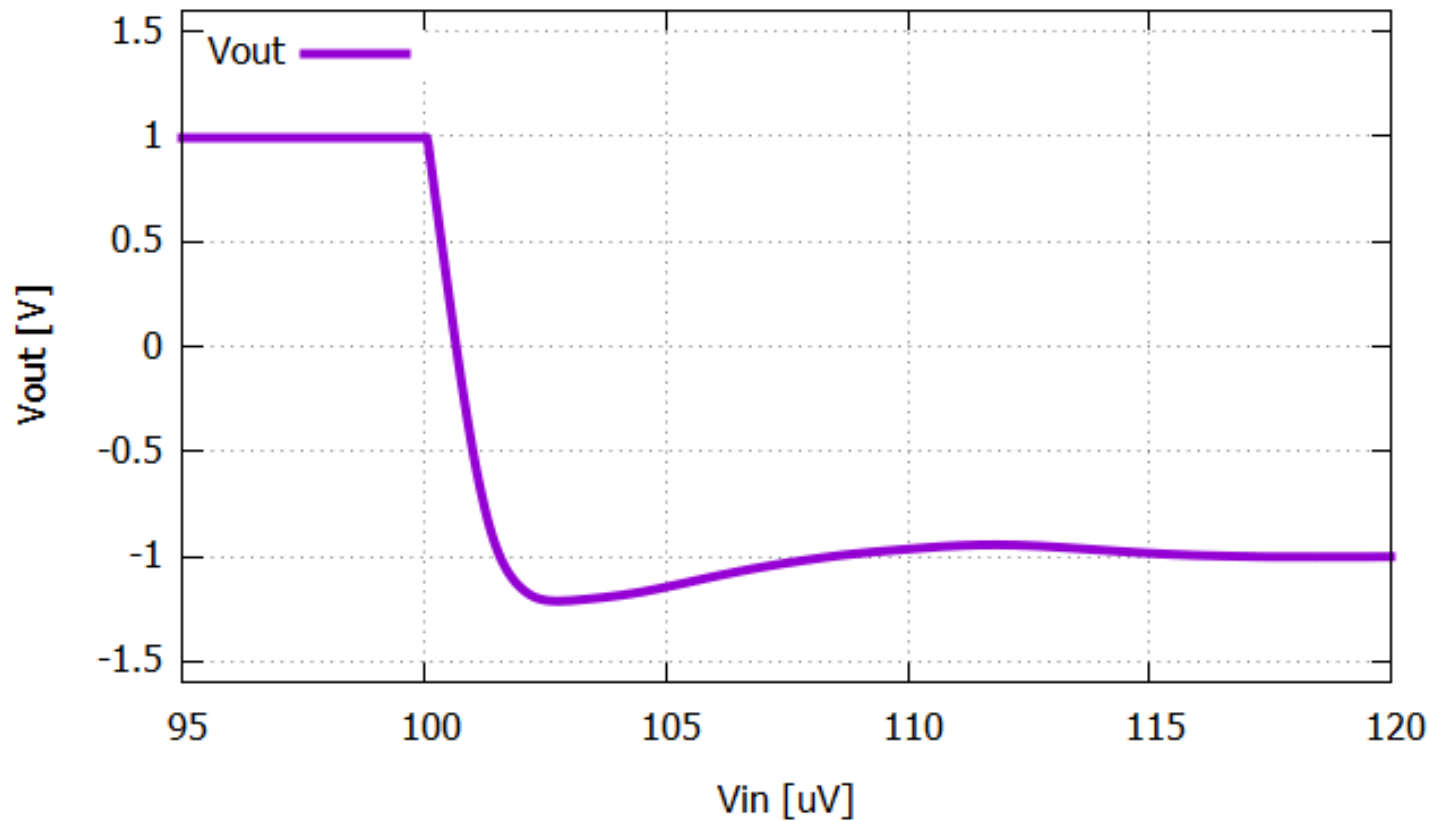
評価回路(a)



- 立ち上がり
:1.50 V/ μs

シミュレーション結果 (5)

評価回路(a)



- 立ち下がり
:1.55 V/ μ s

ばらつき

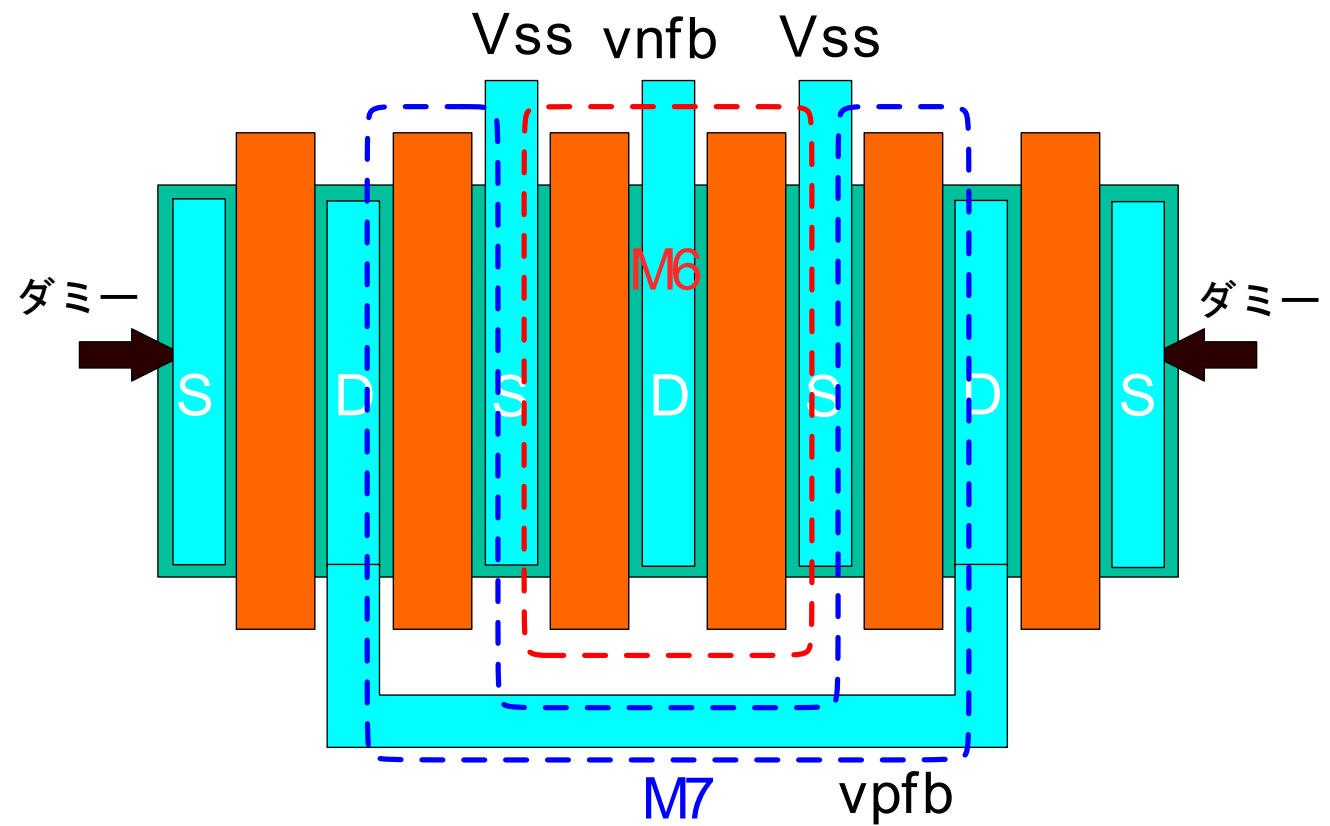
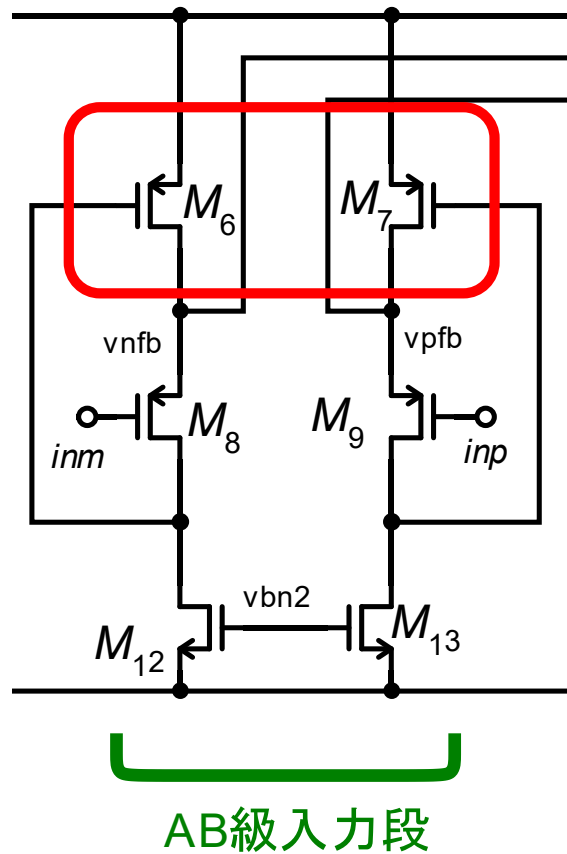
- ばらつきの原因
 - ウエハ上の局所ばらつき
 - ウエハ上の全体ばらつき
 - レイアウト依存のばらつき
- ウエハ上の局所ばらつきはレイアウトでばらつき抑制不可
- レイアウトの面積を小さくすることで全体ばらつきの影響低減
- レイアウト依存のばらつきをレイアウトの工夫で低減する

レイアウトの工夫

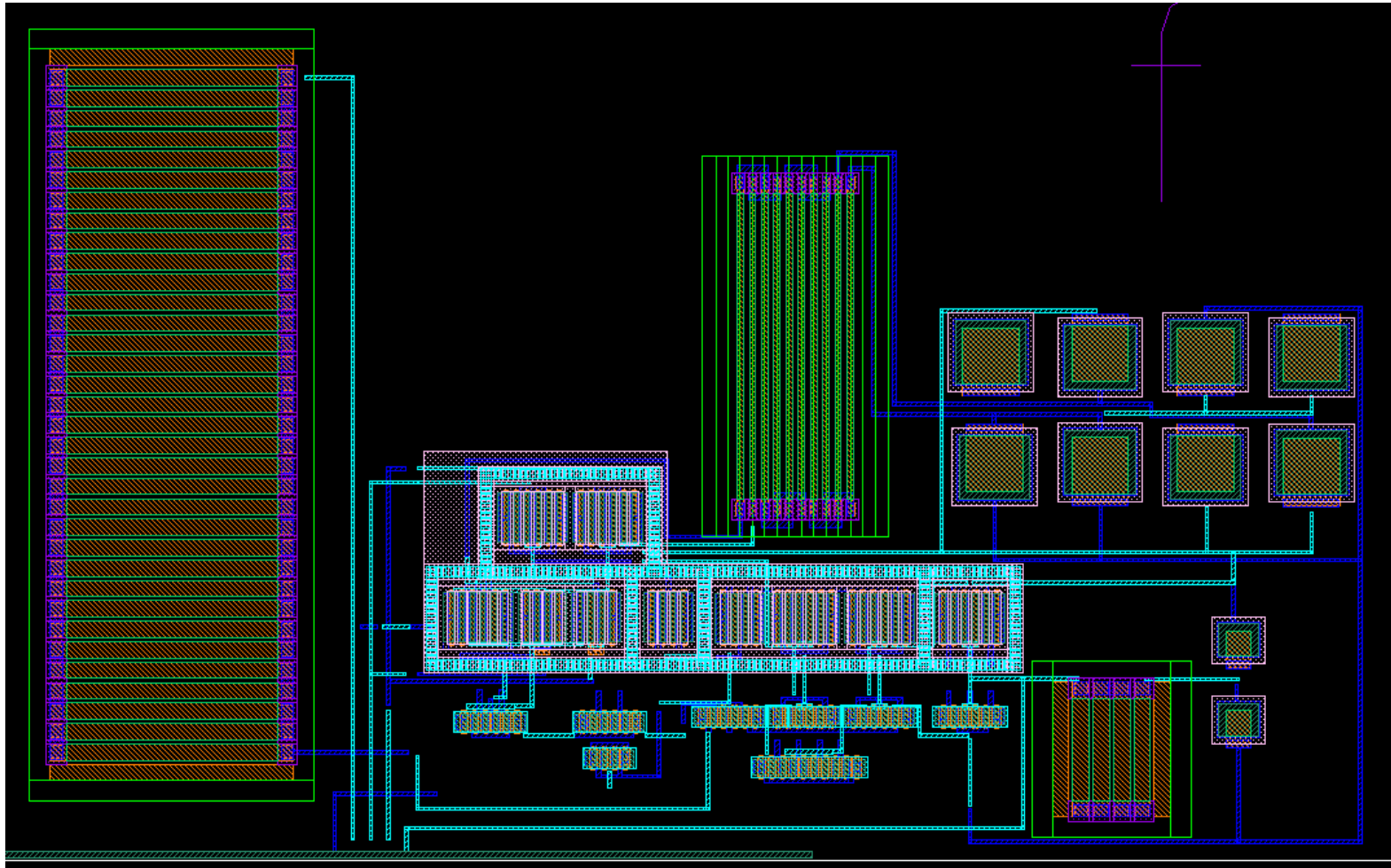
- R、Cのミスマッチ
 - ダミー抵抗の配置
 - コモンセントロイド配置により、キャパシタ間のミスマッチ低減

- MOSFETのミスマッチ
 - コモンセントロイド配置により、差動回路やカレントミラーのミスマッチ低減
 - マルチフィンガーを用いることでドレイン容量を半分
 - ダミーMOSFET

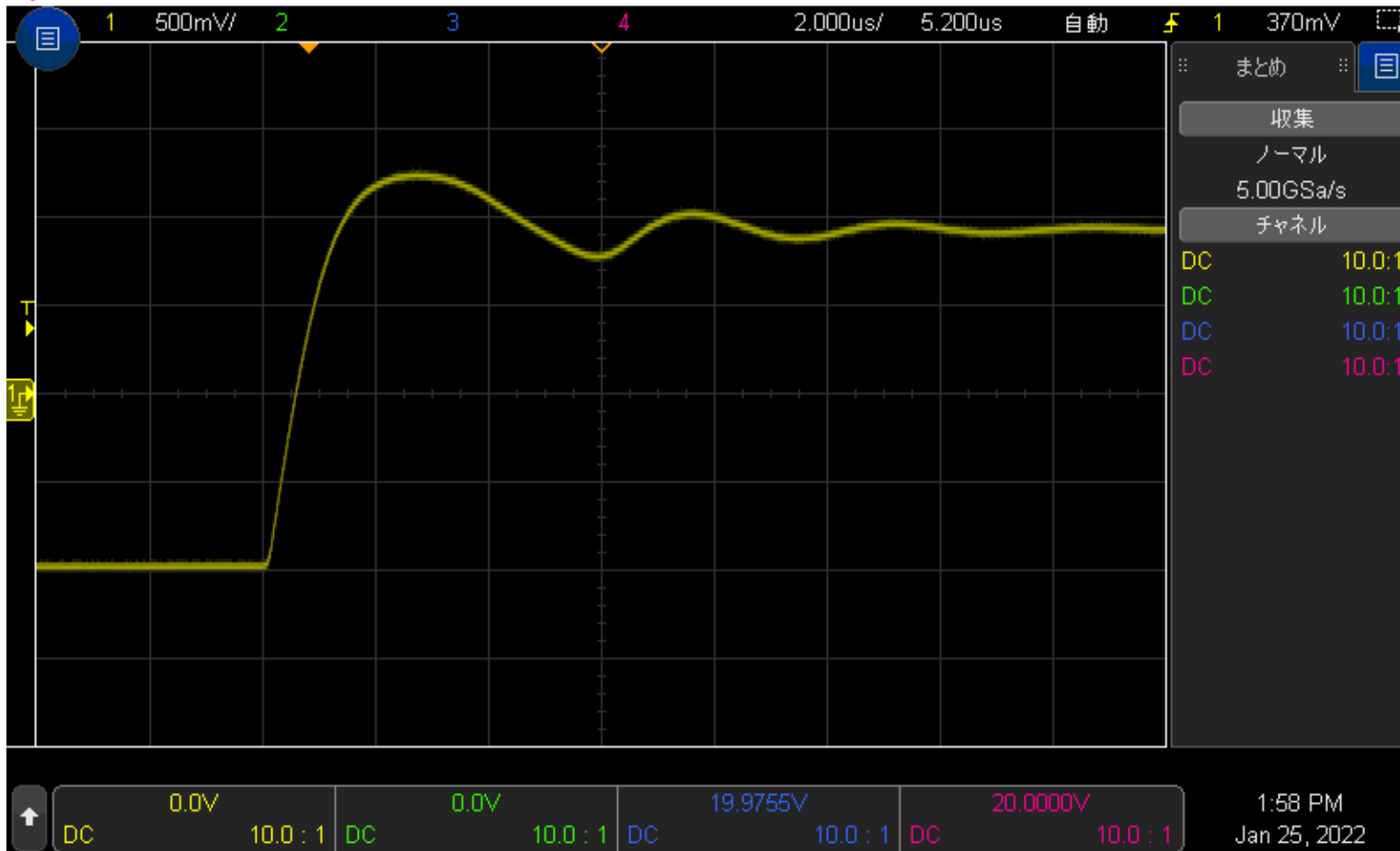
レイアウト例



レイアウト図

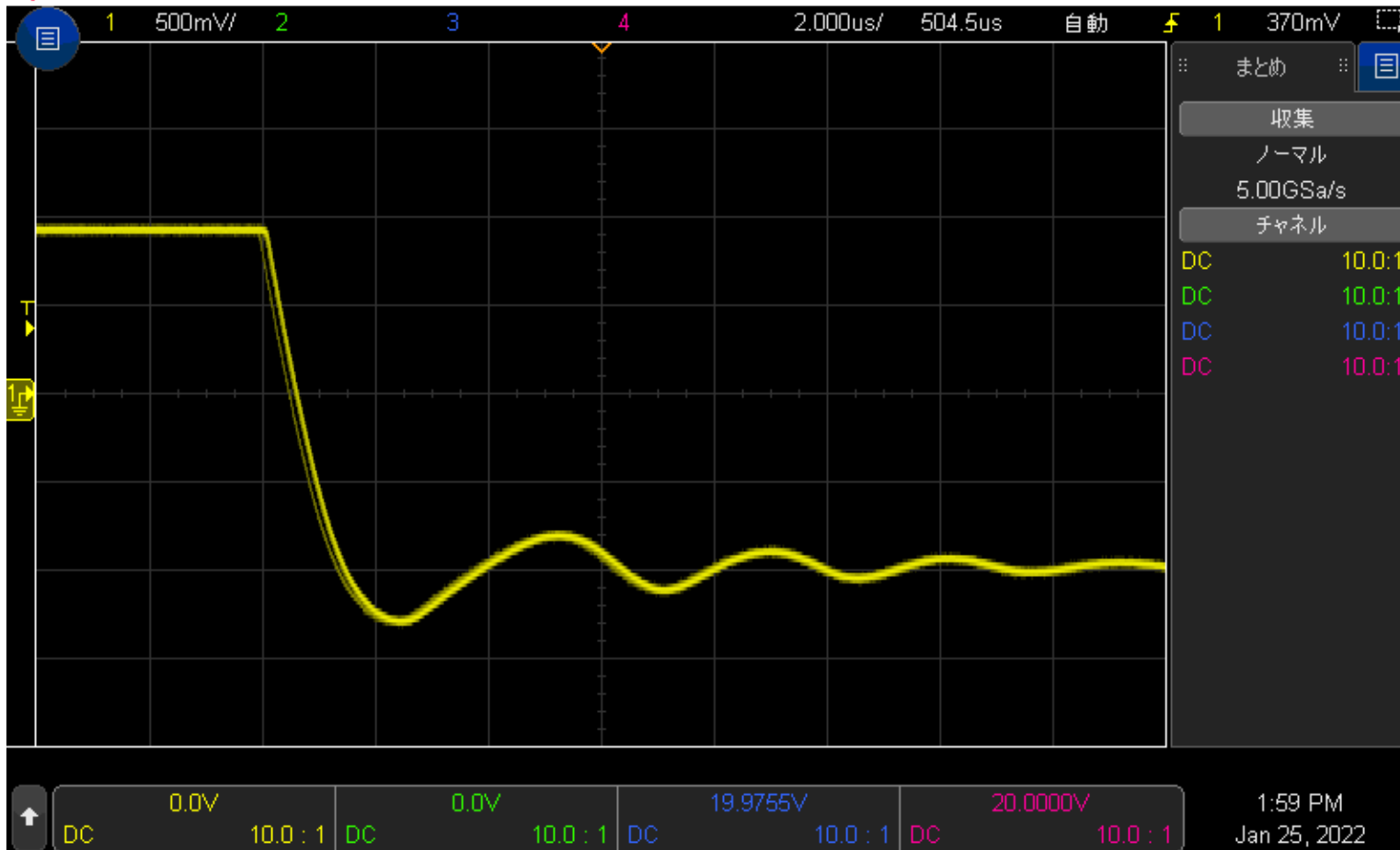


測定結果 (SR: 立ち上がり)



立ち上がり :
1.47 V/ μ s

測定結果 (SR: 立ち下がり)



立ち下がり :
1.41 V/μs

シミュレーション結果と測定結果の比較

	消費電流 [μA]	利得 [dB]	スルーレート [$\text{V}/\mu\text{s}$]		最大入力電圧 [mV]	帯域幅 [kHz]
			立ち上がり	立ち下がり		
要件値			1.0	1.0	100	20
シミュレーション値	6.3	19.9	1.50	1.55	145	50.1
測定値	5.85	19.36	1.47	1.41	130	400
増加率 (%)	7.1	2.7	2.0	9.0	10.3	698.4

- 増加理由

帯域幅：今回はMOSキャパシタを用いたため、シミュレーションで使用した値よりも小さくなっている可能性がある
→メタル配線でキャパシタを作る必要あり

まとめ

- 感想

試作の部門で1位を取ることができた。
消費電流を目標の10 μ A以下にすることができた。
後輩が試作の部で入賞しているので、
来年も兵庫研で1位を取ってほしい

- 謝辞

このような機会を与えてくださった演算増幅器設計コンテスト運営の方々および協賛企業の方々に厚く御礼申し上げます。

本コンテストは東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門(d.lab-VDEC)を通し、
日本ケイデンス・デザイン・システムズ社の協力で行われたものである。