
平成28年 演算増幅器設計コンテスト発表会

2016年12月9日

発表会プログラム

- 入賞者作品解説（シミュレーションの部）

		部門1	部門2	部門3	部門4
14:05	天海弘樹（東京理科大学）				3位
14:15	遠藤大司（東京理科大学）	3位			2位
14:30	吉澤慧（群馬大学）		3位	1位	
14:45	鈴木研人（群馬大学）		2位	1位	
15:00	佐久間大揮（東京理科大学）	1位			1位
15:20	原卓也（東京理科大学）	2位	1位	3位	
15:50	休憩				

- 入賞者作品解説（試作の部）

16:10	薄木崇（東京理科大学）	2位			
16:20	遠藤大司（東京理科大学）	1位			

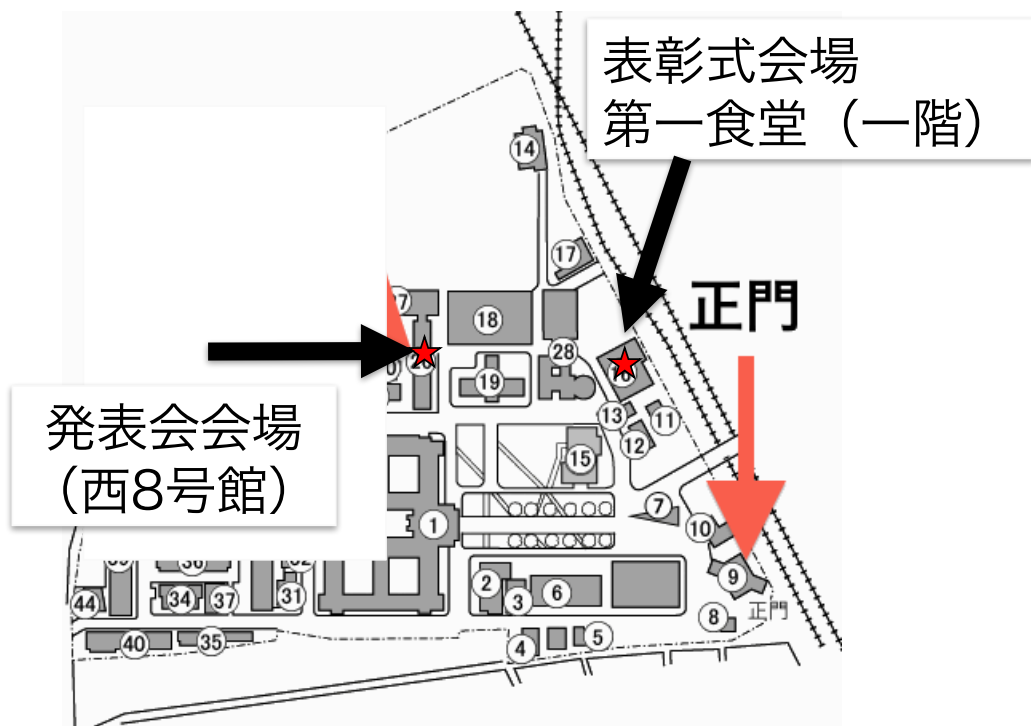
- 講評（兵庫審査委員長）

(敬称略)

協賛企業

- ・ 新日本無線株式会社
- ・ 旭化成エレクトロニクス株式会社
- ・ ザインエレクトロニクス株式会社
- ・ 株式会社エヌエフ回路設計ブロック
- ・ ルネサスエレクトロニクス株式会社
- ・ セイコーNPC株式会社
- ・ エスアイアイ・セミコンダクタ株式会社
- ・ 株式会社 東芝
- ・ 横河電機株式会社
- ・ ダイアログ・セミコンダクター株式会社
- ・ リニアテクノロジー株式会社
- ・ トレックス・セミコンダクター株式会社

表彰式会場のご案内



部門4 3位



東京理科大学 兵庫研究室
修士1年 天海 弘樹

設計方針



部門4 → 消費電流のみ

消費電流とのトレードオフ

消費電流 ↔ スルーレート

消費電流 ↔ 利得

設計方針



消費電流 \longleftrightarrow スルーレート
要件: $1\text{V}/\mu\text{s}$ 以上

チャンネル長Lを最小
位相補償容量を小さく

AB級出力回路

3

設計方針



消費電流 \longleftrightarrow 利得
要件: 40dB 以上

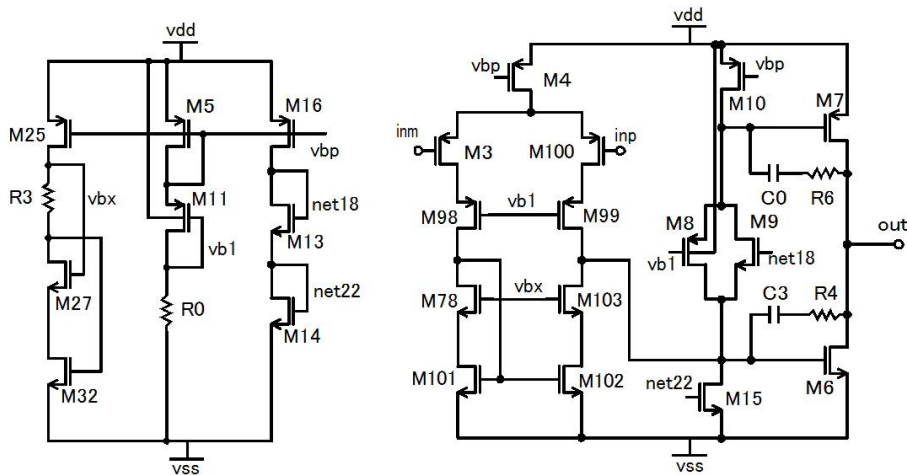
消費電流少 + チャンネル長L最小
利得が足りない!!!

➡ 差動段をカスコード

テレスコピックカスコードを使用

4

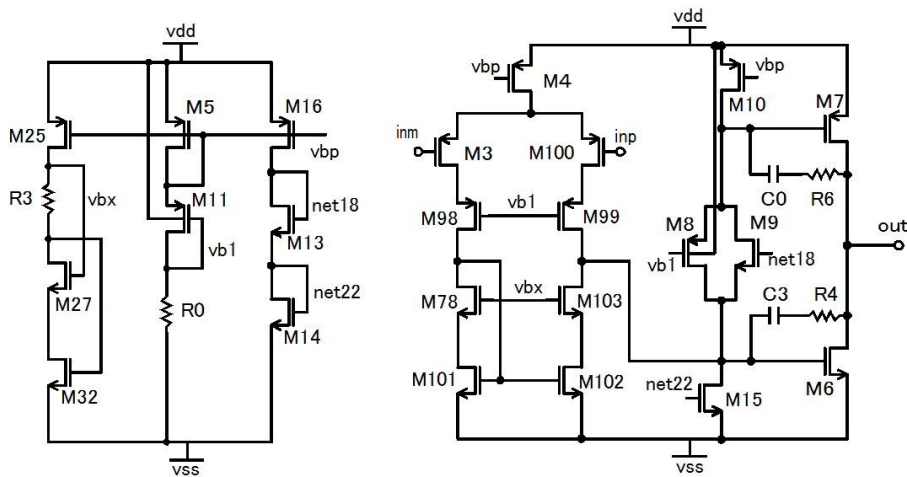
設計回路



NMOSのバルクはすべてvss、PMOSのバルクはM8,11以外全てソース

NMOS	W/L=5u/0.6u	マルチプライヤ			
PMOS	W/L=10u/0.6u	バイアス	差動	レベルシフト	出力
M6	W/L=2.5u/0.6u	1	10or5	2or1	30
M7	W/L=5u/0.6u				5

設計回路



NMOSのバルクはすべてvss、PMOSのバルクはM8,11以外全てソース

R0	2MΩ	C0	700fF
R3	500kΩ	C3	700fF
R4	600kΩ		
R6	600kΩ		

シミュレーション結果



消費電流

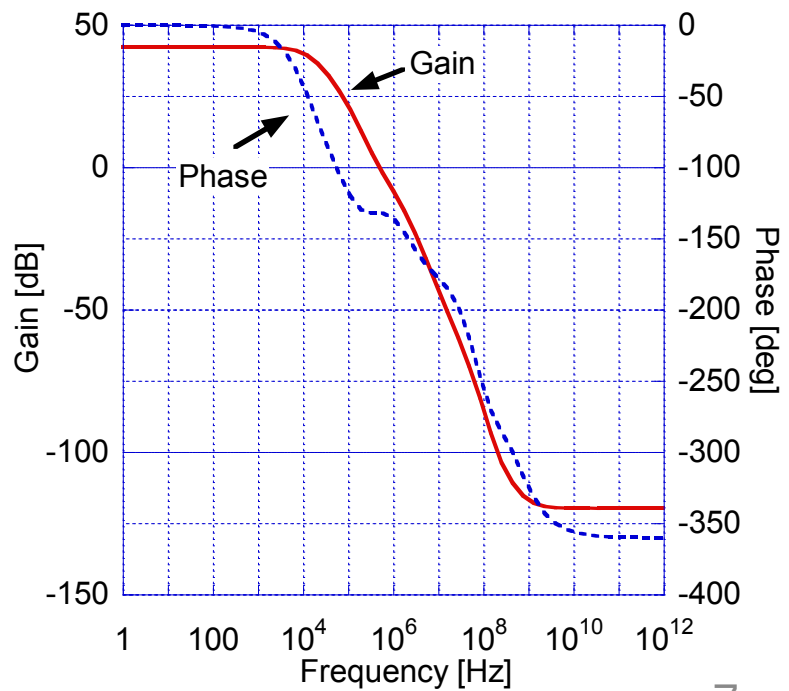
16.9 μ A

利得

42.2dB

位相余裕

48.2 $^{\circ}$

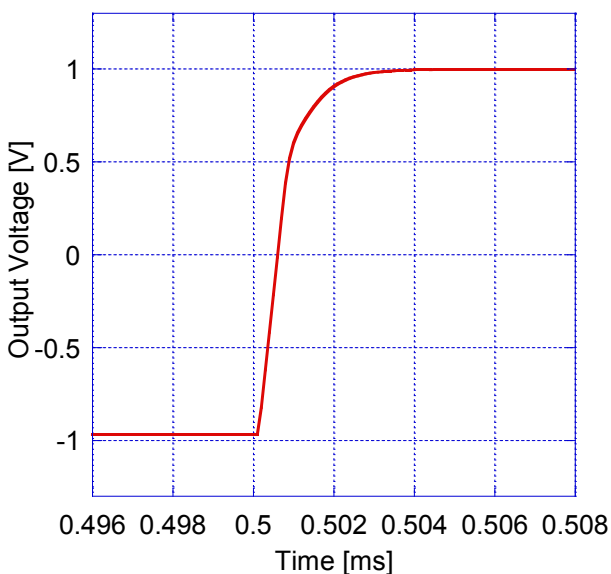


7

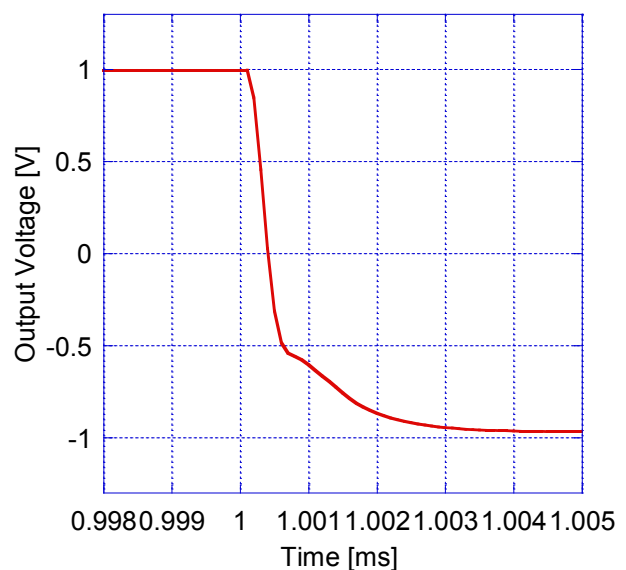
シミュレーション結果



スルーレート



1.04×10^6 [V/s]



-1.03×10^6 [V/s]

8

シミュレーション結果



設計回路性能まとめ

消費電流	16.912 μ A
直流利得	42.2dB
位相余裕	48.2°
スルーレート (立ち上がり)	1.04 $\times 10^6$ V/s
スルーレート (立ち下がり)	-1.03 $\times 10^6$ V/s

9

感想



- ✓ 去年は基本的な演算増幅器を設計することで終わってしまったが、今年はそれぞれの部門に対して適したトポロジーを考え設計ができた
- ✓ 回路設計は難しいと感じる点が多いが楽しんで設計をすることができた
- ✓ 回路設計について学ぶとてもいい機会となったので、来年以降の開催も楽しみにしています！

10

2016.12.09

演算増幅器設計コンテスト
シミュレーションの部 (公開用スライド)
第1部門 3位
第4部門 2位
試作の部 1位

東京理科大学 電気工学研究科 2年 遠藤大司

コンテストの自分ルール

- 1、手の内を隠さない
→ アイディア・ノウハウは積極的に公開
- 2、現在の最高スコアを隠さない
→ スコアランキングでのステルス行為はしない

議論が活発になり競争も激化
より高いスコアの回路が提出できる

第一部門

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得[dB]}}{\text{消費電流}}$$

今年から直流利得の単位が[倍]から[dB]に変わる

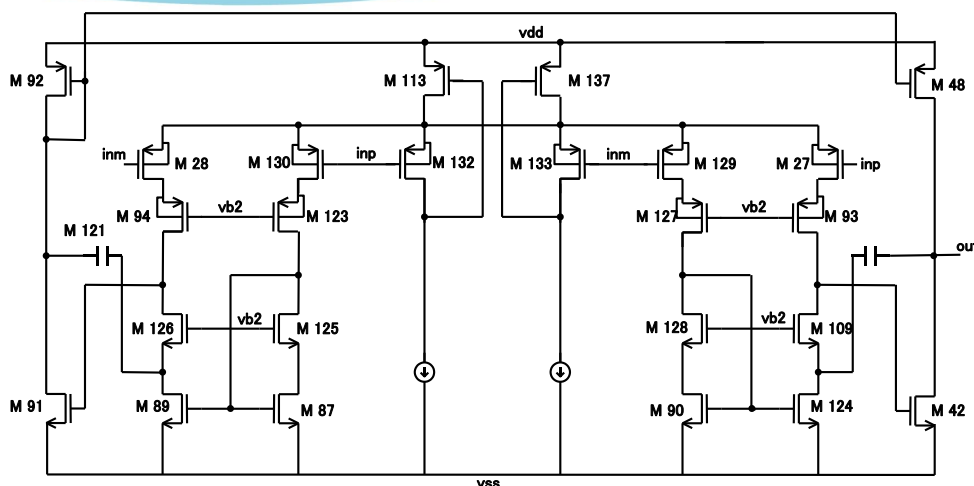
昨年のように200dB近い直流利得が必要ない

40~120dB程度の直流利得で

スルーレート・消費電流を競う部門へ変化

3

AB/AB級OPアンプ



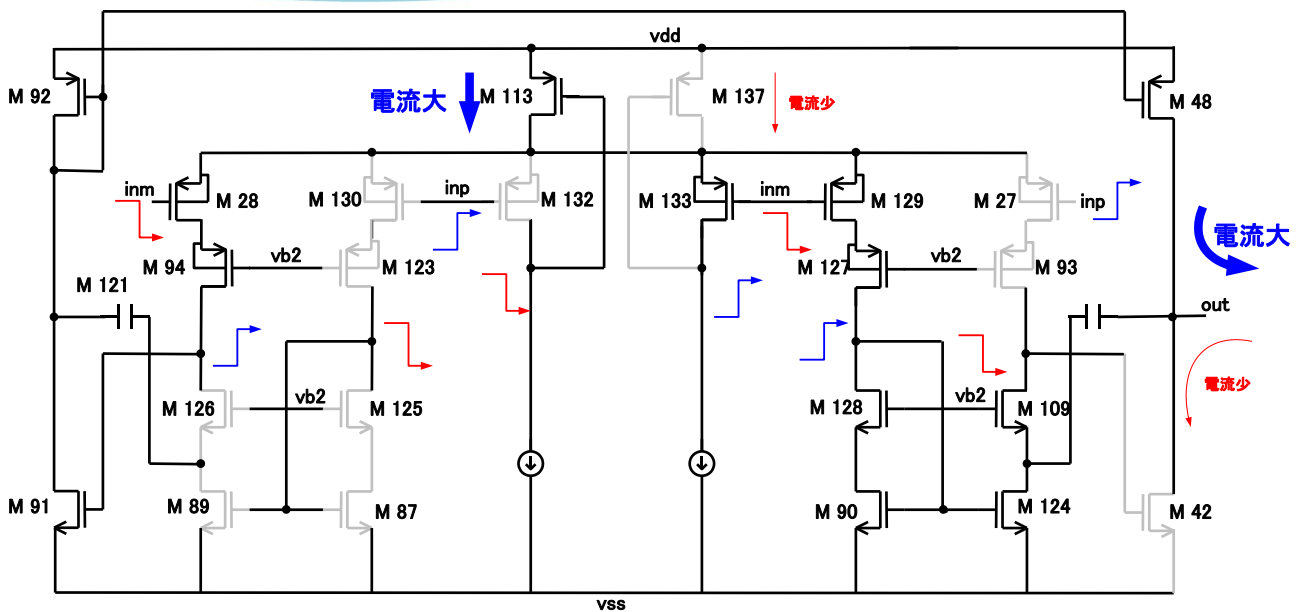
参考文献[1]の回路をカスコード化しシングルエンドにした。

カスコード化したAB/AB級アンプで
利得とスルーレートの上昇を狙う

[1]S. Thoutam, J. Ramirez-Angulo, A. -Lopez-Martin and R.G. Carvajal, "POWER EFFICIENT FULLY DIFFERENTIAL LOW-VOLTAGE TWO STAGE CLASS AB/AB OP-AMP ARCHITECTURES", ISCAS, 2004,p733-p736

4

AB/AB級OPアンプの動作



テール電流源と出力段の電流が入力信号によって大きく変化
→入力差動段と出力段がAB級動作

5

スルーレートを上げるために

- MOSのサイズを最小サイズ近くまで下げる
- 寄生容量が減り、スルーレートが上がる
- セカンドポールが高周波に
- 位相補償容量を減らせる
- スルーレートが更に上がる

MOSサイズ最小から設計をスタートする

6

スルーレートを上げるために

第1部門で上位入賞を目指す時

位相補償容量100fFは**巨大**

位相補償容量は出来るだけ小さくしたい

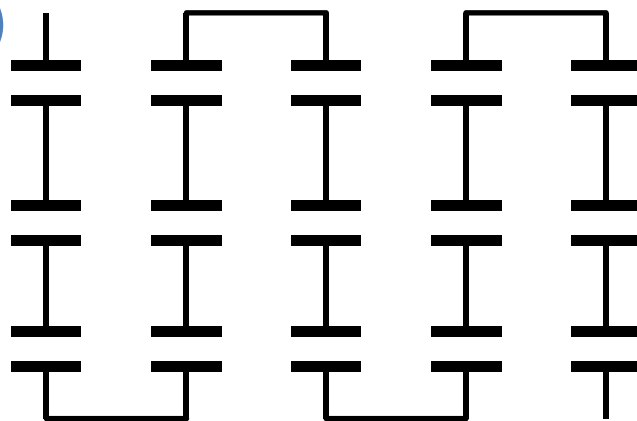
しかし、コンテストの最小容量100fF

→無いならば、作ればいい！

7

直列コンデンサ

試しにやってみる



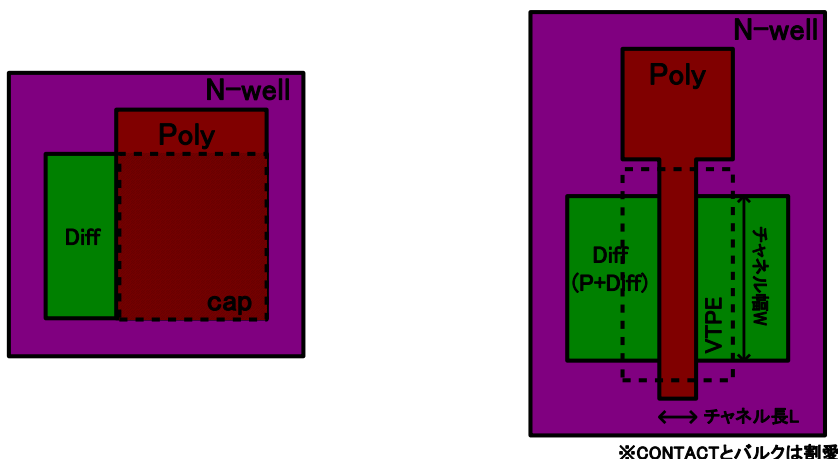
単純にコンデンサを直列繋ぎにするだけでは

コンデンサ間の直流電圧が決まらず

コンテストに提出できない

8

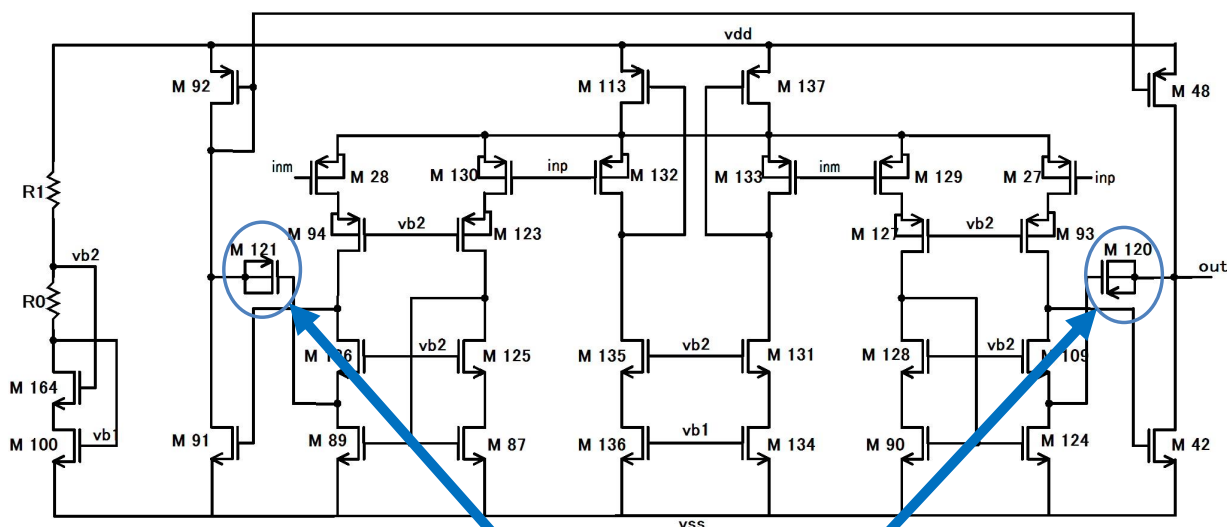
MOS容量



試作の部を思い返してみると
コンデンサとMOSトランジスタは構造が似ている
MOSトランジスタを容量として使えるのでは？

9

第1部門 提出回路



位相補償容量をMOS容量に変更

100fF以下の位相補償容量を達成

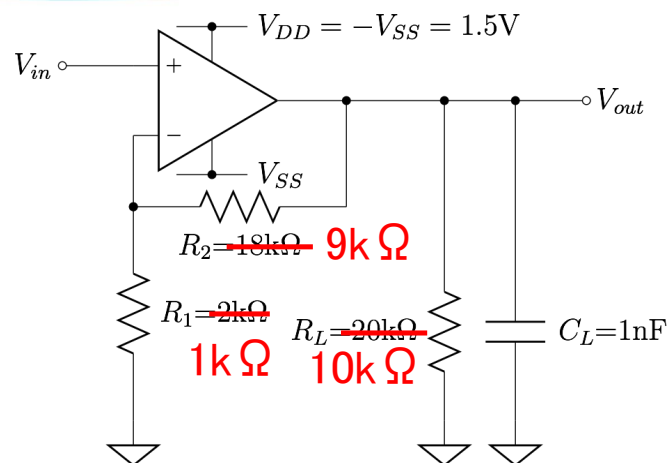
10

第1部門 3位 スコア

スルーレート	1.20[V/nsec]
消費電流	5.11[μ A]
同相入力範囲	96.8[%]
直流利得	85.2[dB]
スコア	1.94×10^{18}

11

第4部門 要件とポイント



審査回路 10倍の非反転増幅回路

第1～3部門 0.18 μ mプロセス

第4部門、試作の部 0.6 μ mプロセス

試作の部と比べて負荷抵抗値が2分の1に！

12

第4部門 要件とポイント

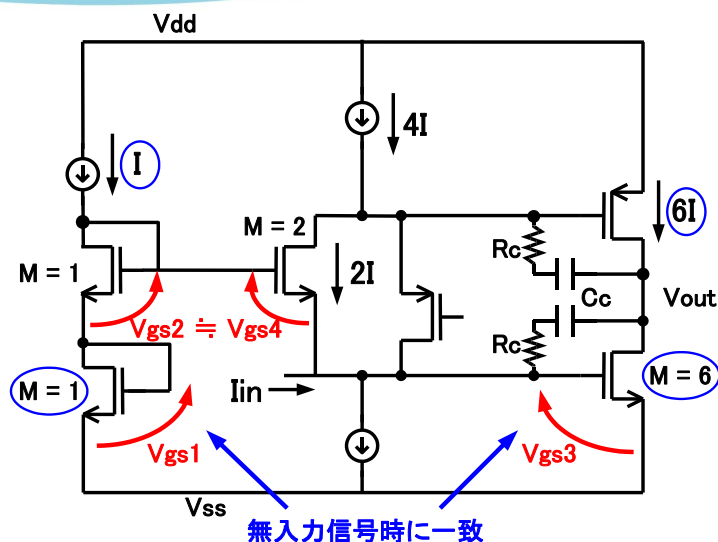
○求められる要件

電源電圧	3V(±1.5V)
直流利得	40dB以上
位相余裕	45度以上
帯域幅	20kHz以上
出力オフセット電圧	±0.1V以上
スルーレート	1V/μs以上
占有面積	0.2mm ² 以内

スルーレートを維持し、消費電流の低さを競う

13

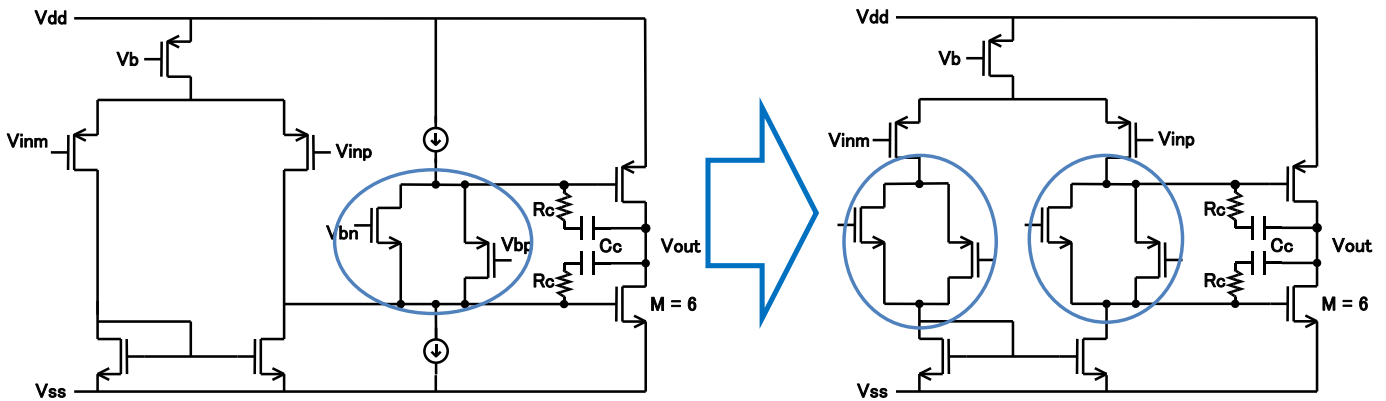
AB級出力段バイアス設計



LとWを変更するとMOSの特性が変わるため
Multiplireの比で無信号時の出力段の電流を決定
MOSサイズ同じ Vgs1とVgs3を一致させる

14

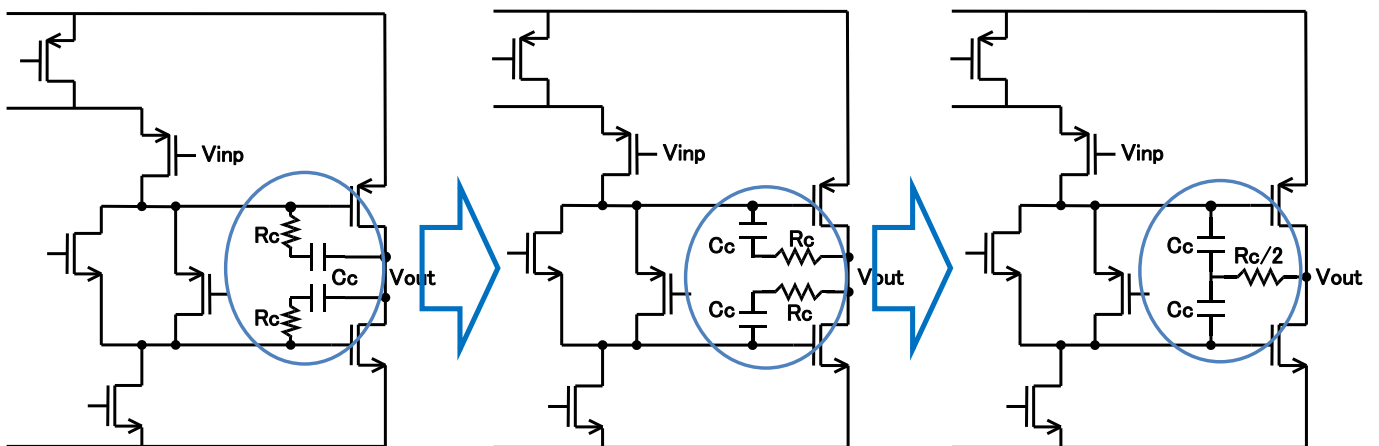
AB級出力段 Floating bias



電流パスを減らすため
バイアス回路を差動段に挿入する

15

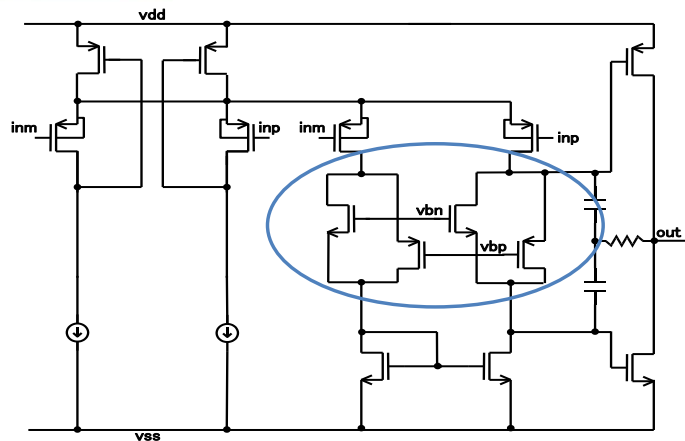
位相補償部分のT字繋ぎ



位相補償用の抵抗 R_c をT字繋ぎする
抵抗値を2分の1にできる
スルーレート上昇

16

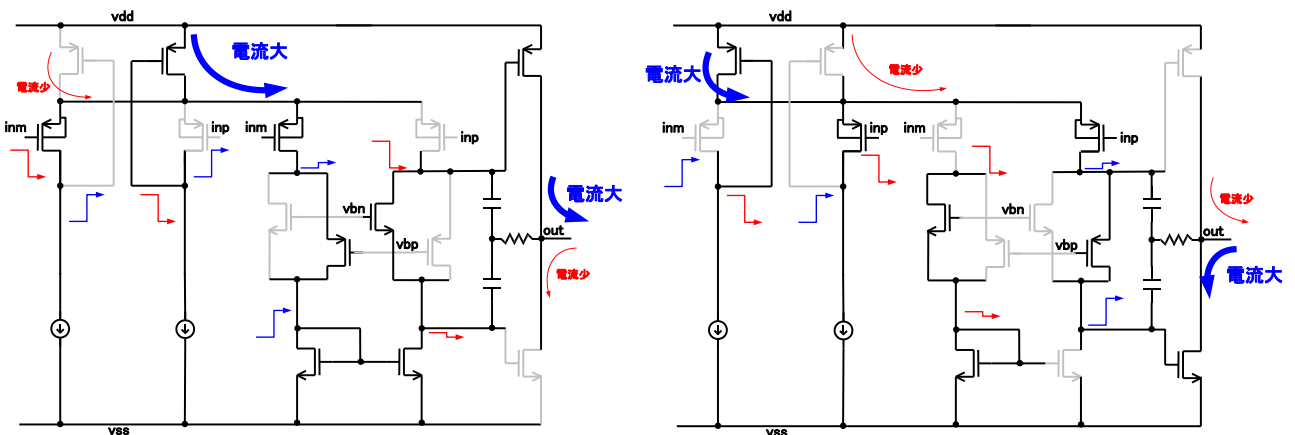
AB/AB級OPアンプ



参考文献[1]の回路にFloating Biasを挿入。
AB/AB級アンプの電流パスが減少

[1]S. Thoutam, J. Ramirez-Angulo, A. -Lopez-Martin and R.G. Carvajal, "POWER EFFICIENT FULLY DIFFERENTIAL LOW-VOLTAGE TWO STAGE CLASS AB/AB OP-AMP ARCHITECTURES", ISCAS, 2004,p733-p736

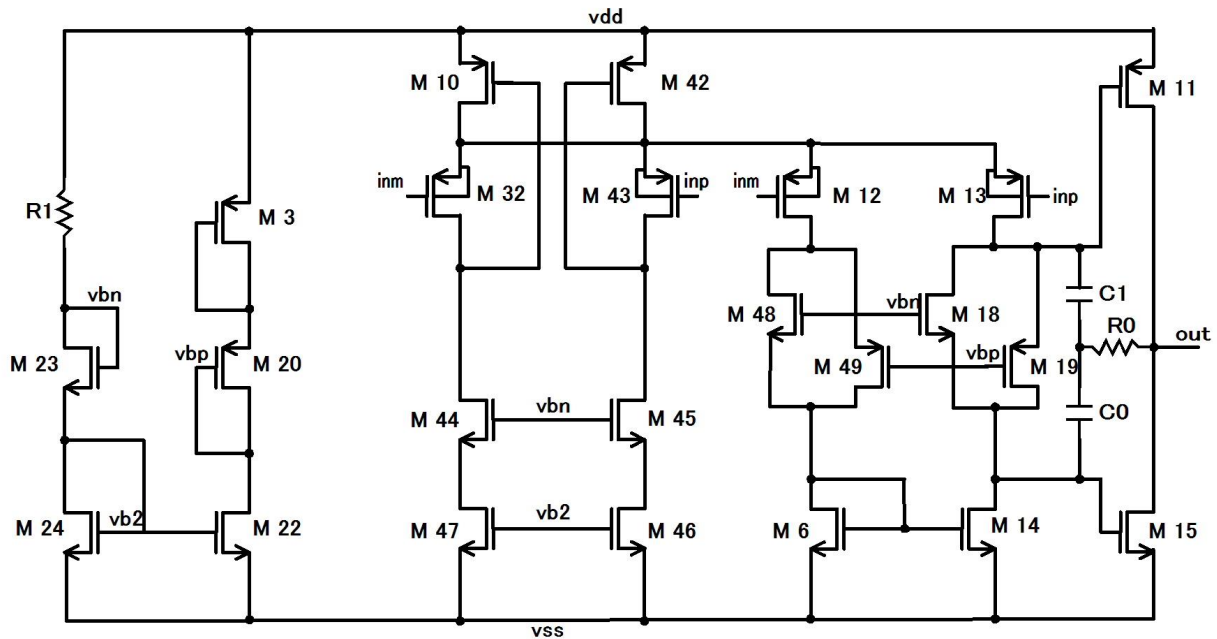
AB/AB級OPアンプの動作



大振幅入力時 テール電流源と出力電流が上昇

AB/AB級動作により
内部・外部スルーレート上昇

提出回路



試作の部で設計した回路のマージンを削り
消費電流を低減

19

第4部門 2位 スコア

試作の部の消費電流	第4部門の消費電流	1位の方の消費電流
38.4 μ A	12.31 μ A	11.75 μ A

1位のスコアに560nAの差で敗北してしまったが
負荷が2分の1になったにも関わらず
試作の部で設計した回路よりも
3分の1以下に消費電流を下げられた

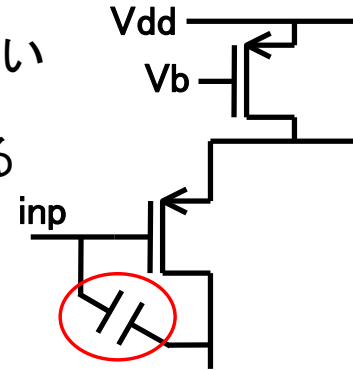
20

二つ以上の立ち上がり立ち下がり問題

コンテスト初心者は、ネットリストを提出したとき「スルーレートに二つ以上の立ち上がり立ち下がりがあります」というエラーで躓く。

→原因がわかりにくく、これで諦める人も多い

このエラーは入力のMOSの寄生容量によるフィードパスが原因であることが多い。



解決方法の例

- 1、入力のMOSのサイズを小さくする
- 2、ミラー効果の影響を小さくする
- 3、入力をローパスフィルタをつける

21

感想

- ・オペコンを通して多くの回路技術を学ぶことができた。
- ・研究室での議論が活発になった。
- ・~~×~~切りギリギリまでスコアを追い越し追い越されを繰り返し、お互いに切磋琢磨できた。

(スコアの更新停止後もホワイトボードに研究室でのお互いのスコアを書き出して競争した。)

このような貴重な機会を設けていただき、
真にありがとうございました。

22

※追記 カスコード構成について

高利得OPアンプを設計する際
MOSのカスコード構成はよく利用される。

↓

しかし、カスコード構成に用いるバイアス回路や
カスコードによってなぜ出力抵抗が増えるのか
初学者はなかなか感覚が掴みにくい。

↓

そこで、カスコード構成についてと
今回、勉強したものの提出回路に使用しなかった
レギュレーテッド・カスコード回路と正帰還補償について簡単に纏める。

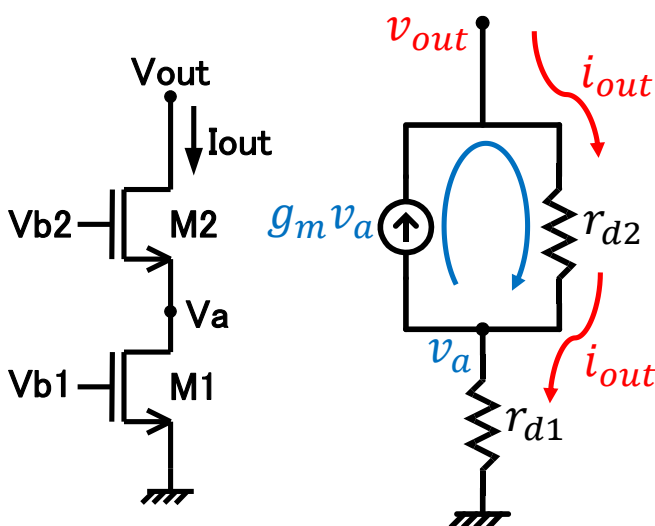
23

出力抵抗が上がる理由の考え方の例

$$\uparrow\uparrow Z_{out} = \frac{v_{out}}{i_{out}} \downarrow\downarrow$$

出力インピーダンス

v_{out} 一定としたときに必要な i_{out} を
減らすことにより Z_{out} が上がる



考え方①

$$v_{out} = (i_{out} + g_m v_a) r_{d2} + v_a$$

$g_m v_a$ が電流を補うことで
必要な i_{out} 減る

→ Z_{out} が増える！

考え方②

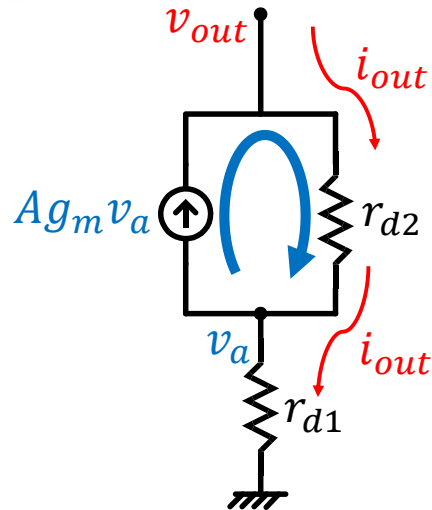
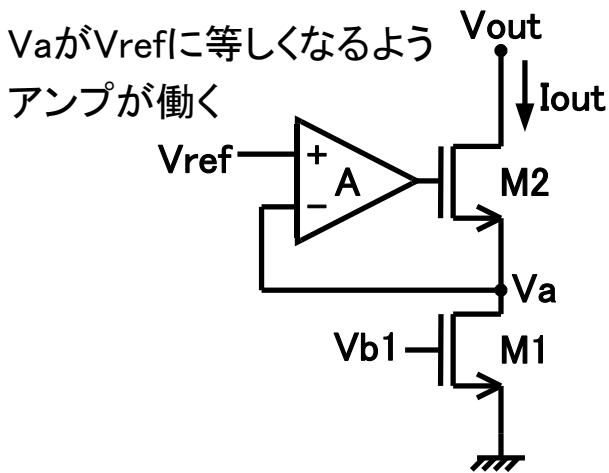
$$i_{out} = \frac{v_a}{r_{d1}}$$

信号振幅 v_a が小さくなることで
必要な i_{out} 減る

→ Z_{out} が増える！

24

レギュレーテッド・カスコード回路



考え方①

$$g_m v_a \rightarrow A g_m v_a$$

$A g_m v_a$ が電流を補うことで
必要な i_{out} 減る

→ Z_{out} が増える！！

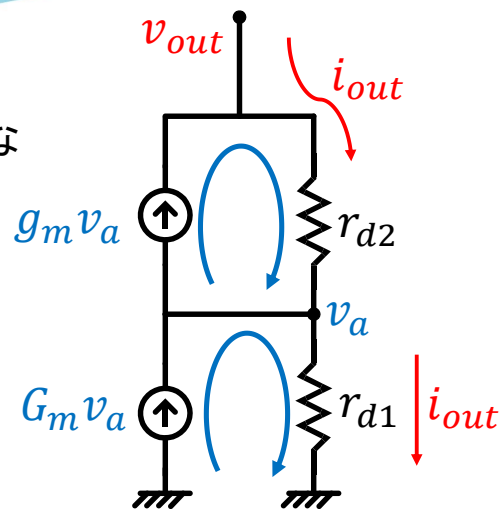
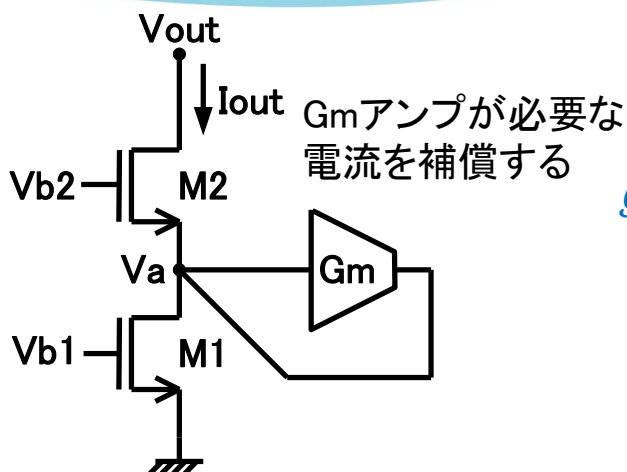
考え方②

追加されたアンプ働きにより
信号振幅 v_a が小さくなること
で必要な i_{out} 減る

→ Z_{out} が増える！！

25

正帰還補償

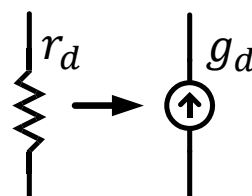


考え方の例

$$v_a = (i_{out} + G_m v_a) r_{d1}$$

$G_m v_a$ が電流を補うことで
必要な i_{out} 減る

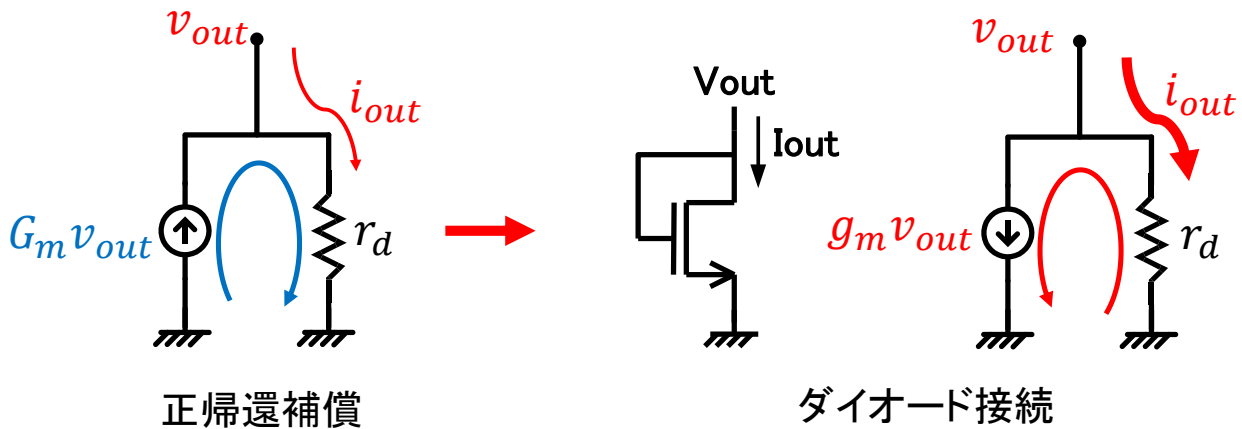
→ Z_{out} が増える！！



※方程式を立てる際は
 r_d を g_d に置き換えた方が
電流の足し算になるため
立式が楽なことがある。

26

ダイオード接続 出力抵抗下がる 理由

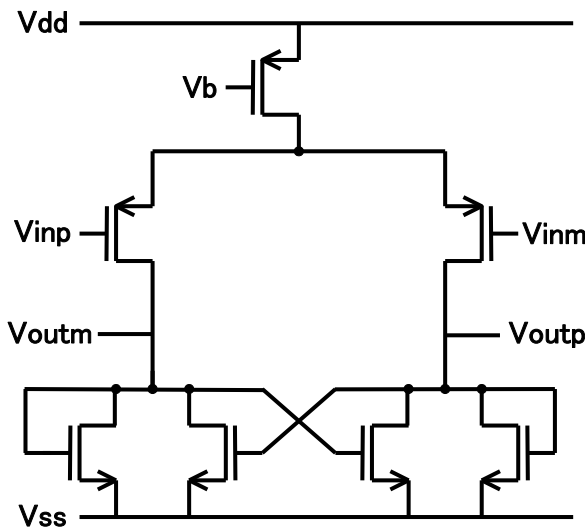


$$v_{out} = (i_{out} - g_m v_{out}) r_d$$

$g_m v_{out}$ が電流を奪うことで必要な i_{out} が増える
 → Z_{out} が下がる！！

ダイオード接続で出力抵抗が下がる理由は
 正帰還補償の逆の事をしているからと考えるとわかりやすい 27

正帰還補償とダイオード接続の対応関係の利用



ダイオード接続に正帰還補償を追加することによって
 出力抵抗の低下を補償できる

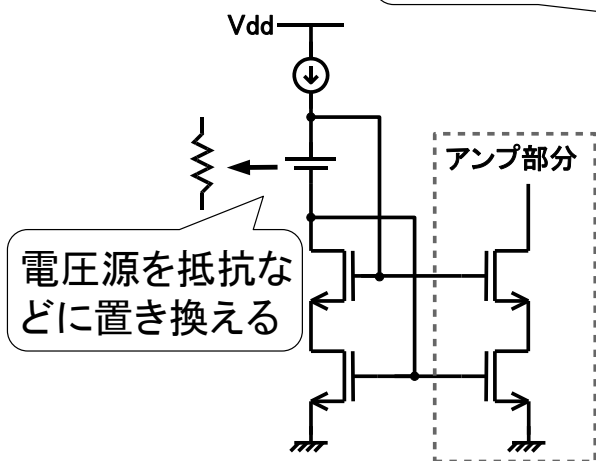
↕

正帰還補償にダイオード接続を追加することによって
 バイアス電圧を安定化できる

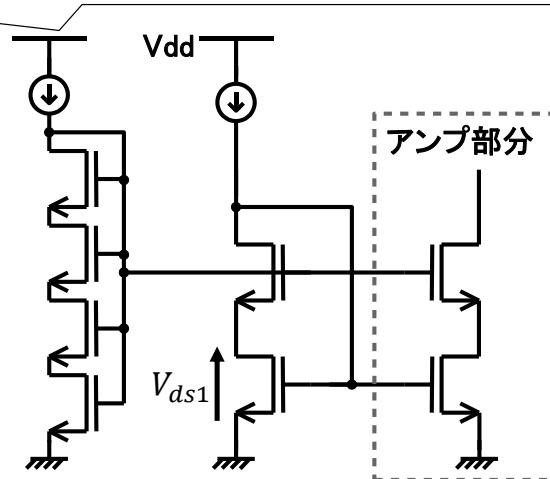
電流パスが減らせる、コモンモードフィードバック無しに全差動OPアン
 プが構成できるなどの利点がありそうだったが、出力電圧範囲が低く、
 AB出力段の駆動力が下がってしまい、改良が間に合わなかったため
 今回の第一部門ではボツ回路とした。

低電圧カスコード構成 バイアス回路の例

同サイズのMOSを4つ縦積することで、 L を4倍に出来る。
縦積の数を増やすと V_{ds1} が増える。



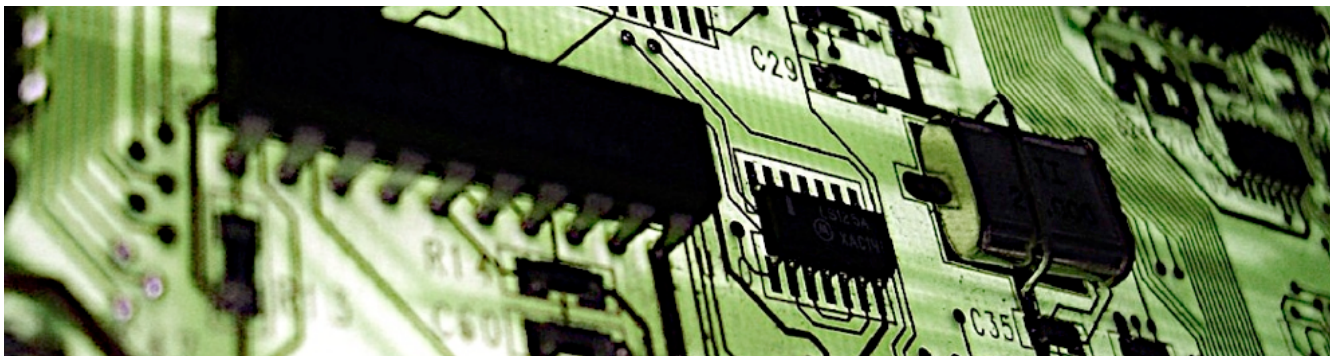
比較的簡単に設計できる
低電圧カスコードのバイアス回路の例



マッチングを取りたい時などに使える
低電圧カスコードのバイアス回路の例

最後に

今回、コンテストの結果や発表会の交流を通して「もっと多くの参加者がいれば、色々な回路が出てきて面白いのにな」と思い、未熟者ではございますが、ノウハウの少ない研究室でも独学で高性能OPアンプ設計の競争を楽しめるように、OPアンプの基本であるカスコード構成について自分なりにまとめました。わかりにくいところ等あるかもしれませんが、少しでもお役に立ちましたら光栄です。



H28演算増幅器設計コンテスト

部門2：3位

部門3：1位

群馬大学

理工学府 理工学専攻 電子情報・数理教育プログラム

高井研究室

修士1年 吉澤 慧

1

部門2 評価式・設計方針

● 評価式

$$\frac{\text{利得帯域幅} \times \text{位相余裕}}{\text{消費電力} \times \text{出力抵抗} \times \text{入力換算雑音}}$$

● 設計方針

◆ 消費電力

→ バイアス段を取り除く → 低消費電流

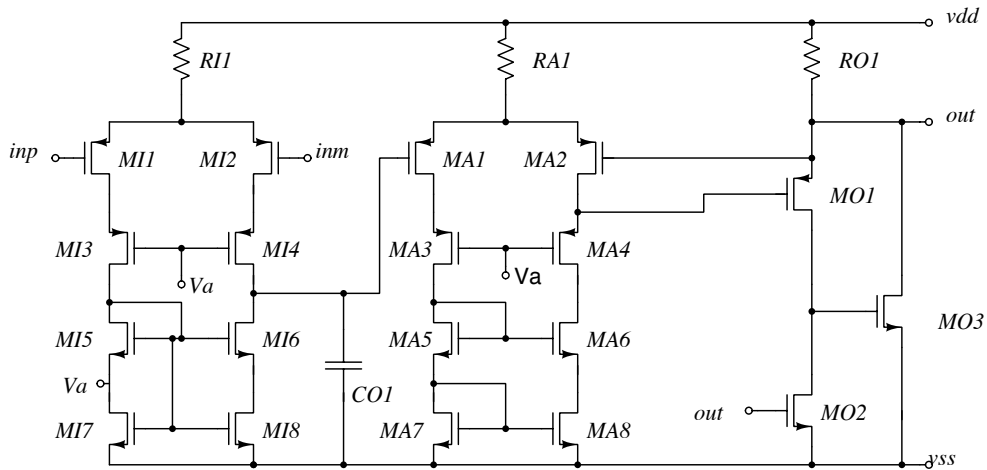
◆ 出力抵抗

→ スーパーソースフォロワ → 低出力抵抗

◆ 入力換算雑音

→ 入力をPMOSで設計 → 低入力換算雑音

部門2 提出回路



RI1=470[kΩ]

MI1,MI2 W=14.9[um] L=1.0[um]

MI3,MI4 W=1.3[um] L=1.0[um]

MI5,MI6 W=0.4[um] L=4.0[um]

MI7,MI8 W=0.85[um] L=2.4[um]

RA1=950[kΩ]

MA1,MA2 W=9.4[um] L=1.5[um]

MA3,MA4 W=1.9[um] L=1.4[um]

MA5,MA6 W=1.3[um] L=1.7[um]

MA7,MA8 W=350.0[um] L=35.0[um]

RO1=190.2[kΩ]

MO1 W=10.0[um] L=0.18[um]

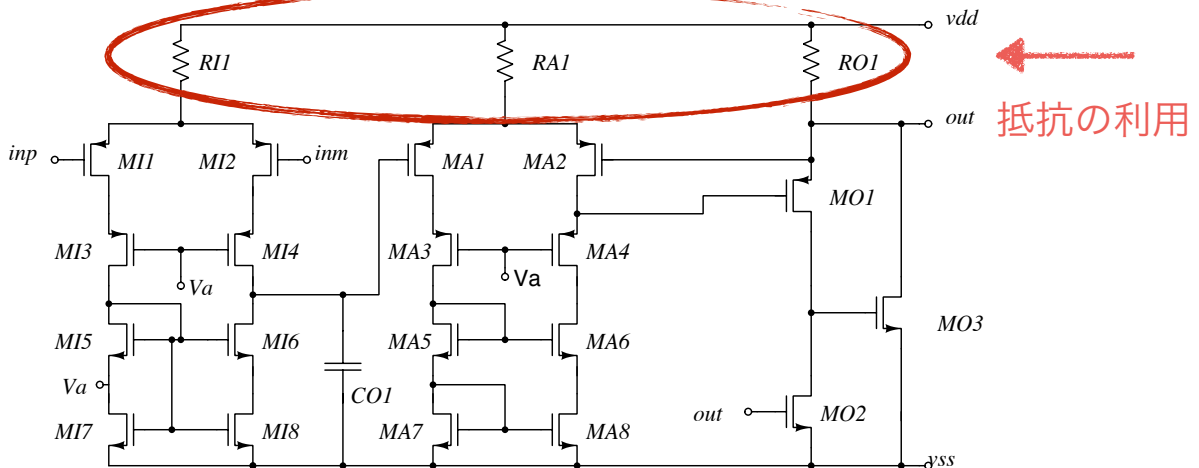
MO2 W=60.0[um] L=0.18[um]

MO3 W=0.3[um] L=0.18[um]

CO1=0.2[pF]



部門2 消費電力



①消費電力

→ バイアス段を取り除く (抵抗を利用)
電源電圧 (2.6V)

消費電流 : 10[uA]以下

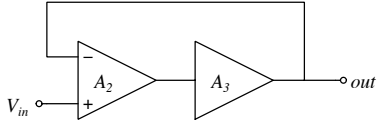
消費電力 : 26[uW]に



部門2 出力抵抗

②出力抵抗の低減

→ 負帰還アンプ
スーパーソースフォロワ



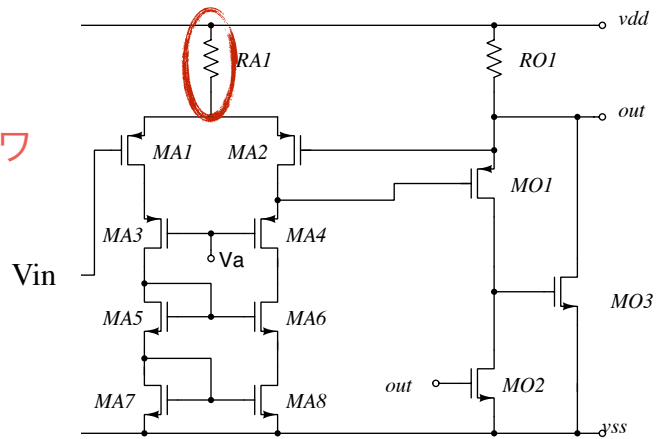
全体の出力抵抗

$$Z_{out} = \frac{Z_{out3}}{1 + A_2}$$

Z_{out3} : 出力段の出力抵抗

A_2 : 増幅段の利得

抵抗を大きく



A₂, 負帰還アンプ

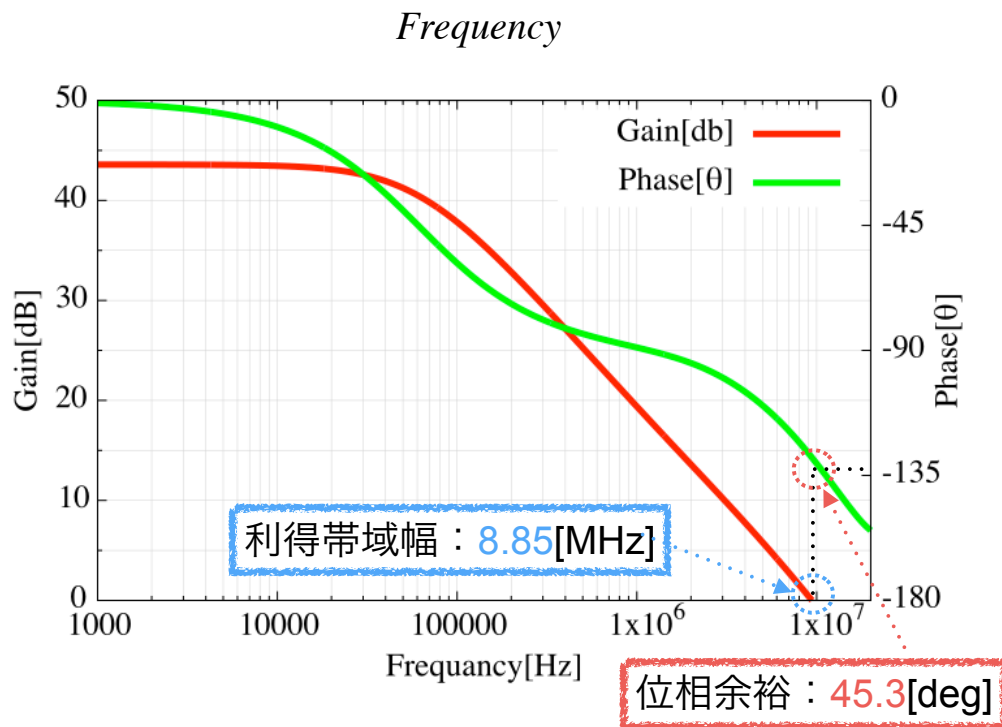
A₃, スーパーソースフォロワ

出力抵抗 : 0.3[Ω]以下

部門2 評価結果

評価項目	結果
消費電力	2.4225e-05 W
出力抵抗	2.7241e-01 Ω
入力換算雑音	2.4958e-03 V
利得帯域幅	8.8509e+6 Hz
位相余裕	4.5341e+01 deg
スコア	1.0058E+21

部門2 利得帯域幅・位相余裕



部門2 まとめ

- ☑ バイアス段を取り除くことで消費電力を26[uW]まで抑えた。
- ☑ 負帰還アンプ、スーパーソースフォロワを用いることで出力抵抗を0.27[Ω]まで小さくした。
- ☑ 入力のMOSFETにPMOSを用いることで入力換算雑音を2.49[mV]まで小さくした。



部門3 評価式・設計方針

評価式

電源電圧変動除去比 × 出力電圧範囲 × 位相余裕

設計方針

出力電圧範囲

→ カスコードを使わない

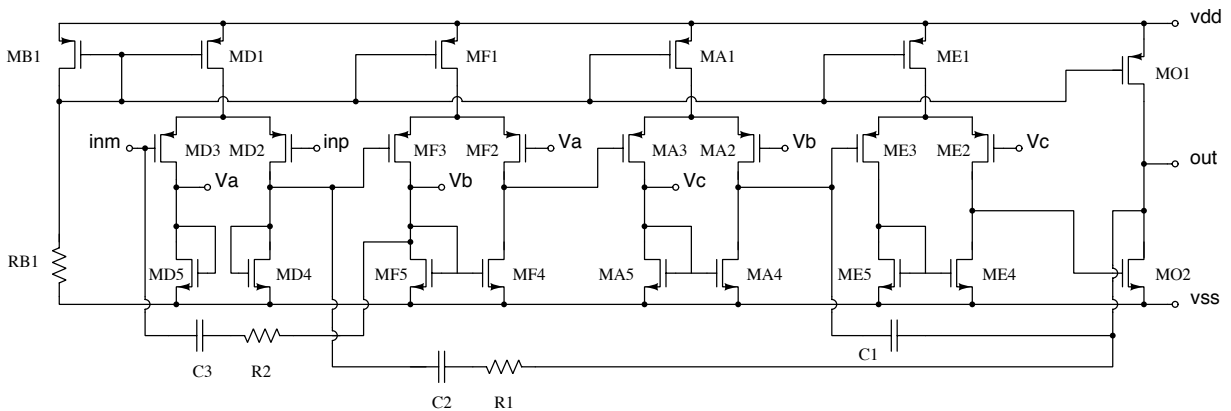
位相余裕

→ ミラー効果 → 容量を大きく

電源電圧変動除去比

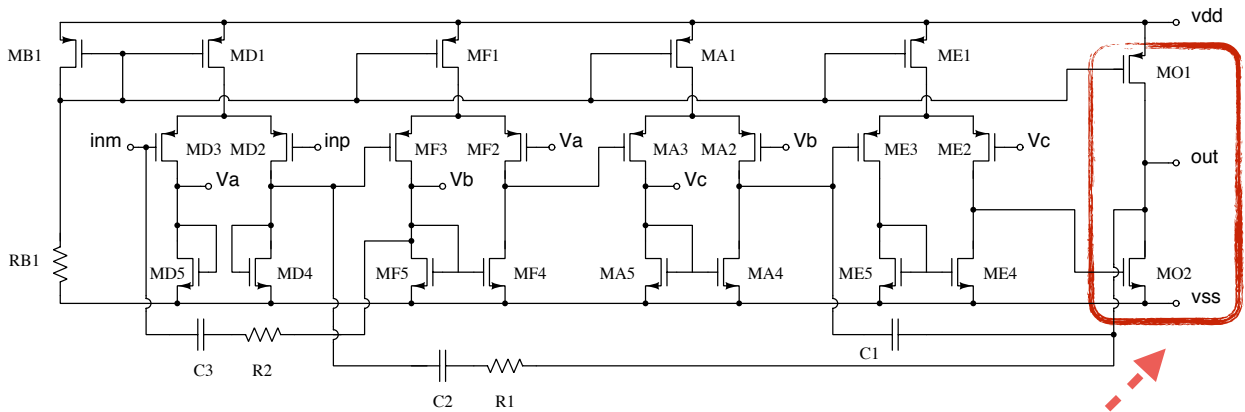
→ カスケードを用いる

部門3 提出回路



RB1=69.8[kΩ]	MD1	W=0.3[um]	L=0.2[um]	MA1	W=0.9[um]	L=1.0[um]	
R1=0.9[kΩ]	MD2, MD3	W=10.0[um]	L=0.2[um]	MA2, MA3	W=16.0[um]	L=1.0[um]	MB1 W=14.2[um] L=0.2[um]
R2=10.5[kΩ]	MD4, MD5	W=0.7[um]	L=1.0[um]	MA4, MA5	W=1.0[um]	L=1.0[um]	MC1 W=89.0[um] L=0.6[um]
C1=2.5[pF]	MF1	W=0.4[um]	L=1.0[um]	ME1	W=0.9[um]	L=1.0[um]	MC2 W=40.8[um] L=0.6[um]
C2=1.4[pF]	MF2, MF3	W=5.0[um]	L=0.2[um]	ME2, ME3	W=1.0[um]	L=1.0[um]	
C3=0.7[pF]	MF4, MF5	W=0.3[um]	L=1.5[um]	ME4, ME5	W=3.0[um]	L=1.0[um]	

部門3 出力電圧範囲



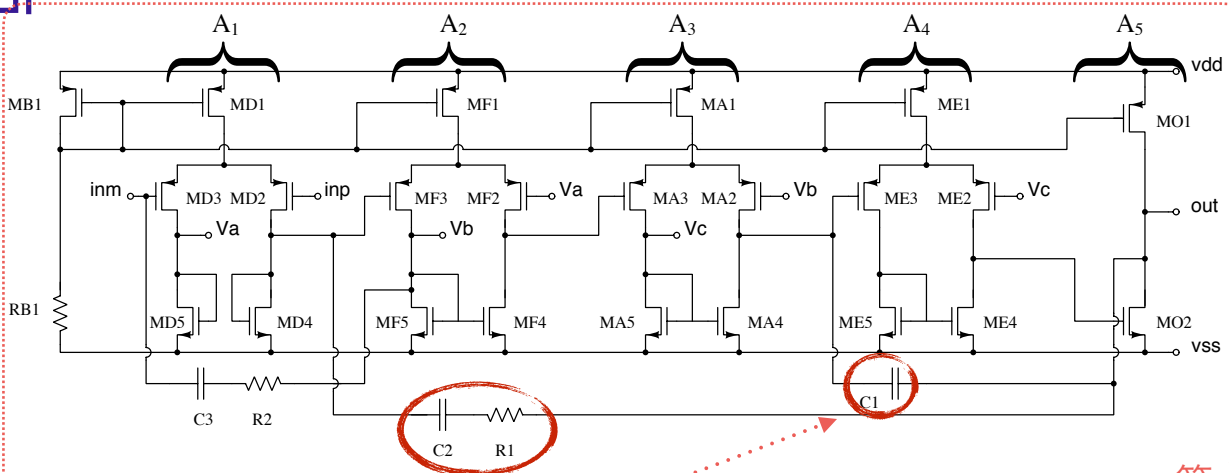
①出力電圧範囲

→ カスコードを利用しない (ソース接地増幅回路)

出力電圧範囲 : 100%

11

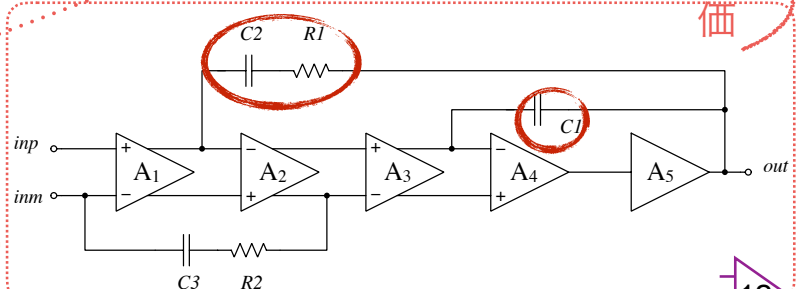
部門3 位相余裕



②位相余裕

→ ミラー効果

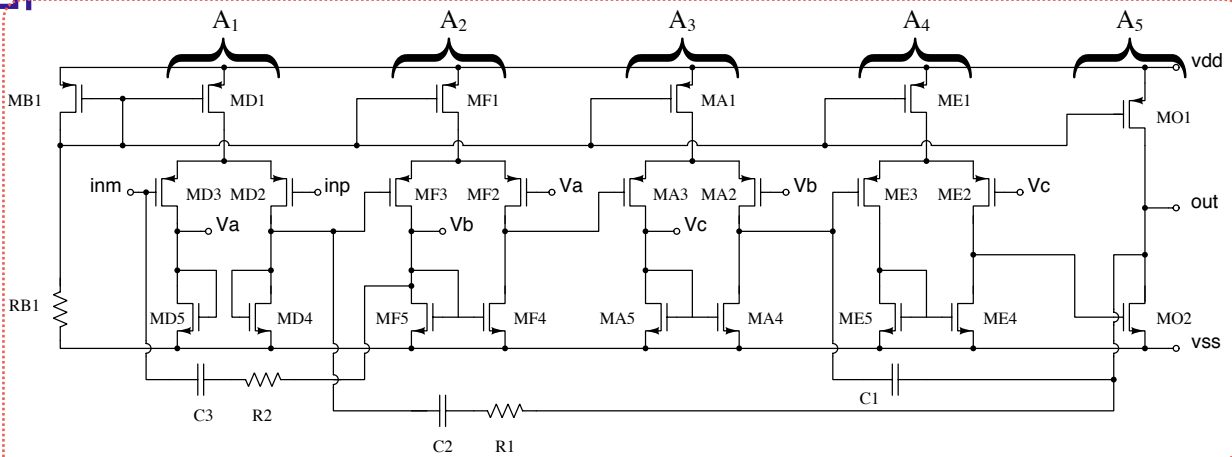
位相余裕 : 90[deg]



等価

12

部門3 電原電圧変動除去比

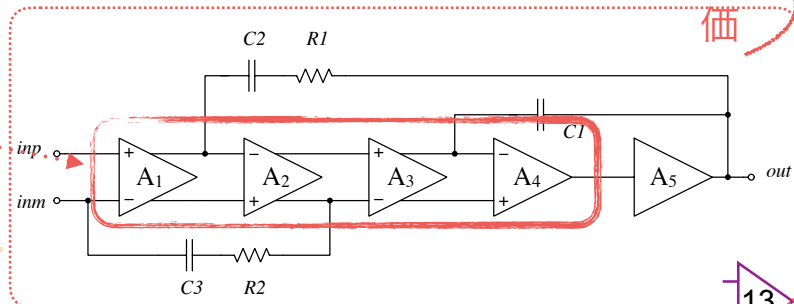


等価

③電原電圧変動除去比

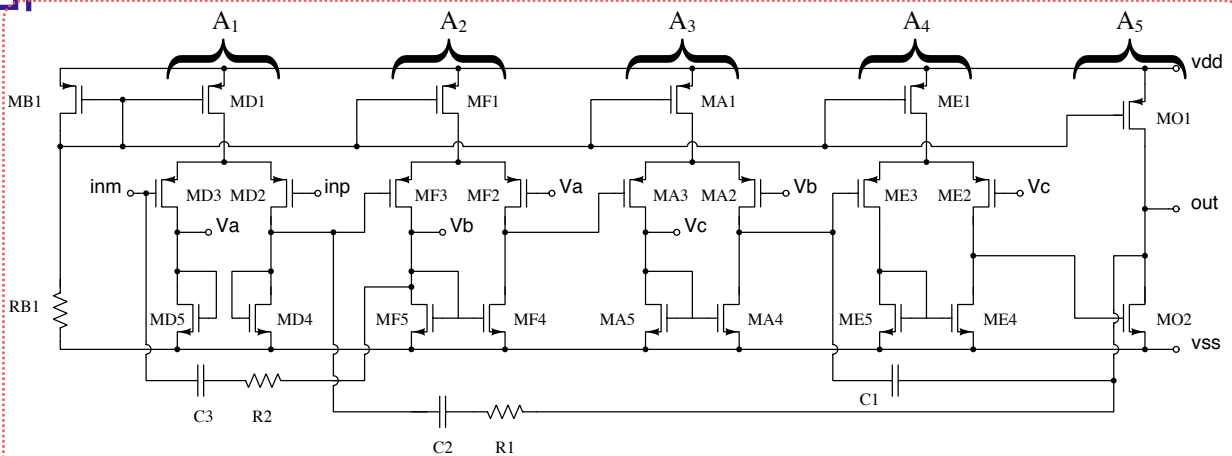
→ 全差動4段

PSRR : 150[dB]



13

部門3 提出回路

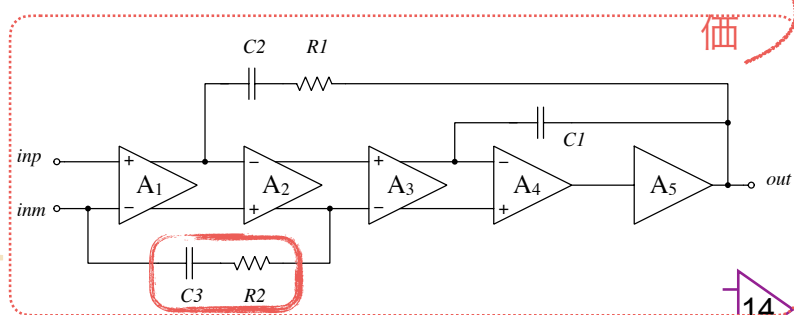


等価

③電原電圧変動除去比

→ 電圧の変動を抑える

PSRR : 180[dB]



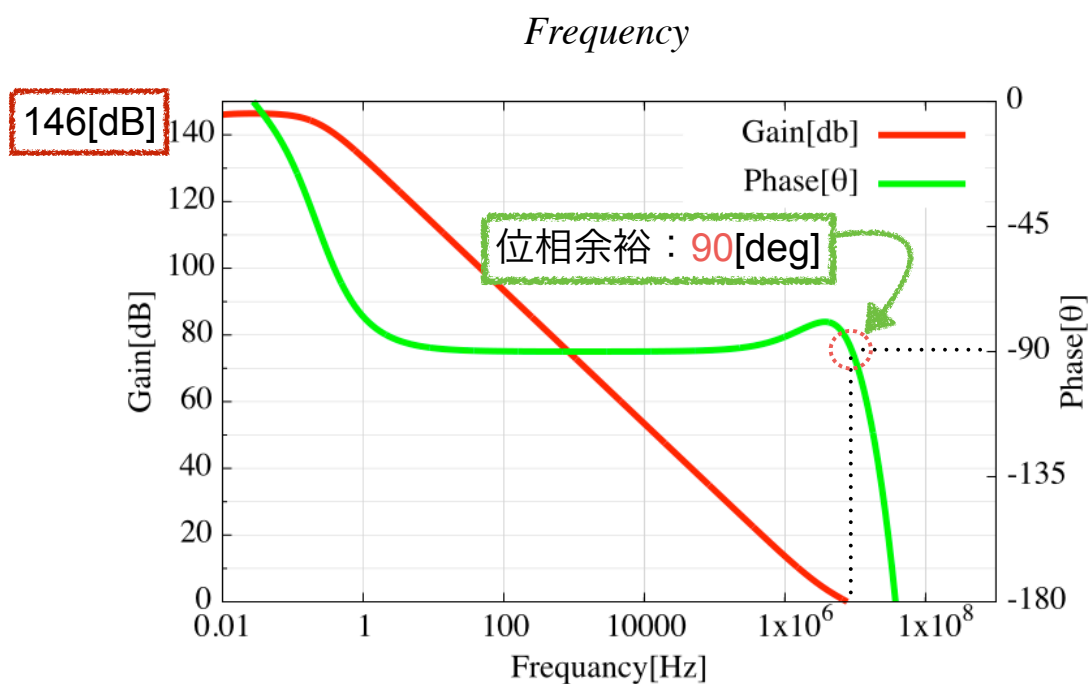
14

部門3 評価結果

評価項目	結果
電源電圧除去比	1.8615e+02 dB
出力電圧範囲	1.0000e+02 %
位相余裕	9.0017e+01 deg
スコア	1.6757E+06

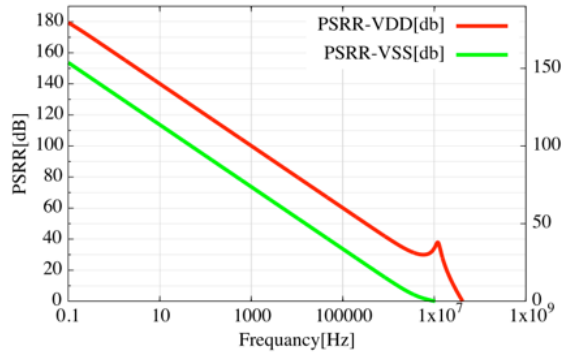
15

部門3 利得・位相余裕



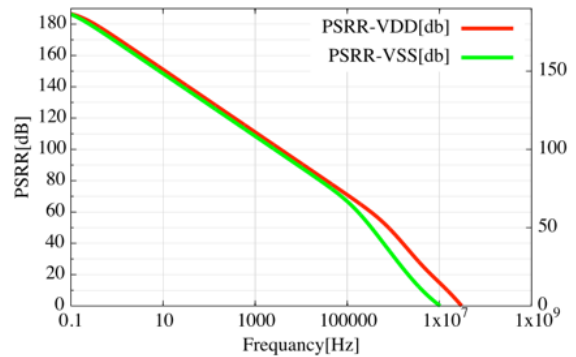
16

部門3 PSRRの比較



inmのキャパシタ無し

PSRR=153[db]



inmのキャパシタ有り

PSRR=186[db]

部門3 まとめ

- 出力電圧範囲を100%に設計
- ミラー効果を使うことで位相余裕を90[deg]に設計
- カスケードなどを用いることでPSRRを186[db]に設計

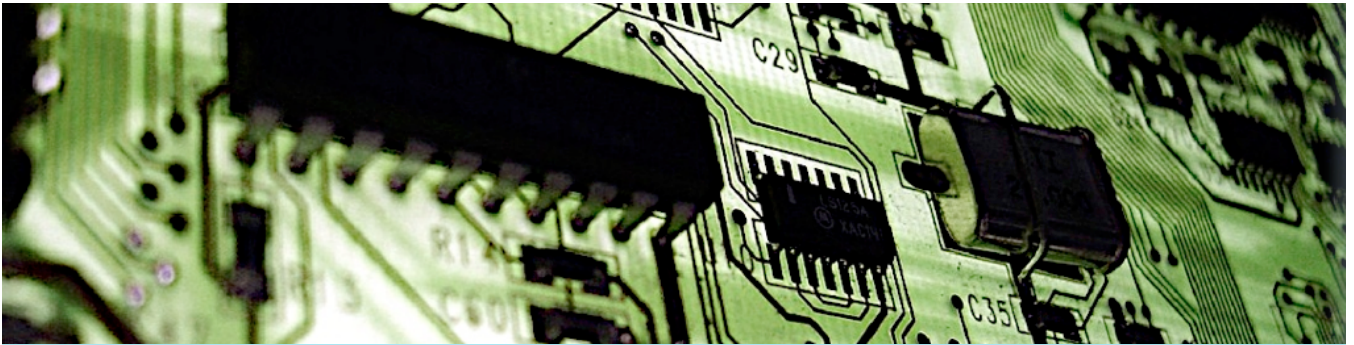
まとめ・感想

まとめ

- 部門2では電流量を抑えつつ出力抵抗を小さく設計
- 部門3では出力電圧範囲と位相余裕の性能を保持しつつ電源電圧変動除去比を向上させる設計

感想

- 去年よりさらにオペアンプの設計を追求することができた
- 来年も回路設計と研究を両立させたい



演算増幅器設計コンテスト

部門2 2位

部門3 1位

群馬大学大学院理工学府
理工学専攻 電子情報・数理教育プログラム
高井研究室

修士2年 鈴木 研人

2016 / 12 / 09



部門2 評価式・設計方針

$$Score = \frac{(Gain\ Band\ Width\ Product) \times (Phase\ Margin)}{\underbrace{(Consumption\ Current)^2} \times \underbrace{(Output\ Resistance)} \times \underbrace{(Input\ Referred\ Noise)}}$$

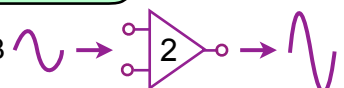


● 消費電力

● 出力抵抗

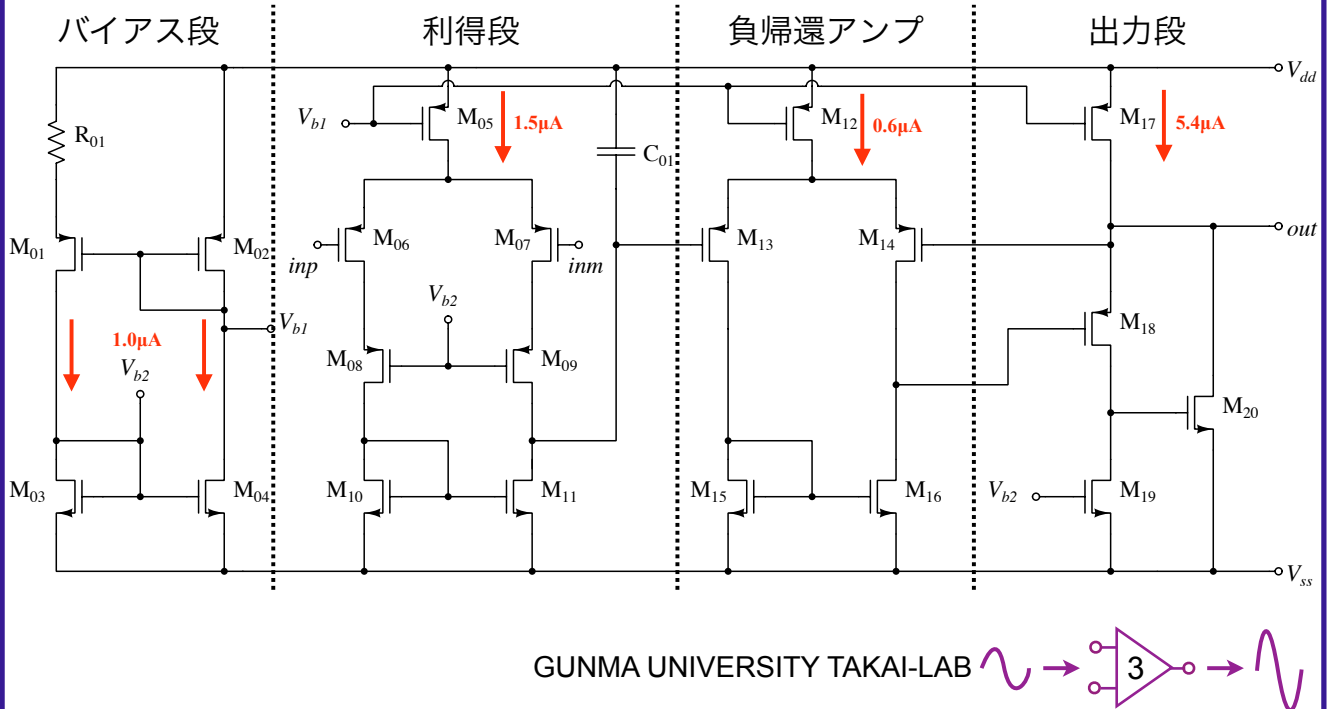
● 入力換算雑音

部門2において重視



部門2 昨年度提出回路

$V_{DD}=0.9[V]$ $V_{SS}=-0.9[V]$

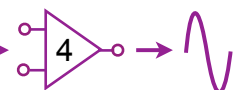


部門2 昨年度評価結果

評価項目	昨年度
消費電力[W]	1.7137E-05
出力抵抗[Ω]	8.5042E-01
入力換算雑音[V]	4.9493E-03
利得帯域幅積[Hz]	2.7146E+06
位相余裕[deg]	7.0161E+01
Score	1.5408E+20

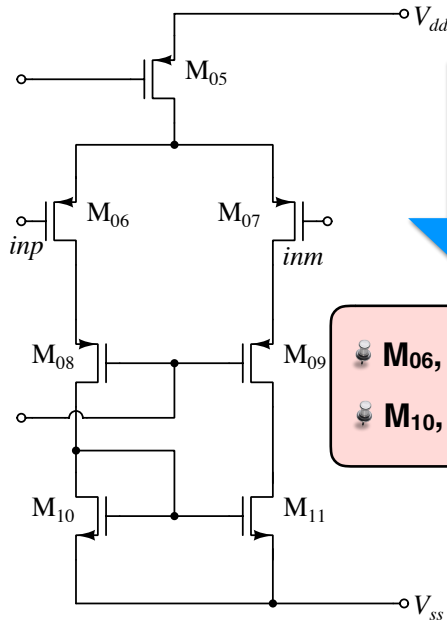
消費電力を抑えつつ、入力換算雑音及び
コンテストの出力抵抗の最小値 0.1Ω を目指す！

GUNMA UNIVERSITY TAKAI-LAB



入力換算雑音の低減

$$V_{n,in,total}^2 = \underbrace{5k_B T \gamma \frac{1}{g_{m6,7}} \left(1 + \frac{g_{m10,11}}{g_{m6,7}}\right) \Delta f}_{\text{熱雑音}} + \underbrace{\frac{2k_p}{C_{ox} W_{6,7} L_{6,7}} \left(1 + \frac{K_n \mu_n L_{6,7}^2}{K_p \mu_p L_{10,11}^2}\right) \frac{\Delta f}{f}}_{\text{フリッカ雑音}}$$

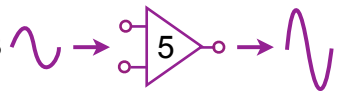


- M06, M07の面積を大きく
- M10, M11のLを大きく
- M06, M07のLW比を大きく
- M10, M11のLW比を小さく

- M06, M07の面積を大きく
- M10, M11のLを大きく

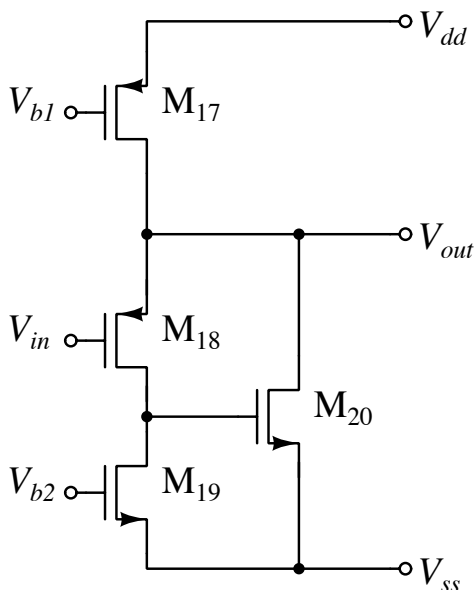
k_B : ボルツマン定数
 γ : チャンネル熱雑音係数
 $K_{n,p}$: フリッカ雑音係数

GUNMA UNIVERSITY TAKAI-LAB



出力抵抗の低減

スーパーソースフォロワ



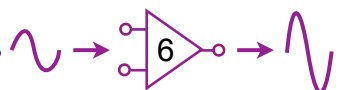
直流利得

$$A_v = \frac{V_{out}}{V_{in}} \simeq 1$$

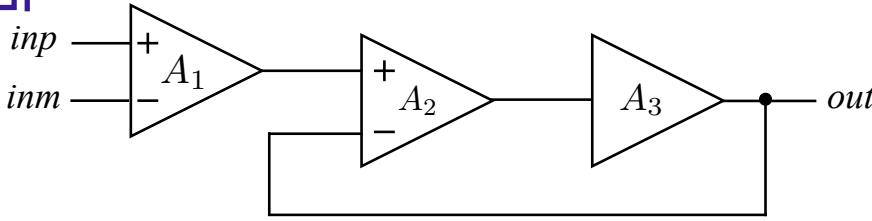
出力抵抗

$$Z_{out} \simeq \frac{1}{g_{m18} g_{m20} r_{o18}}$$

GUNMA UNIVERSITY TAKAI-LAB

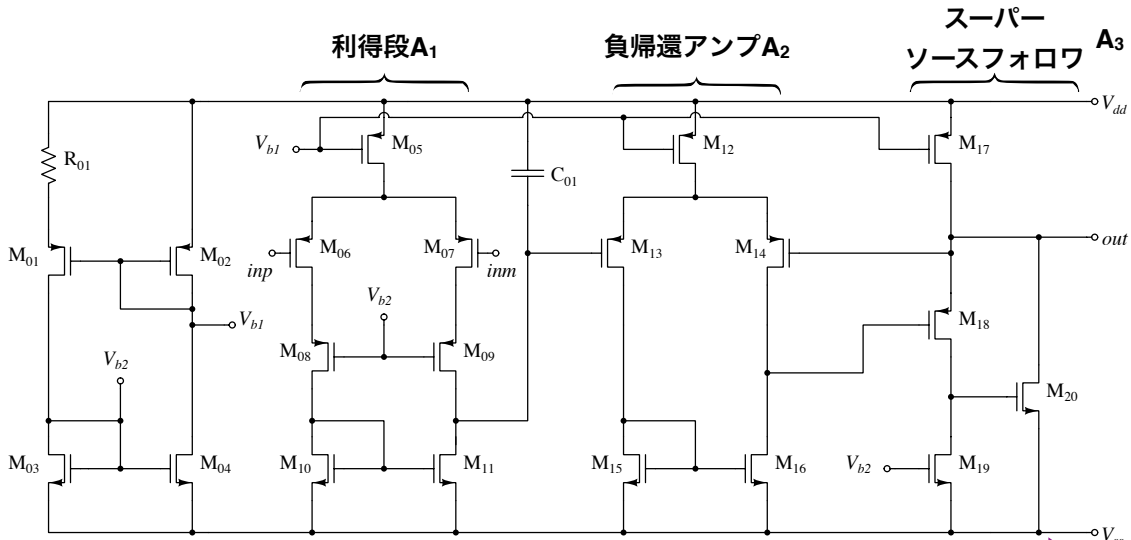


出力抵抗の低減

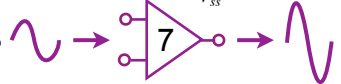


出力抵抗

$$Z_{out} = \frac{r_{o,A3}}{1 + A_2}$$

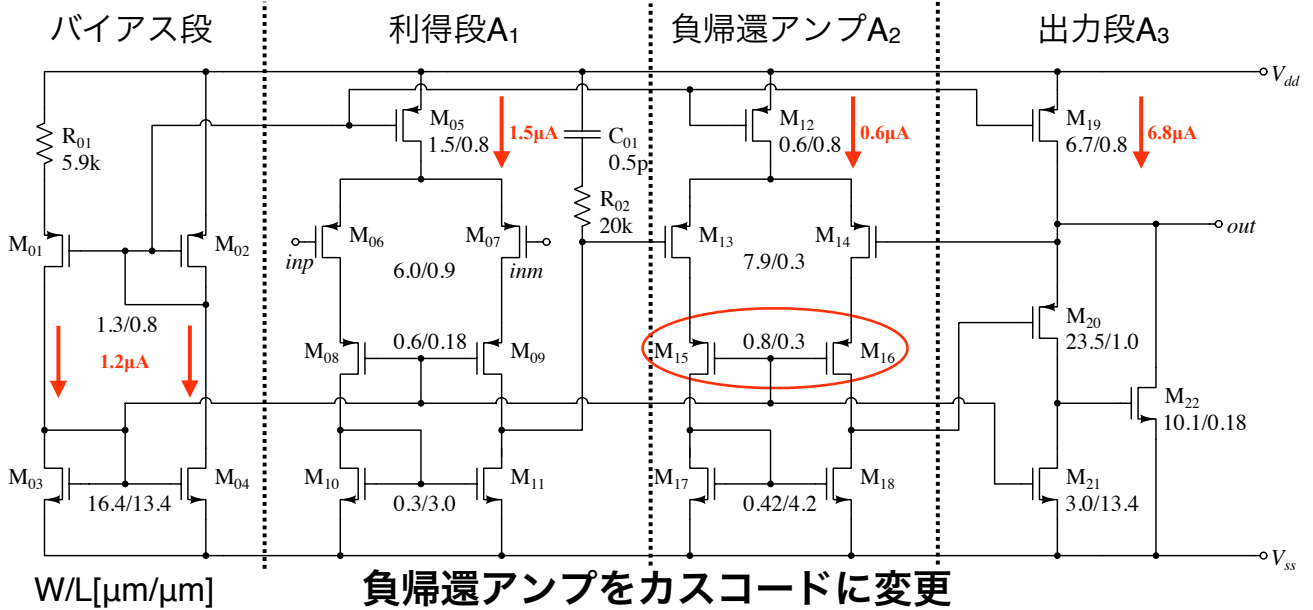


GUNMA UNIVERSITY TAKAI-LAB



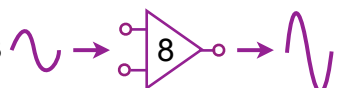
部門2 今年度提出回路

$V_{DD}=0.95[V]$ $V_{SS}=-0.95[V]$



$$Z_{out} = \frac{r_{o,A3}}{1 + A_2}$$

GUNMA UNIVERSITY TAKAI-LAB

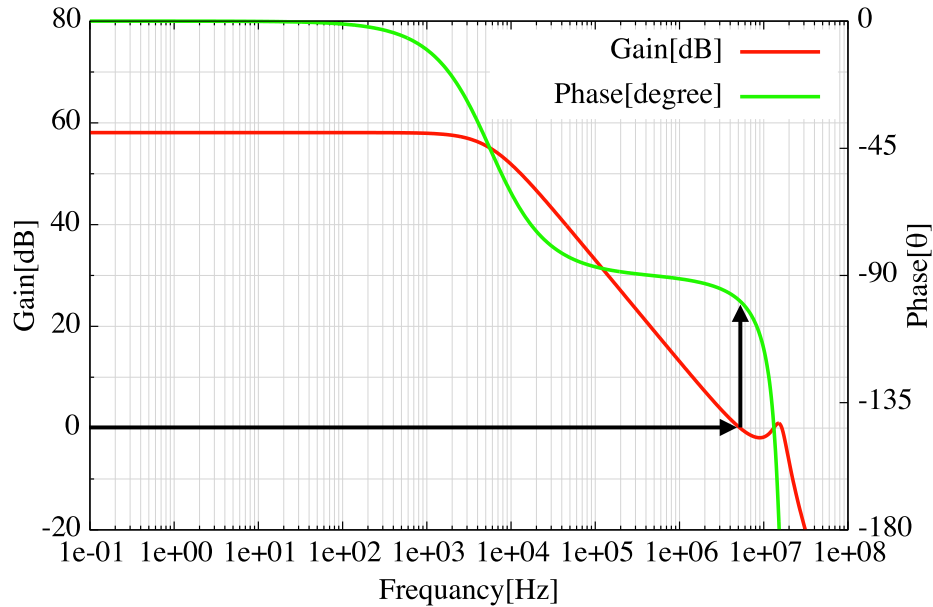


周波数特性

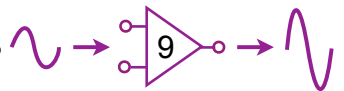
直流利得 : 58.087[dB]

位相余裕 : 76.681[deg]

Frequency Characteristic



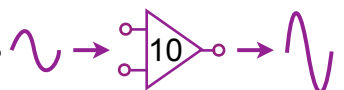
GUNMA UNIVERSITY TAKAI-LAB



部門2 今年度評価結果

評価項目	昨年度	今年度
消費電力[W]	1.7137E-05	2.1588E-05
出力抵抗[Ω]	8.5042E-01	1.0122E-01
入力換算雑音[V]	4.9493E-03	3.9980E-03
利得帯域幅積[Hz]	2.7146E+06	4.4763E+06
位相余裕[deg]	7.0161E+01	7.6681E+01
Score	1.5408E+20	1.8200E+21

GUNMA UNIVERSITY TAKAI-LAB



部門3 評価式・設計方針

$$Score = \underline{(PSRR)} \times \underline{(OVR)} \times (Phase\ Margin)$$

平成27年度コンテスト

平成28年度コンテスト

電源電圧変動除去比：増幅率



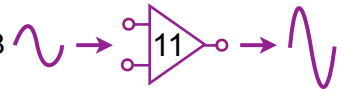
デシベル

🔌 電源電圧変動除去比

🔌 出力電圧範囲

部門3において重視

GUNMA UNIVERSITY TAKAI-LAB



部門3 評価式・設計方針

🔌 電源電圧変動除去比

🔌 出力電圧範囲



$$PSRR_{V_{DD}} = \frac{A_d}{A_{dd}}$$

$$PSRR_{V_{SS}} = \frac{A_d}{A_{ss}}$$

直流利得に比例して
電源電圧変動除去比は高くなる

カスコード×カスケード

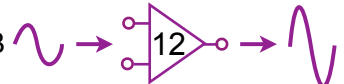
オーバードライブ電圧が関係



出力段は
ソース接地増幅回路で設計

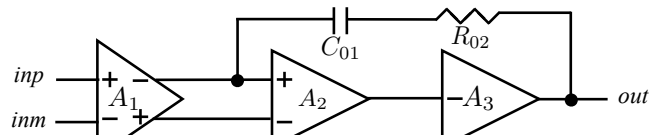
A_d : 差動電圧利得 A_{dd}, A_{ss} : 電源変動利得

GUNMA UNIVERSITY TAKAI-LAB



部門3 設計回路

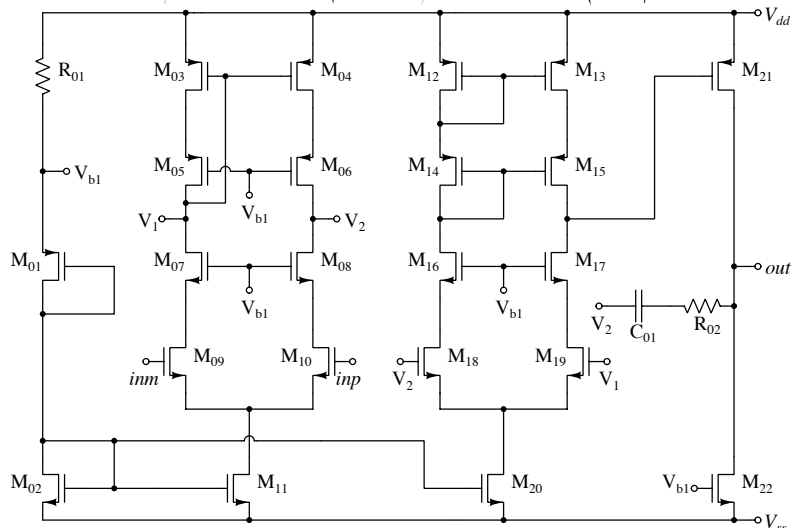
$V_{DD}=1.5[V]$ $V_{SS}=-1.5[V]$



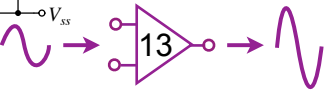
カスコード型
差動増幅回路A1

カスコード型
差動増幅回路A2

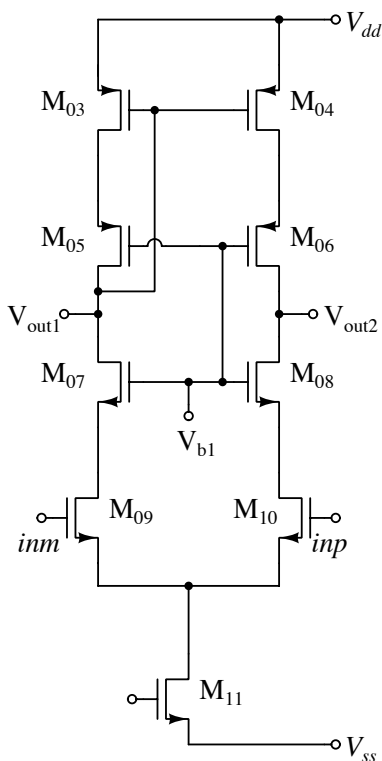
ソース接地
増幅回路A3



GUNMA UNIVERSITY TAKAI-LAB



カスコード差動増幅回路



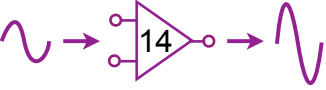
● 左側の差動利得

$$A_1 = \frac{V_{out1}}{V_{inm}} = - \frac{g_{m09}}{\frac{1}{g_{m05}r_{o05}r_{ro03}} + \frac{1}{g_{m07}r_{o07}r_{o09}}}$$

● 右側の差動利得

$$A_2 = \frac{V_{out2}}{V_{inp}} = - \frac{g_{m10}}{\frac{1}{g_{m06}r_{o06}r_{ro04}} + \frac{1}{g_{m08}r_{o08}r_{o10}}}$$

GUNMA UNIVERSITY TAKAI-LAB

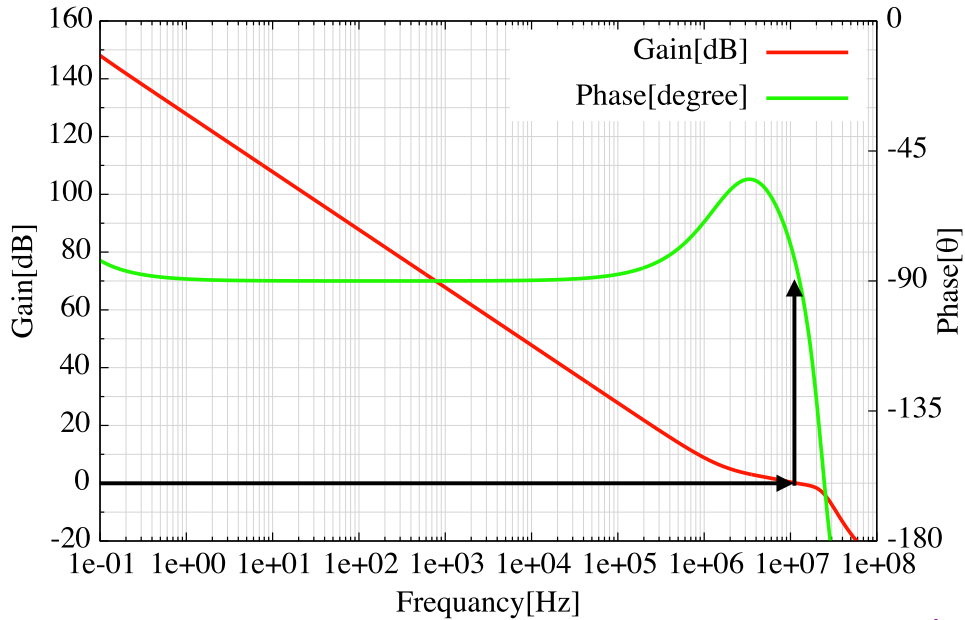


周波数特性

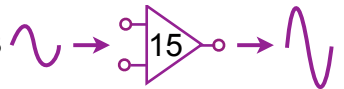
直流利得 : 148.32[dB]

位相余裕 : 90.007[deg]

Frequency Characteristic



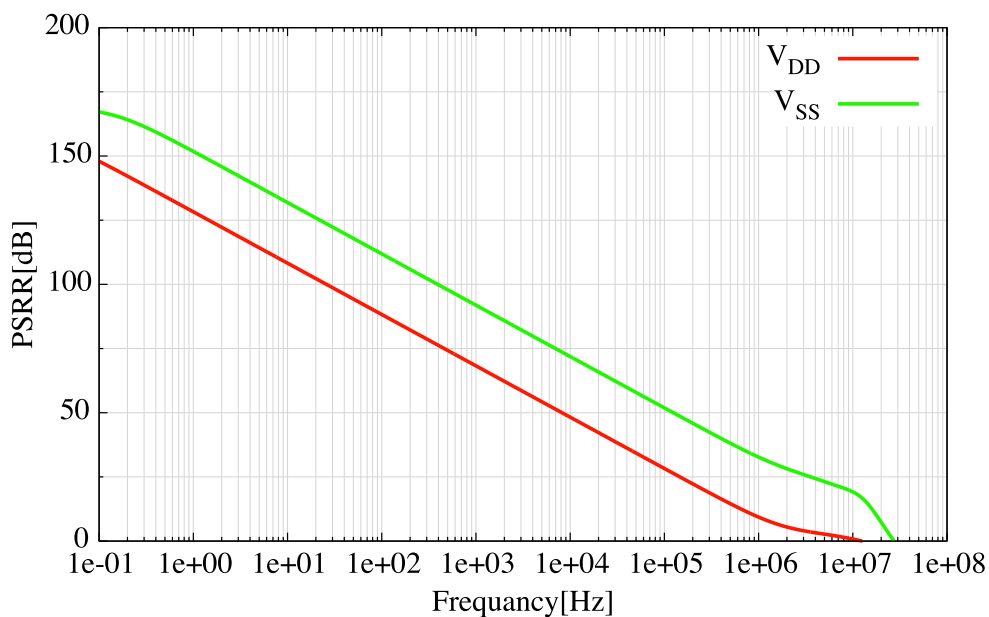
GUNMA UNIVERSITY TAKAI-LAB



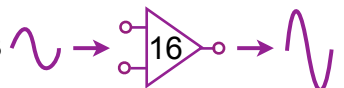
電源電圧変動除去比

電源電圧変動除去比: 148.25[dB]

Frequency Characteristic



GUNMA UNIVERSITY TAKAI-LAB

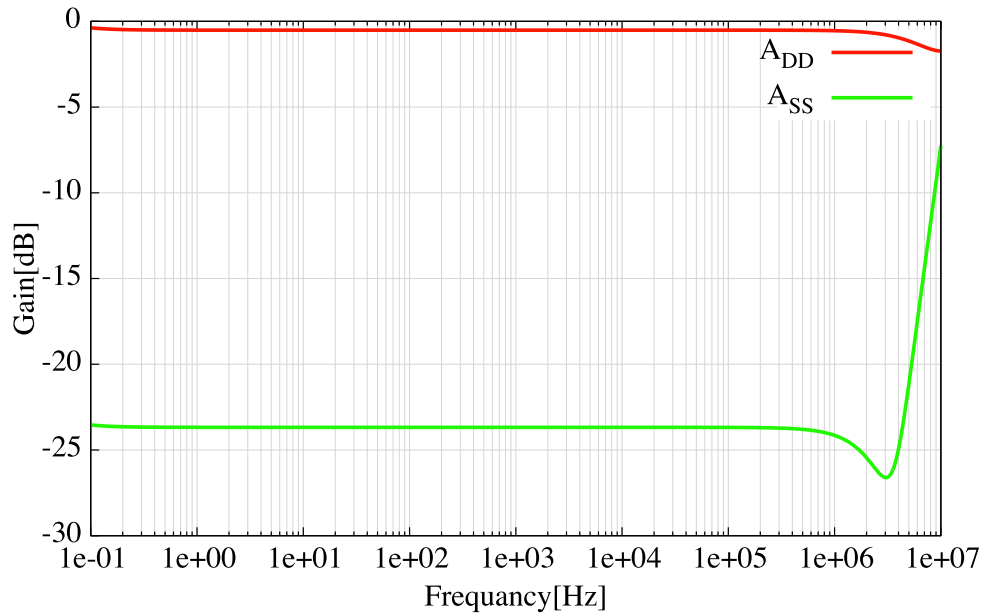


電源変動利得

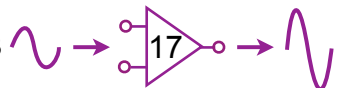
$A_{DD}:-0.3759[\text{dB}]$

$A_{SS}:-23.536[\text{dB}]$

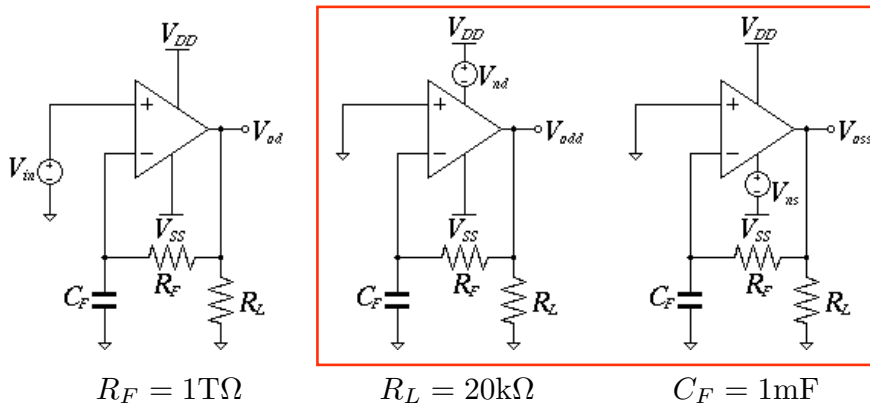
Frequency Characteristic



GUNMA UNIVERSITY TAKAI-LAB



電源電圧変動除去比のテストベンチ



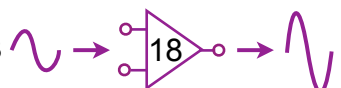
テストベンチの遮断周波数：100[pHz]



0.1HzにおけるAC解析では

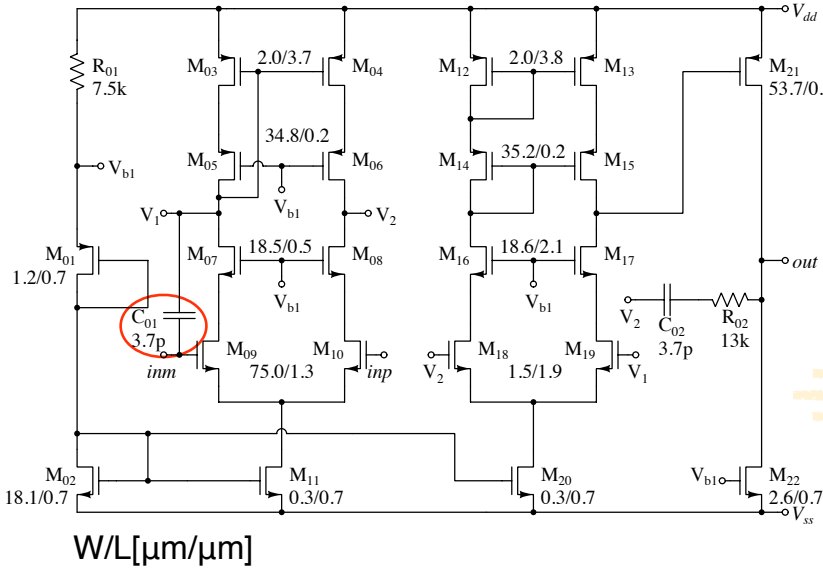
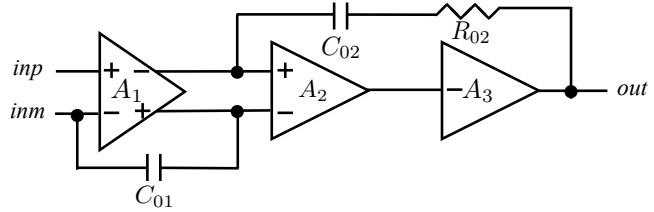
$V_{inp} \simeq V_{inm}$ → 仮想短絡

GUNMA UNIVERSITY TAKAI-LAB



部門3 提出回路

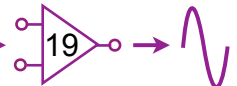
$V_{DD}=1.5[V]$ $V_{SS}=-1.5[V]$



inmからV₁にかけて
キャパシタを挿入

電源変動利得の低減

GUNMA UNIVERSITY TAKAI-LAB



電源変動利得

$A_{DD}:-0.3759[dB]$

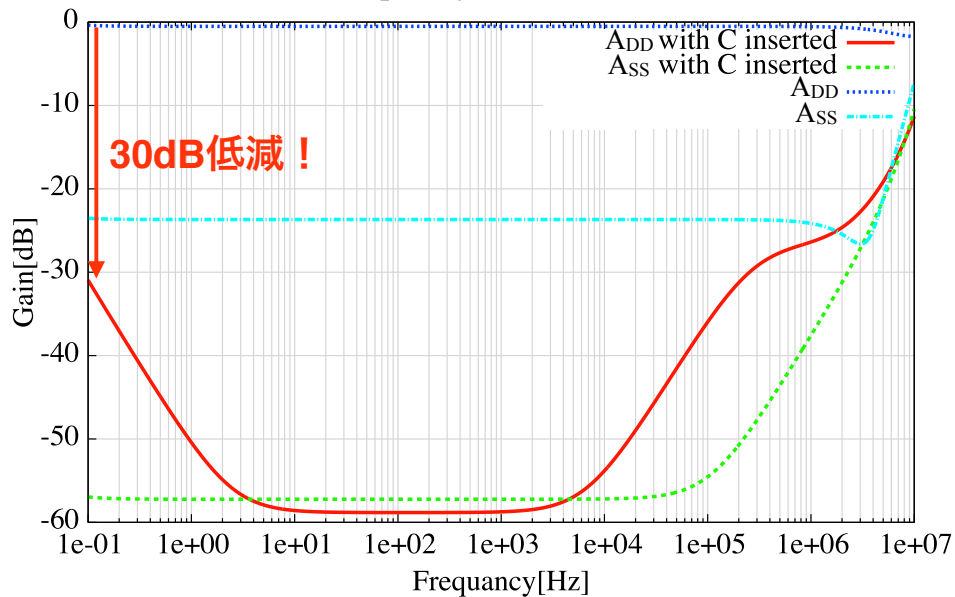
$A_{SS}:-23.536[dB]$



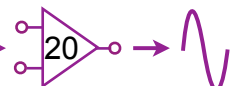
$A_{DD}:-30.950[dB]$

$A_{SS}:-56.953[dB]$

Frequency Characteristic



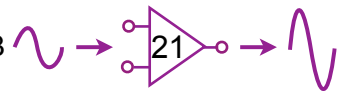
GUNMA UNIVERSITY TAKAI-LAB



部門3 評価結果

評価項目	今年度
電源電圧変動除去比[dB]	1.8806E+02
出力電圧範囲[%]	9.9000E+01
位相余裕[deg]	9.0002E+01
Score	1.6757E+06

GUNMA UNIVERSITY TAKAI-LAB



感想

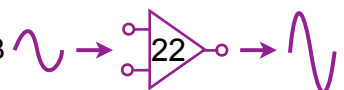
各部門におけるトレードオフの兼ね合いが苦労しました

設計した回路の性能が各部門における評価指数で確認でき、
回路性能が改善するにつれ、楽しみながら設計できた

特性の向上に向けてどの様な回路構成で設計するか、
またどの素子が影響するのかを学べる大変有意義な時間でした

このような勉強できる良い機会を与えて頂いた
演算増幅器設計コンテスト運営の皆様ならびに協賛企業の皆様に
厚く感謝申し上げます

GUNMA UNIVERSITY TAKAI-LAB



演算増幅器設計コンテスト

部門1 1位 部門3 4位
部門2 7位 部門4 1位

2016/12/09

東京理科大学 理工学研究科
電気工学専攻兵庫研究室
修士2年 佐久間 大揮

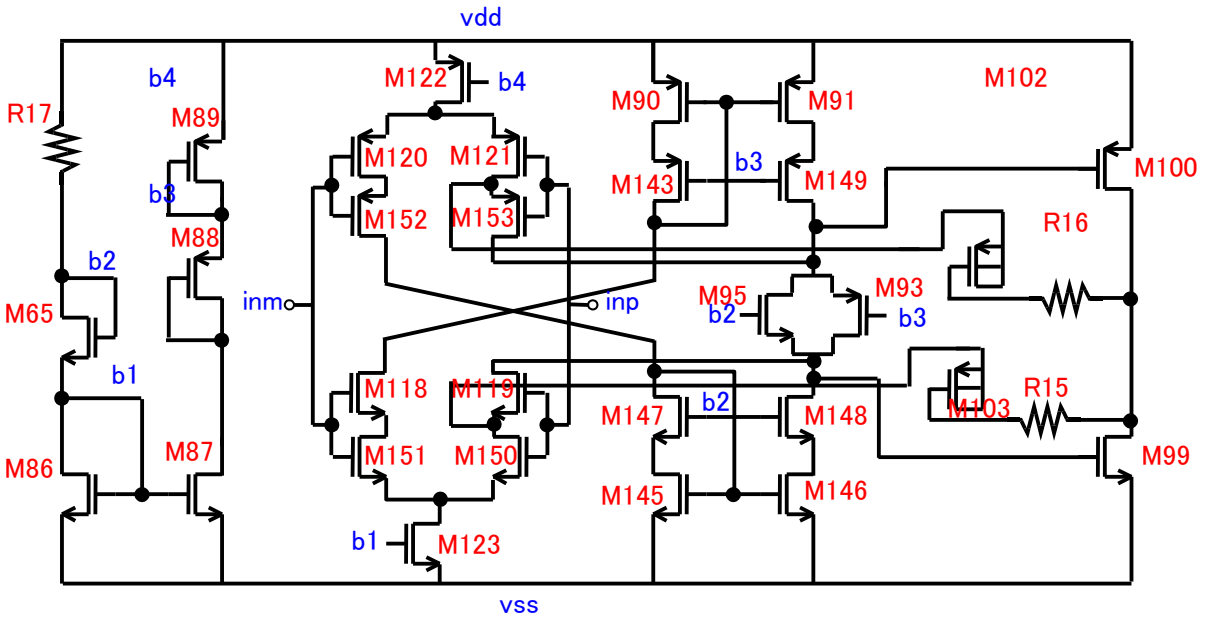
部門1 評価式と設計方針

評価式

$$\frac{\text{スルーレート} \times \text{同相入力範囲} \times \text{直流利得}(dB)}{\text{消費電力}}$$

- ✓ 今までの部門1と異なり、直流利得が×(dB)に
⇒利得はそこそこでよい！？
- ✓ スルーレート、消費電力をできるだけ小さく

部門1 提出回路

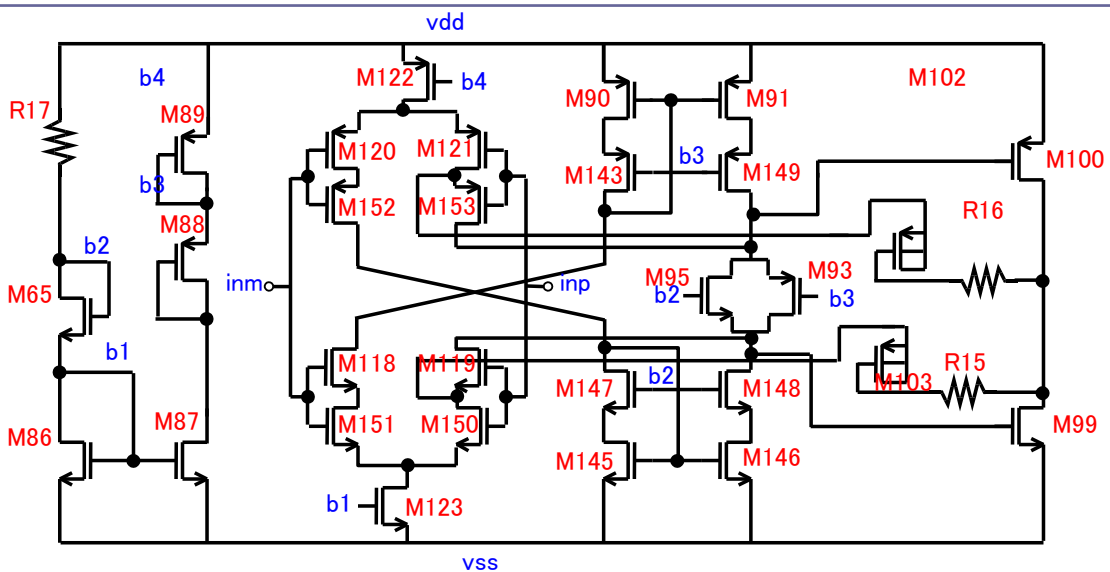


✓ $V_{dd}=1.0V$ $V_{ss}=-1.0V$

✓ バルク pmos : ソース接地 nmos: Vss

3

部門1 提出回路



チャンネル長はすべて最小サイズ0.18 μ

M148 300n M147 300n M87 300n M86 300n M85 300n

M146 300n M145 300n M123 400n M119 270n M151 270n

M99 270n M95 300n M118 270n M150 270n M149 300n

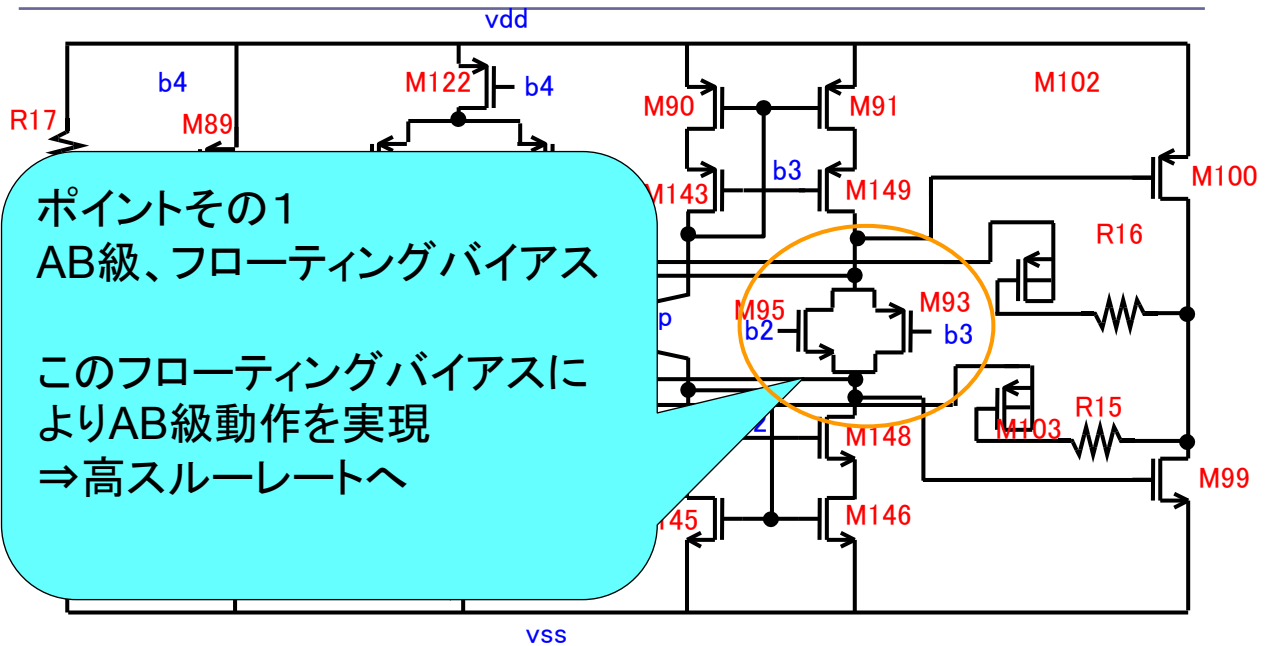
M89 1.1u M88 1.1u M102 0.4u M103 0.4u M122 900n M152 300n

M91 300n M90 300n M121 300n M120 300n M153 300n M93 300.0n

M143 300n M100 1.8u R17 =90000.31K R15= 20K R16 =20K

4

部門1 提出回路



ポイントその1
AB級、フローティングバイアス

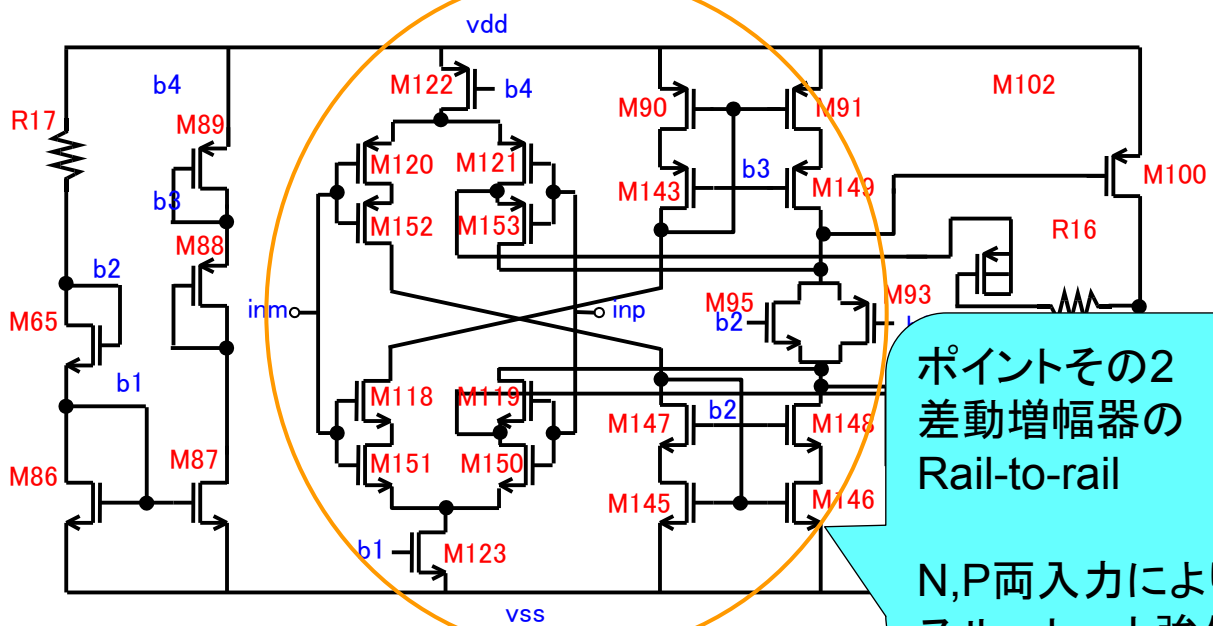
このフローティングバイアスによりAB級動作を実現
⇒高スルーレートへ

✓ $V_{dd}=1.0V$ $V_{ss}=-1.0V$

✓ バルク pmos : ソース接地 nmos:Vss

5

部門1 提出回路



ポイントその2
差動増幅器の
Rail-to-rail

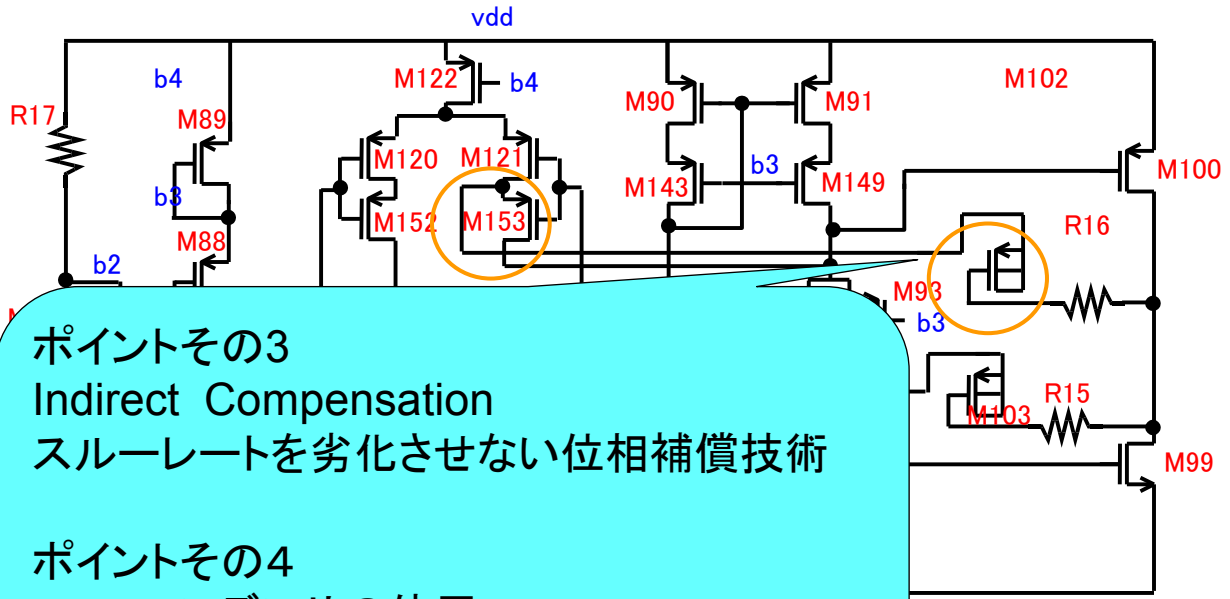
N,P両入力により
スルーレート強化

✓ $V_{dd}=1.0V$ $V_{dd}=-1.0V$

✓ バルク pmos : ソース接地 nmos:Vss

6

部門1 提出回路



ポイントその3

Indirect Compensation

スルーレートを劣化させない位相補償技術

ポイントその4

MOSコンデンサの使用

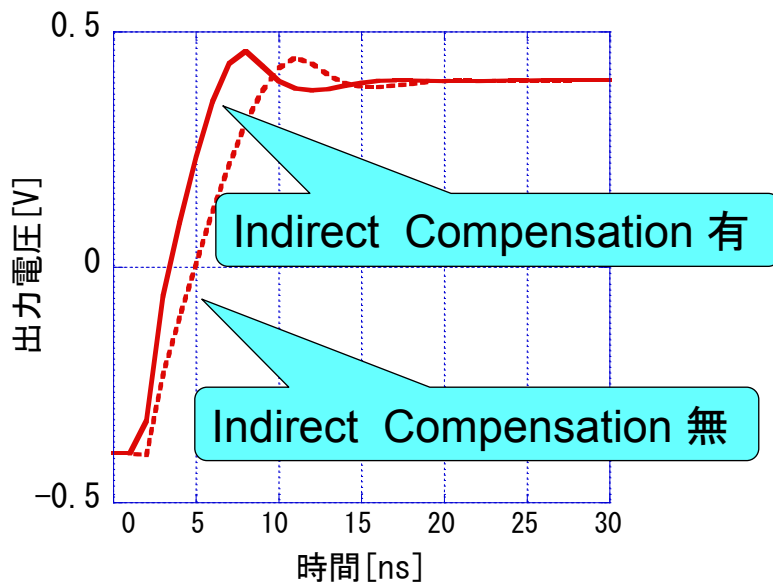
0.1p[F]以下のコンデンサを実現

(大会のプロセスでは0.1p以下は使用不可)

7

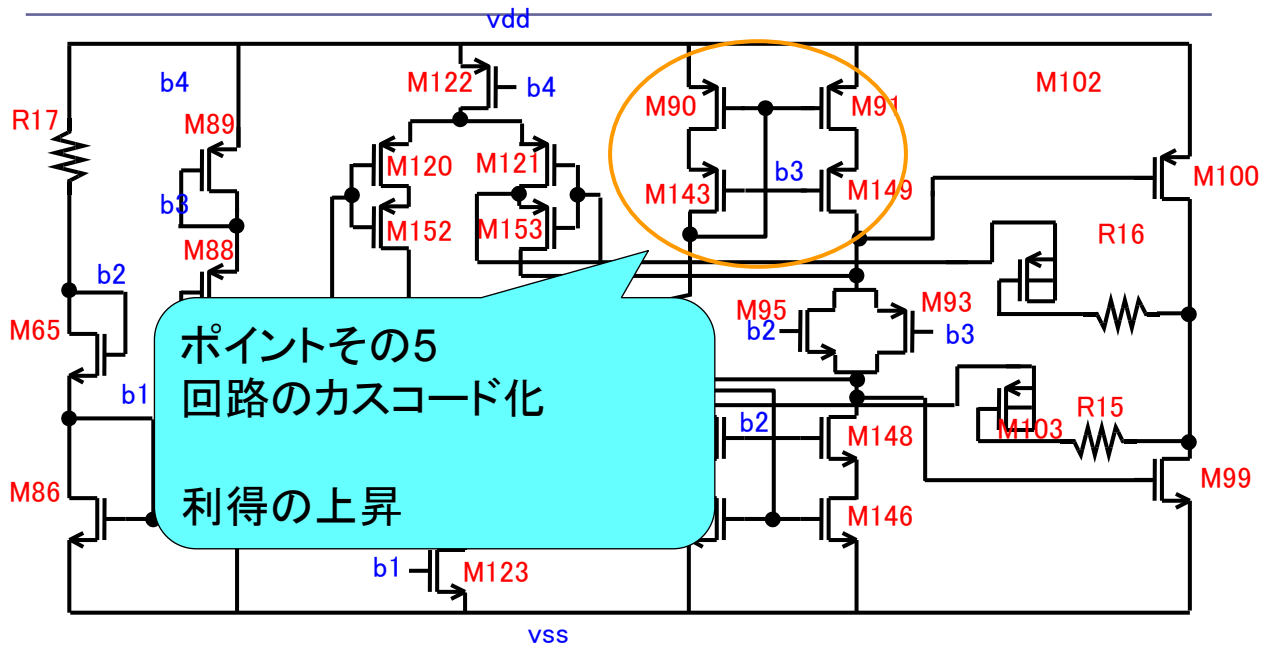
部門1 シミュレーション結果

過渡解析結果



8

部門1 提出回路

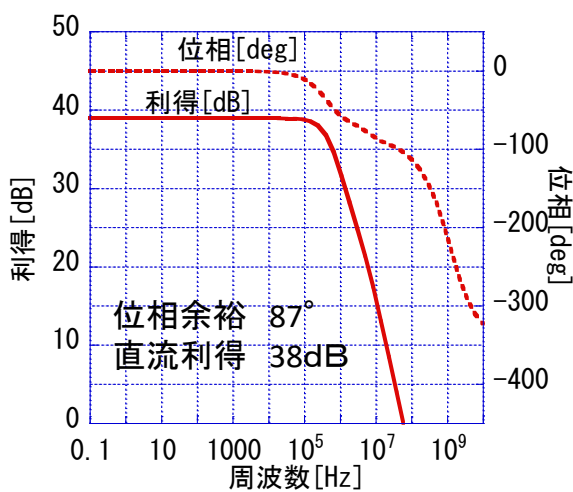


✓ $V_{dd}=1.0V$ $V_{ss}=-1.0V$

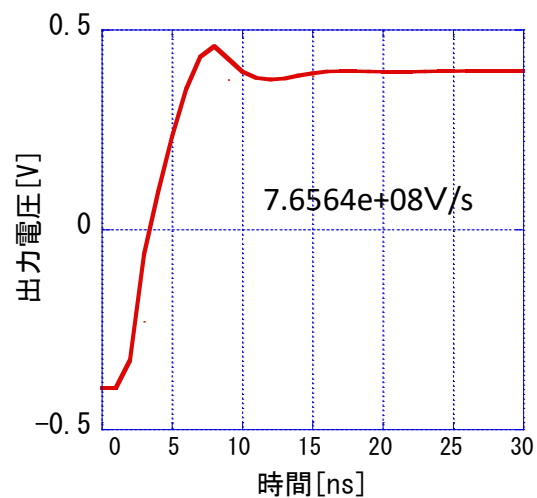
✓ バルク pmos : ソース接地 nmos:Vss

9

部門1 シミュレーション



AC解析結果



過渡解析結果

部門1 評価結果

項目	評価結果
スルーレート	7.6164e+08
消費電力	9.1549e-07
同相入力範囲	1.0000e+02
直流利得	6.9077e+01
スコア	5.7468e+18

まとめ

- ✓ 電流をとにかく絞り1 μ 以下に抑える
- ✓ 様々な回路工夫により、高いスルーレートを実現
- ✓ 利得はそこまで上げなかった

11

部門3 評価式と設計方針

評価式

電源電圧変動除去比 × 出力電圧範囲 × 位相余裕



昨年と違い電源電圧変動除去比 × (dB)

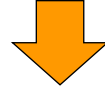
⇒ 出力電圧範囲、位相余裕も無視できない

12

部門3 評価式と設計方針

目標

電源電圧変動除去比 × 出力電圧範囲 × 位相余裕



どれだけ上げる
ことができるかの勝負

100%必須

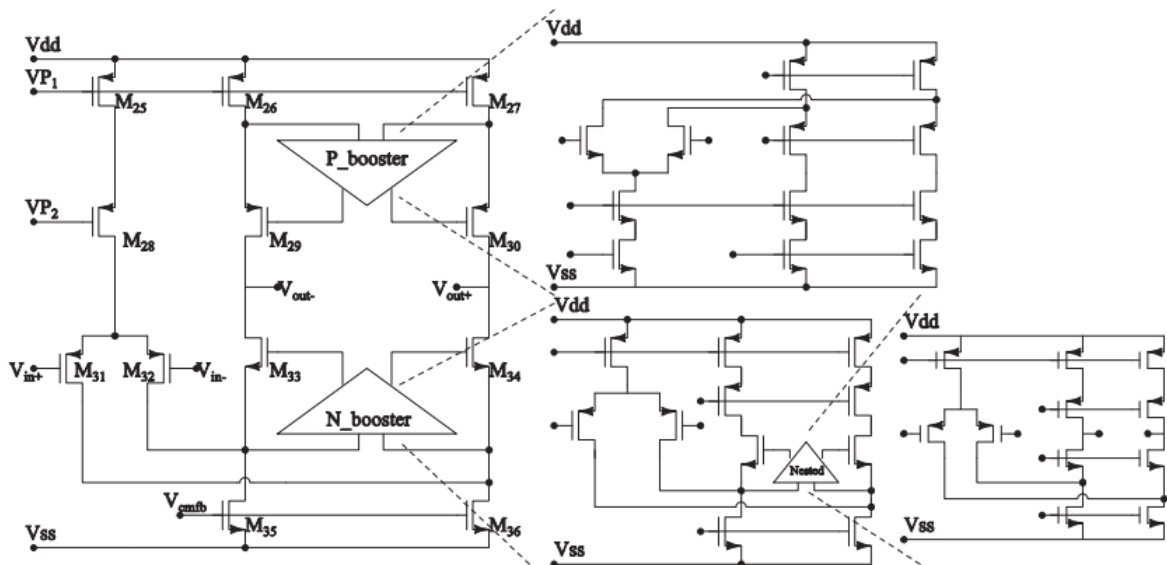
90° 必須

⇒とにかく利得を上げるしかない

Nested gain-boosted opamp を採用

13

部門3 nested gain-boosted opamp

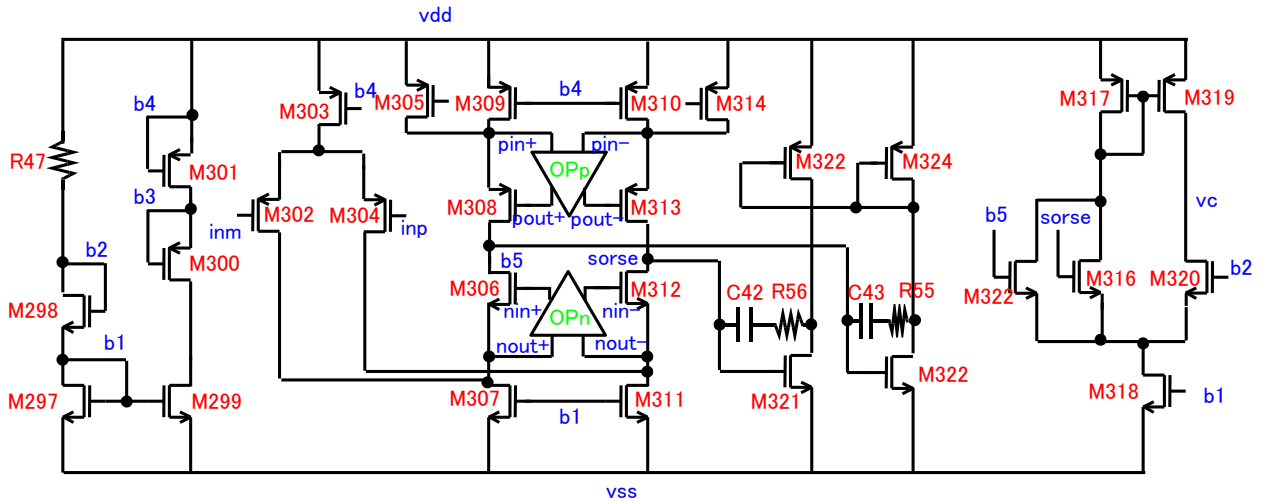


ゲインブーストにゲインブーストをかける構成
⇒利得の向上が見込める

14

部門3 提出回路

メインアンプ



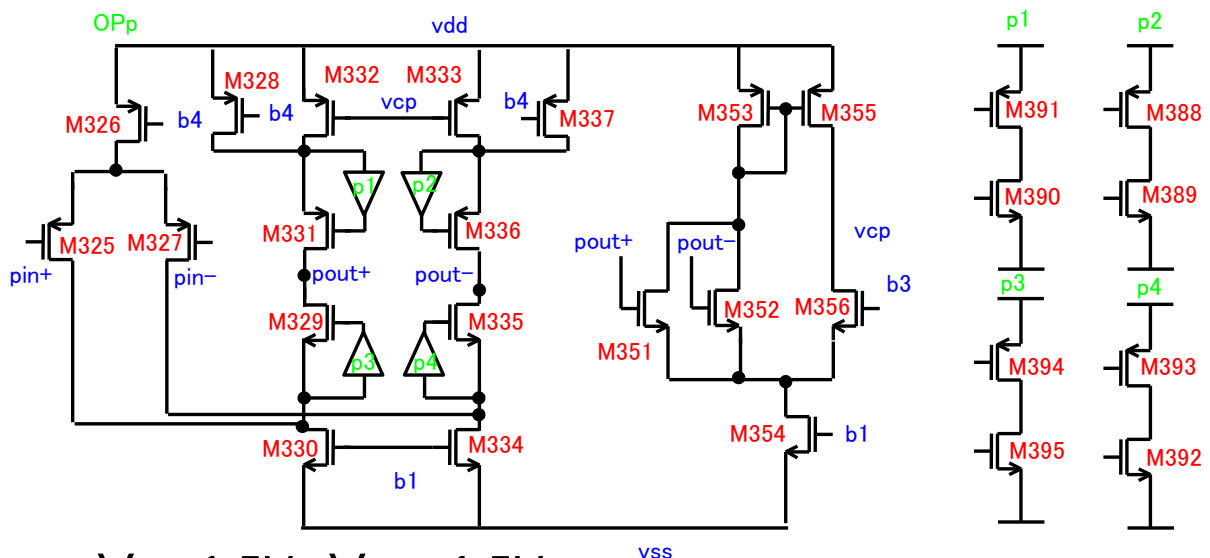
✓ $V_{dd}=1.5V$ $V_{ss}=-1.5V$

✓ バルク pmos : ソース接地 nmos:Vss

15

部門3 提出回路

ブーストアンプ (pmos側)



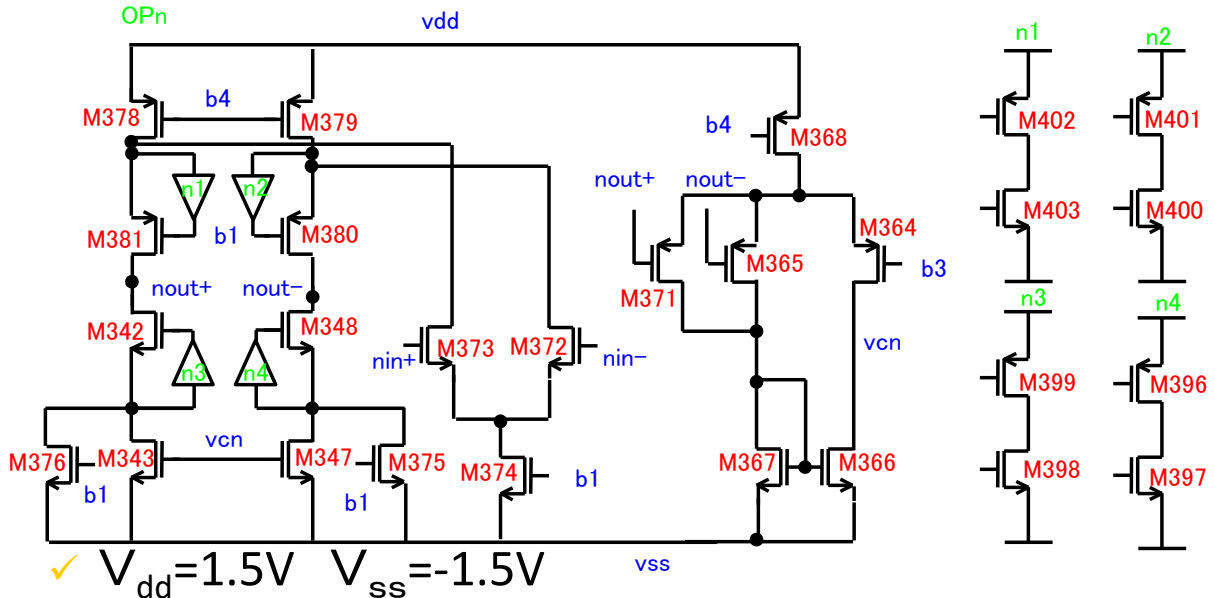
✓ $V_{dd}=1.5V$ $V_{ss}=-1.5V$

✓ バルク pmos : ソース接地 nmos:Vss

16

部門3 提出回路

ブーストアンプ(nmos側)

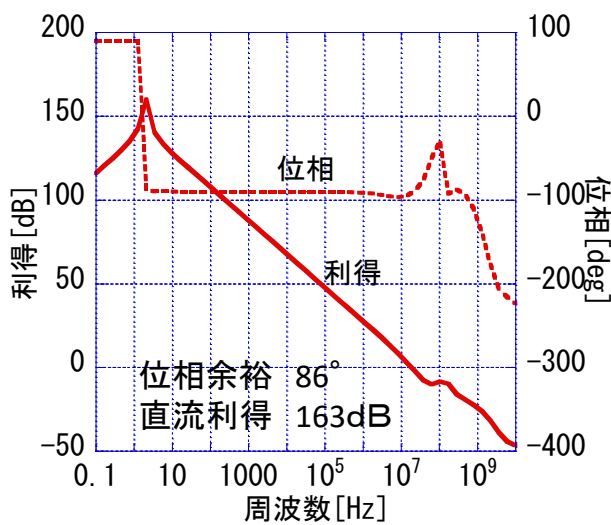


✓ $V_{dd}=1.5V$ $V_{ss}=-1.5V$

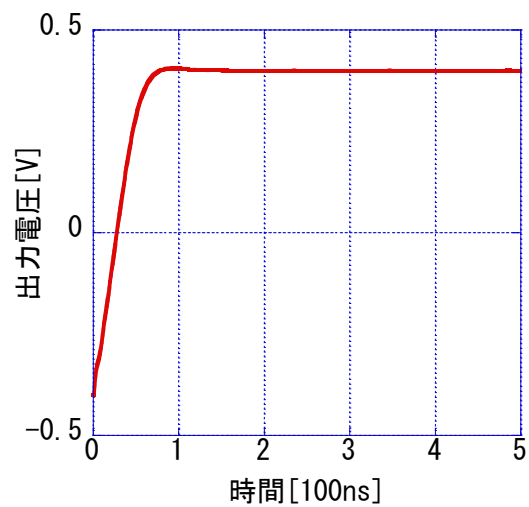
✓ バルク pmos : ソース接地 nmos : Vss

17

部門3 シミュレーション結果



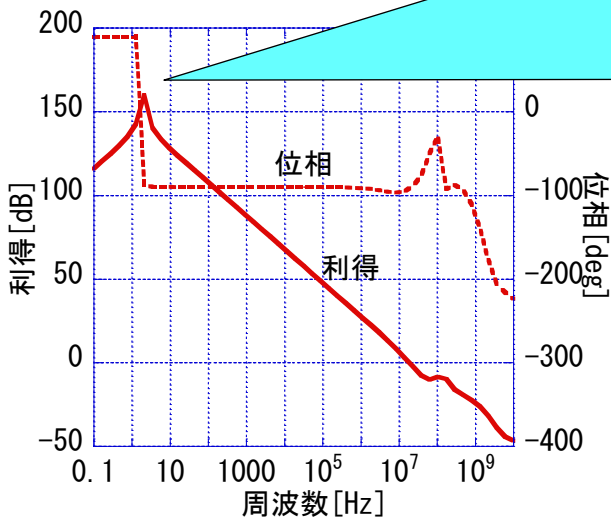
AC解析結果



過渡解析結果

18

部門3 シミュレーション結果



AC解析結果

- ✓ nested gain-boosted構成で利得を高くしようと検討したが出力抵抗が高くなり、あまり利得を上げられなかった
- ✓ 出力抵抗を下げようと、最終段をフォロワ回路にしたら出力電圧範囲が下がってしまい、スコアは伸びなかった

19

部門3 評価結果

項目	評価結果
電源電圧変動除去比	1.6842e+02
出力電圧範囲	1.0000e+02
位相余裕	9.0001+01
スコア	1.5158e+06

まとめ

- ✓ 高い利得を目指す
- ✓ 高い利得と、出力電圧範囲100%の両立は難しい

20

部門4 評価式と設計方針

越えなければならない壁

評価式

消費電力のみ

項目	要件
電源電圧変動除去比	3V
直流利得	40dB
位相余裕	45°
帯域幅	20kHz
出力オフセット電圧	±100mV
入力電圧範囲	±0.1V以上
スルレート	±1V/μs
占有面積	0.2mm

部門4 評価式と設計方針

越えなければならない壁

評価式

消費電力のみ

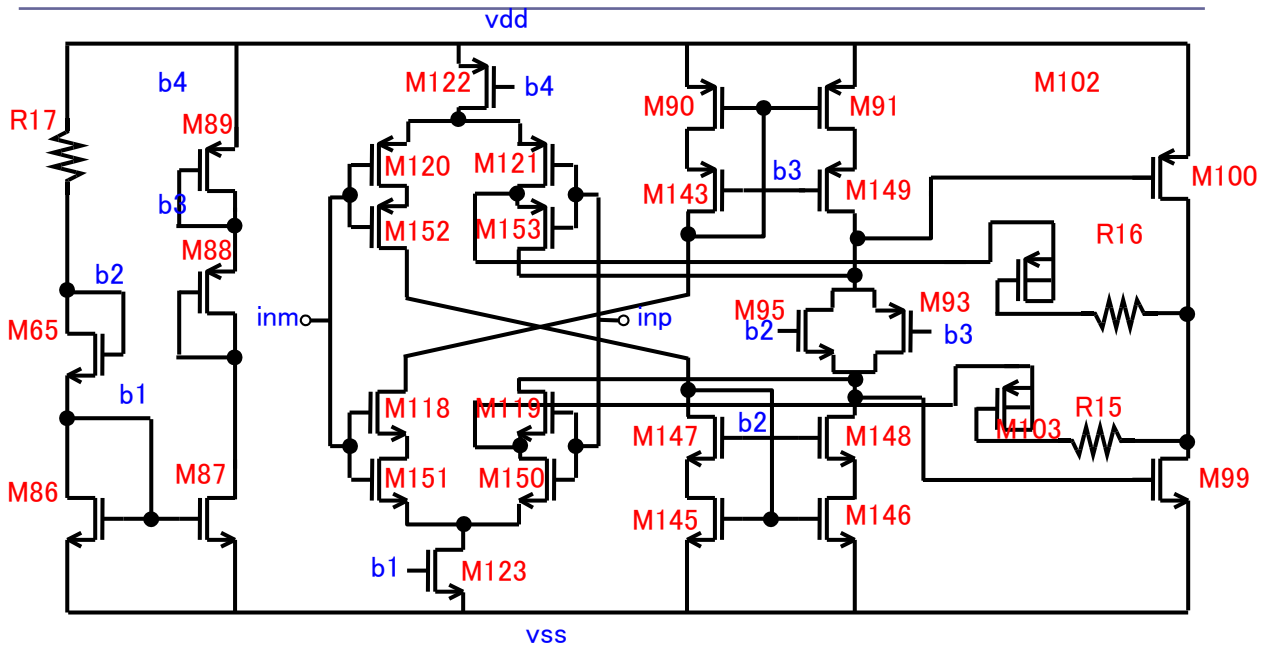
項目	要件
電源電圧変動除去比	3V
直流利得	40dB
位相余裕	45°
帯域幅	20kHz
出力オフセット電圧	±100mV
入力電圧範囲	±0.1V以上
スルレート	±1V/μs
占有面積	0.2mm

位相余裕、スルレートを
基準最低限満たし、低消費
電力化を行う

✓ 部門1回路と同じ課題?

⇒部門1回路使用

部門4 提出回路

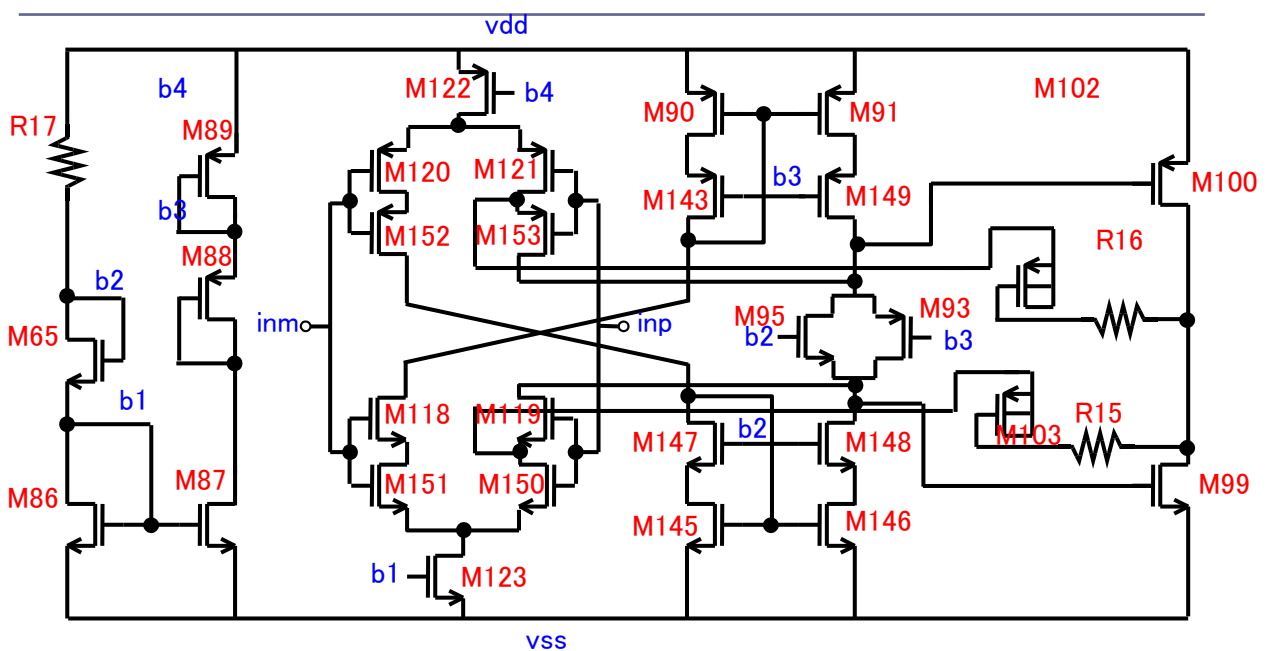


✓ $V_{dd}=1.5V$ $V_{ss}=-1.5V$

✓ バルク pmos :Vdd nmos:Vss

23

部門4 提出回路

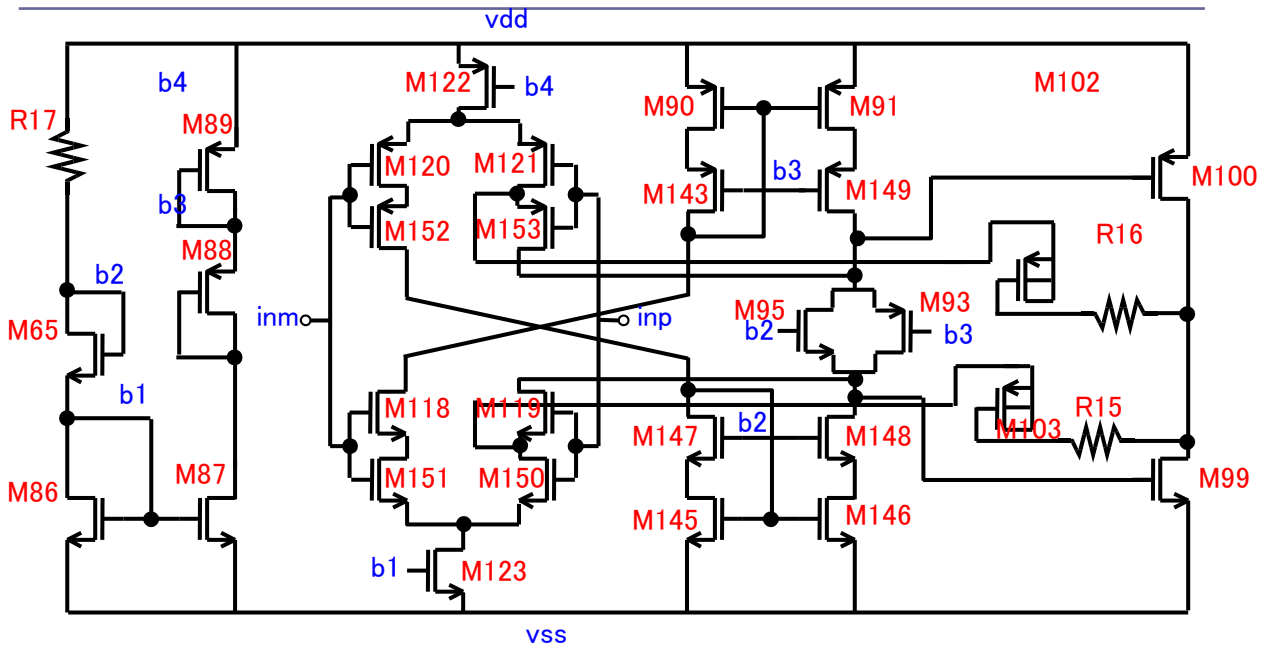


✓ $V_{dd}=1.5V$ $V_{ss}=-1.5V$

✓ バルク pmos :Vdd nmos:Vss

24

部門4 提出回路

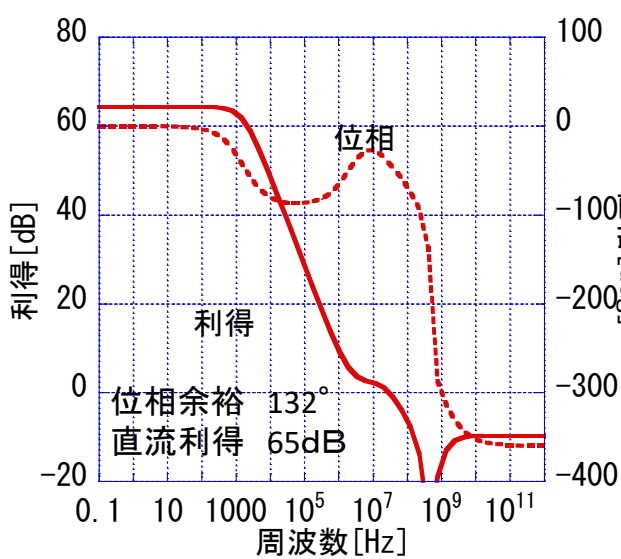


チャンネル長はすべて600n

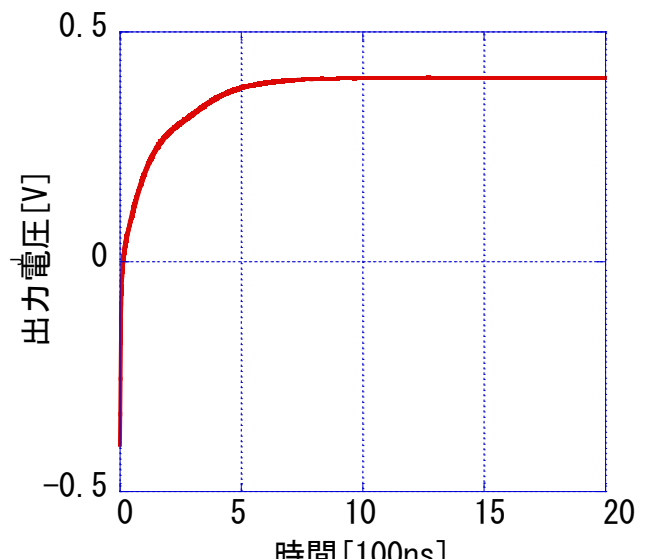
m175=1.2u m174=1.2u m163=1.3u m60 =1.2u
 m58=1.2u m59=1.2u m156 =1.2u m167=1.2u m152=1.2u m154=1.2u m153=1.2u
 m171=1.2u m155=1.2u m162=1.3u m173=3.1u m172=3.1u m52=3u
 m55=3u m166=1.2u m157=3u m160=3u m158=3.1u m159=3.1u m164=3.7u
 m161=3u m170=3.6u m165=3.7u m102=12.5u m103=12.5u R17=4705k

25

部門4 シミュレーション結果



AC解析結果



過渡解析結果

26

部門4 評価結果

□ 部門4

項目	評価結果
消費電力	1.1575e-05

まとめ

- ✓ 部門1回路を利用した
- ✓ 位相余裕、スルーレートぎりぎりのところを狙い、消費電流を極限まで絞る(実際レイアウトまで考えるともう少し余裕を持たせなければならないと思う)

27

感想

- 回路設計を楽しく競いながら、身に着けることができるととても良いコンテストだと思います。
- 特に今回は昨年と部門内容が大きく変わり、新しい攻略法を見つけていくのがとても楽しかったです。
- 運営の皆様、ありがとうございました。今後も、このコンテストを行ってほしいです。

28

演算増幅器設計コンテスト

部門1 2位
部門2 1位
部門3 3位
(部門4 4位)

東京理科大学 理工学研究科 電気工学専攻
兵庫研究室 修士2年 原卓也

1



部門1 評価式

部門1 2位

$$\frac{\text{スルーレート[V/s]} \times \text{同相入力範囲[\%]} \times \text{直流利得[~~倍~~]}^{\text{[dB]}}}{\text{消費電流[A]}}$$

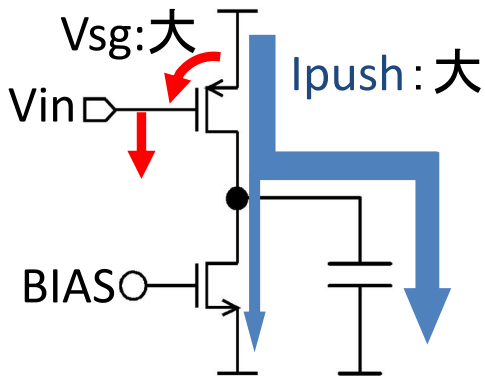
- ◆ 直流利得の評価式が[倍]から[dB]に変化
- ◆ 直流利得一辺倒の戦いではなくなる
- ◆ スルーレートを強化する方向で回路を検討する

2

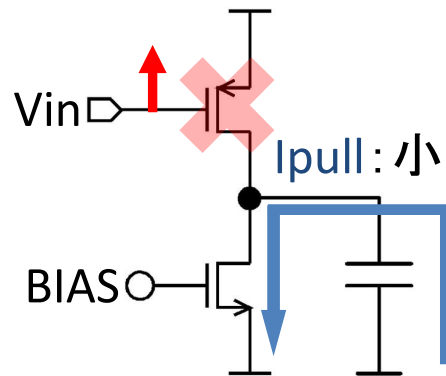


部門1 スルーレートを上げるには…？ (1/4)

ソース接地回路



- ・出力立ち上がり時
- ①PMOSの V_{sg} 電圧が上昇
- ②大電流が負荷に流れる
- 速いスルーレート



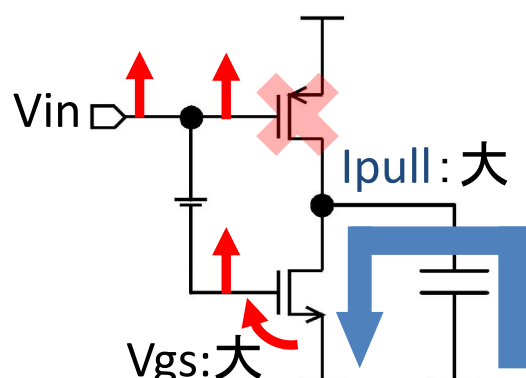
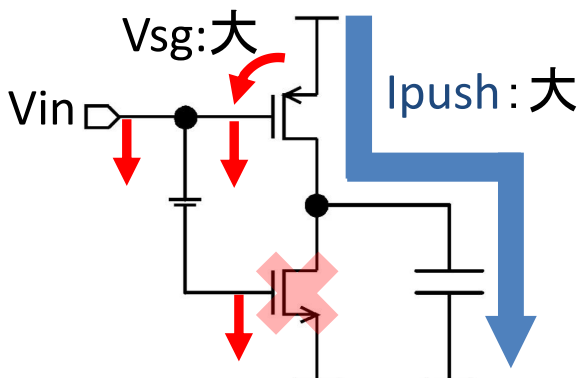
- ・出力立ち下がり時
- ①PMOSがオフ
- ②定電流が負荷から流れる
- 遅いスルーレート

3



部門1 スルーレートを上げるには…？ (2/4)

AB級ソース接地回路

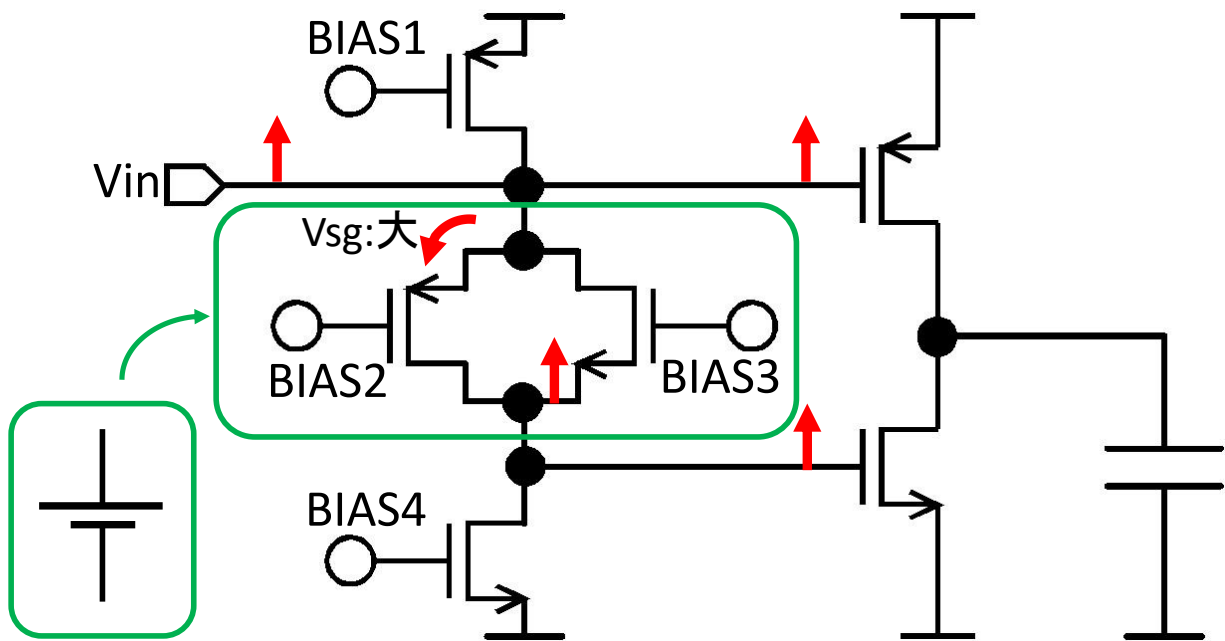


入力信号をレベルシフトしてNMOSにも印加すると立ち上がり・立ち下がり共に速いスルーレートを得る

4



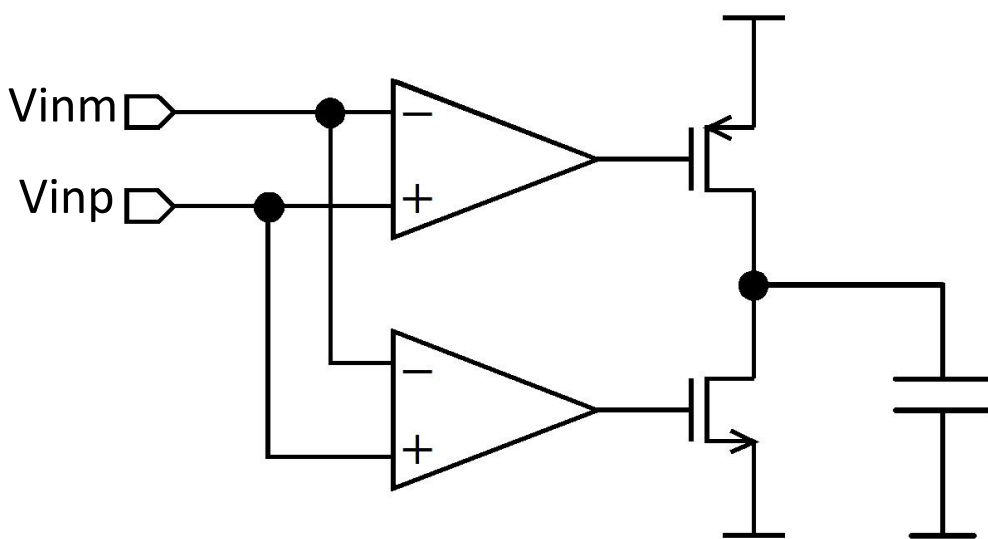
部門1 スルーレートを上げるには…？ (3/4)



CMOSを使うことでレベルシフトを実現する
 →MOSを経由する分スルーレートが悪くなる



部門1 スルーレートを上げるには…？ (4/4)

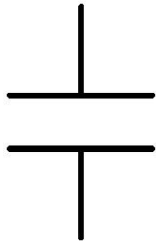


差動段を二つ用意し、それぞれが出力段のMOSを駆動
 →より速いスルーレートを実現

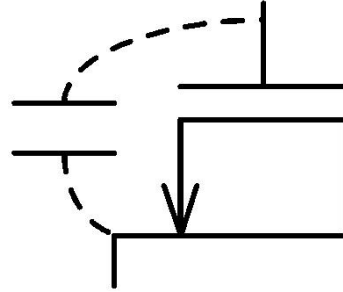


部門1 位相補償：キャパシタ

位相補償容量は大きいほどスルーレートが悪くなる



容量の最小単位100fF
大きすぎる…



PMOSのゲートソース間に
存在する寄生容量を利用



PMOSのサイズ変更により
任意の大きさの容量を使える

7

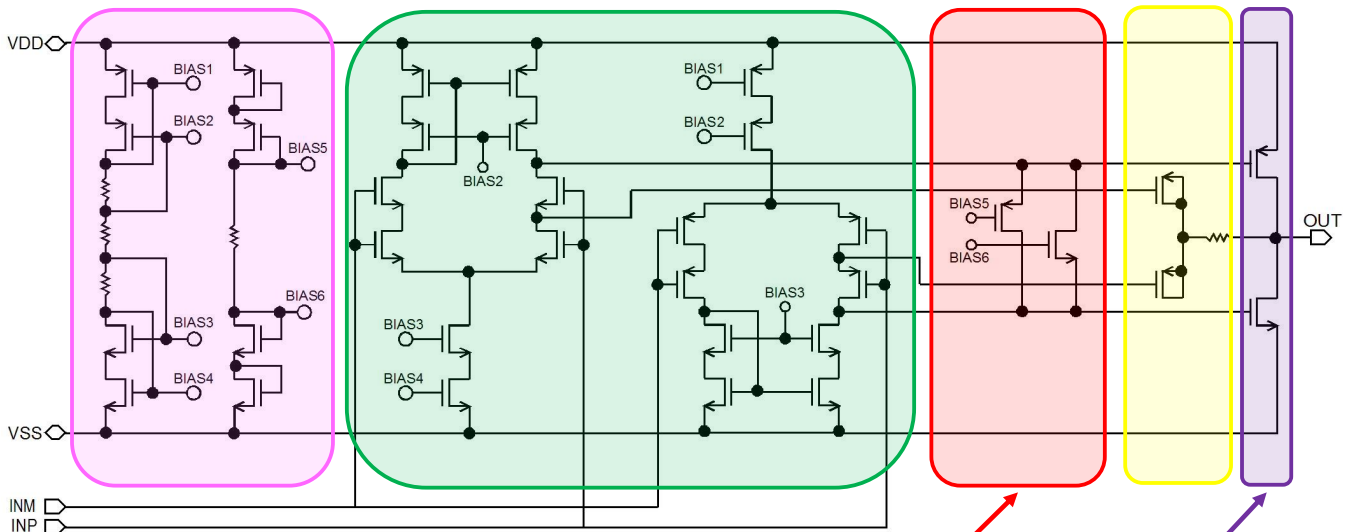


部門1 提出回路：構成

バイアス回路

差動段

位相補償



AB級バイアス

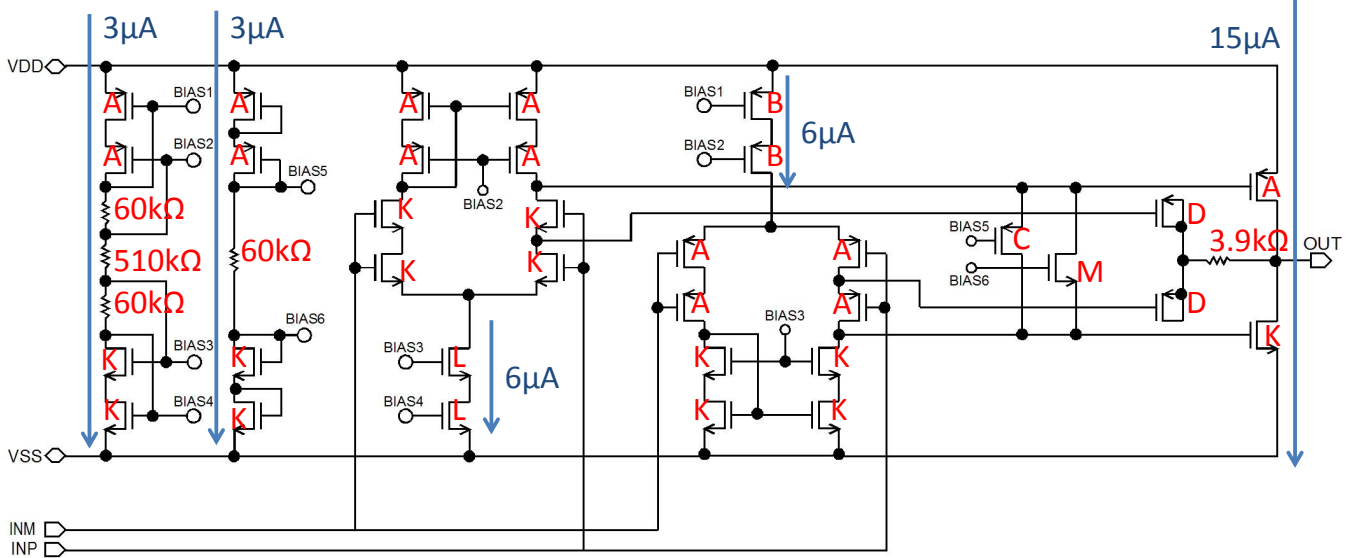
AB級出力段

8



部門1 提出回路：パラメータ

消費電流：34 μ A

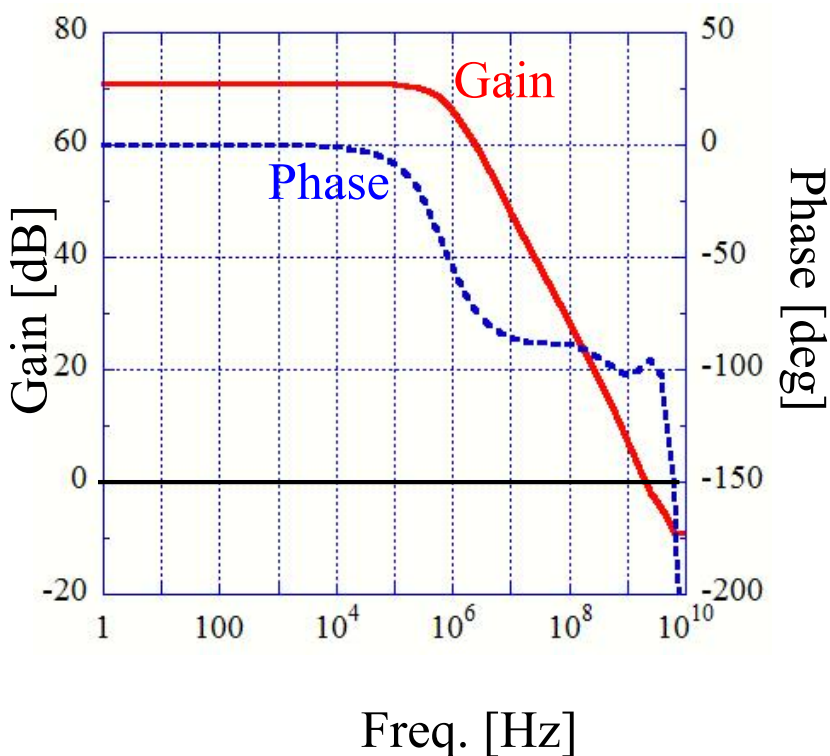


PMOS(W/L) : A(540nm/180nm) B(1080nm/180nm) C(540nm/900nm) D(680nm/500nm)
 NMOS(W/L) : K(270nm/180nm) L(540nm/180nm) M(270nm/900nm)

9



部門1 評価性能：周波数特性

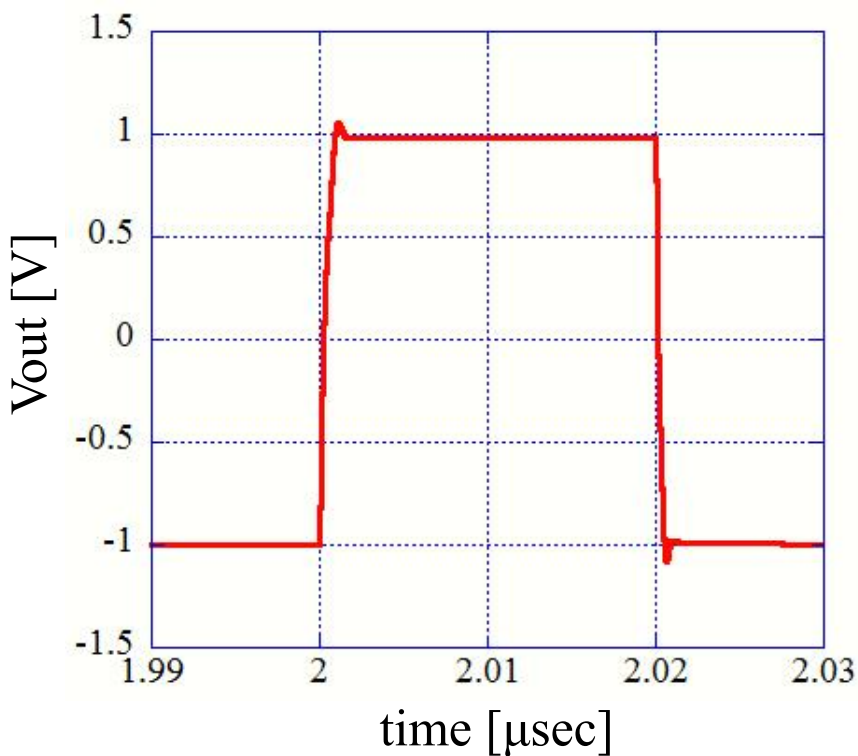


直流利得：
71 dB
 位相余裕：
84 deg
 利得帯域幅積：
2.0GHz

10



部門1 評価性能：スルーレート



立ち上がり
 $1.4 \times 10^{10} [V/s]$

立ち下がり
 $3.3 \times 10^{10} [V/s]$

11



部門1 スコアとまとめと感想

	スルーレート	消費電流	同相入力範囲	直流利得	スコア
1位	7.6164e+08	9.1549e-07	1.0000e+02	6.9077e+01	5.7468e+18
2位(自分)	1.2294e+10	3.3645e-05	8.9500e+01	7.0731e+01	2.3132e+18
3位	1.2069e+09	5.1140e-06	9.6833e+01	8.5207e+01	1.9472e+18

- ◆ スルーレート特化の演算増幅器を設計した
- ◆ スルーレートについて全参加者中1位の速度を達成した
- ◆ 上位3人がそれぞれ別の特性を攻めてきている
 →評価式の変わった初年度だからこそその結果

12



部門2 評価式

部門2 1位

利得帯域幅積[Hz]×位相余裕[deg]

消費電力²[W] × 出力抵抗[Ω] × 入力換算雑音[V]

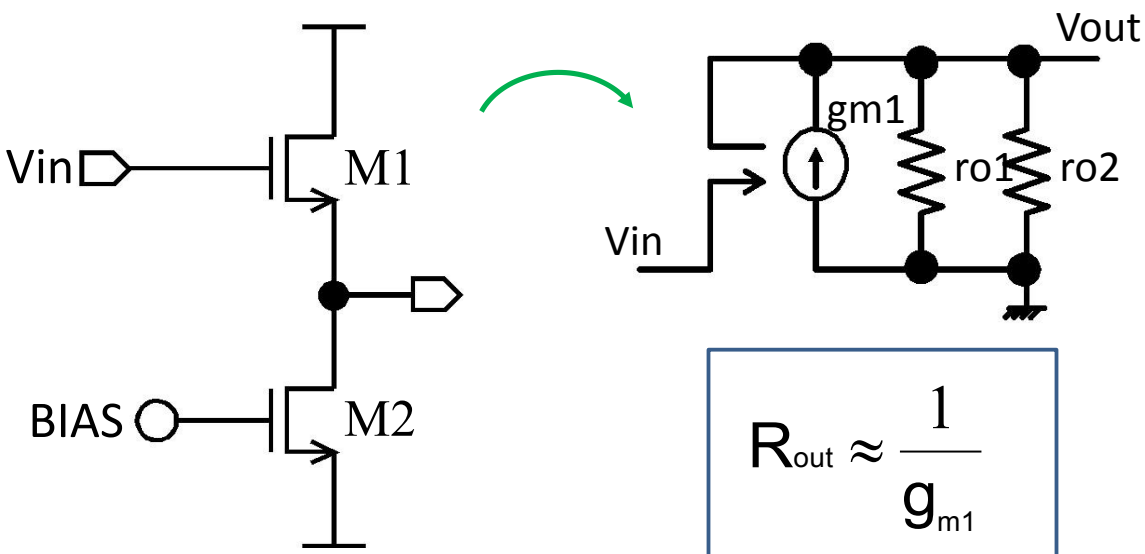
- ◆ 出力抵抗の最小値は0.1Ω→もちろん目指す
- ◆ 電源電圧1.8V設計で低消費電力に配慮
(電源電圧は最大3.0Vまで許されている)
- ◆ 利得帯域幅積と位相余裕はあまり意識せずに設計

13



部門2 出力抵抗を小さくするには…? (1/4)

低出力抵抗といえばソースフォロワ



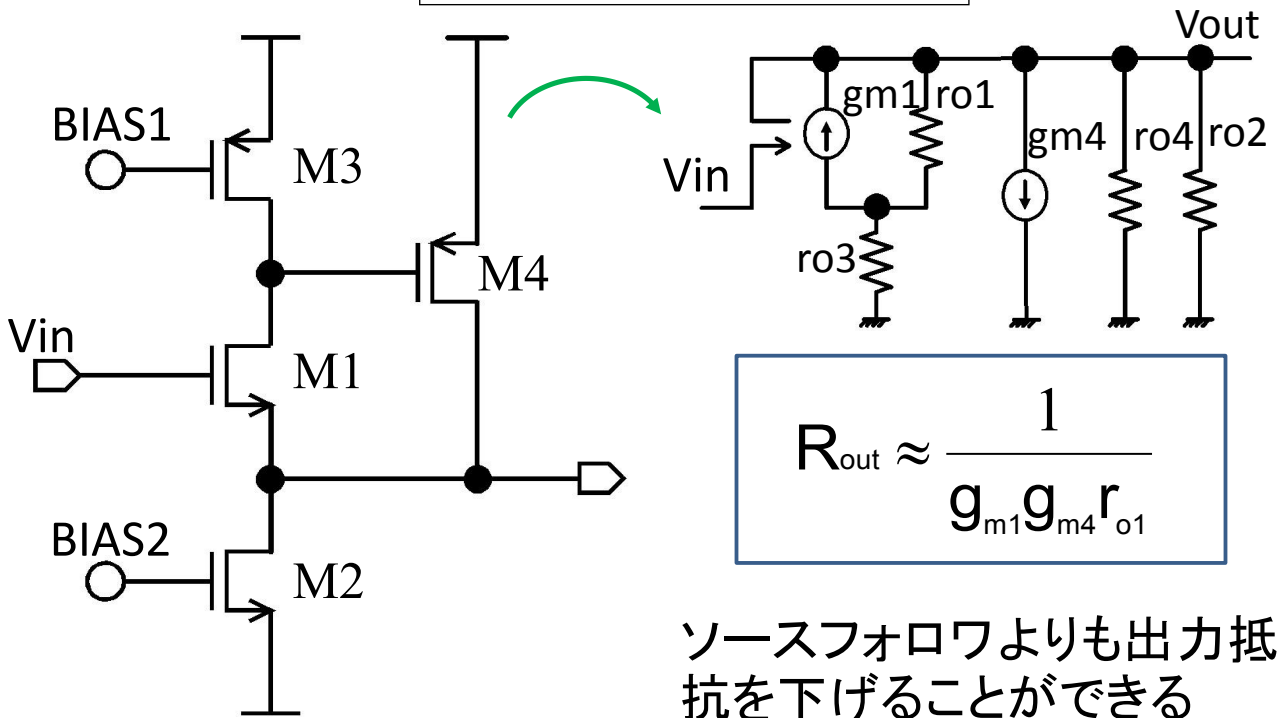
出力抵抗は入カトランスコンダクタンスの逆数になる

14



部門2 出力抵抗を小さくするには…？ (2/4)

スーパーソースフォロワ



$$R_{out} \approx \frac{1}{g_{m1} g_{m4} r_{o1}}$$

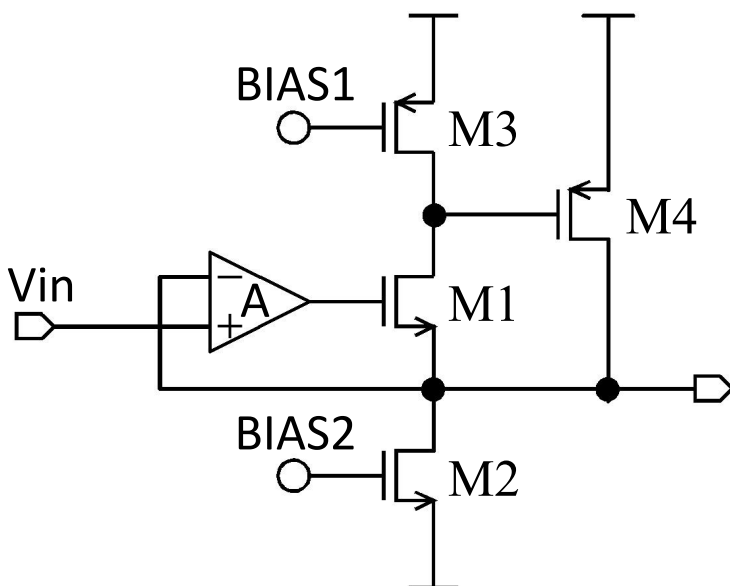
ソースフォロワよりも出力抵抗を下げる事ができる

15



部門2 出力抵抗を小さくするには…？ (3/4)

スーパーソースフォロワ+負帰還アンプ



入カトランジスタにA倍の
アンプで負帰還かけること
で出力抵抗をA倍減らす

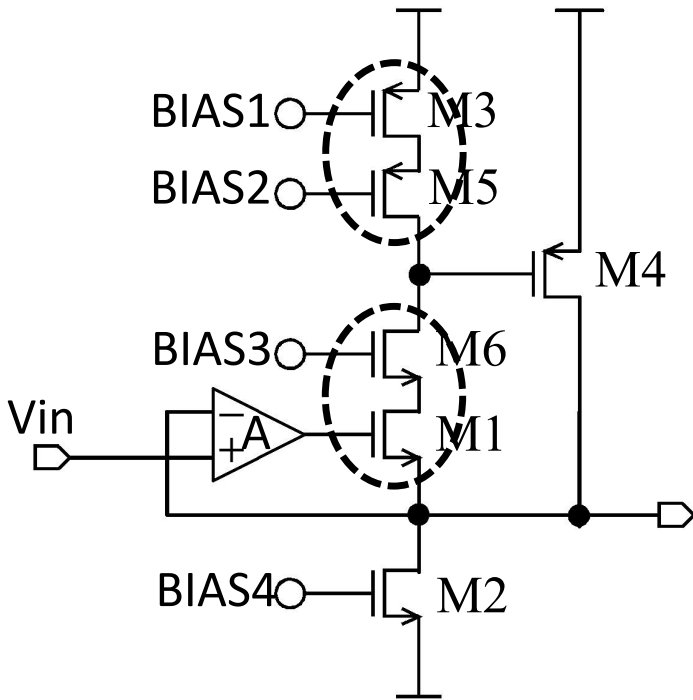
$$R_{out} \approx \frac{1}{A g_{m1} g_{m4} r_{o1}}$$

16



部門2 出力抵抗を小さくするには…？ (4/4)

カスコードスーパーソースフォロワ+負帰還アンプ



カスコードすることにより
更に出力抵抗を下げる

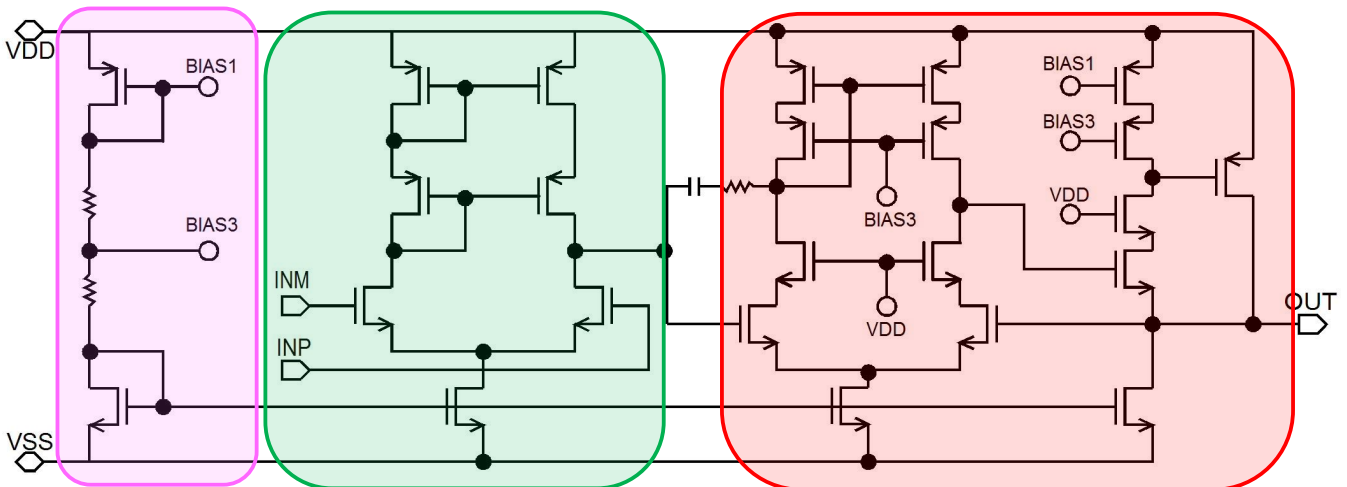
$$R_{out} \approx \frac{1}{A(g_{m1}r_{o1})^2 g_{m4}}$$

17



部門2 提出回路：構成

バイアス回路



差動段

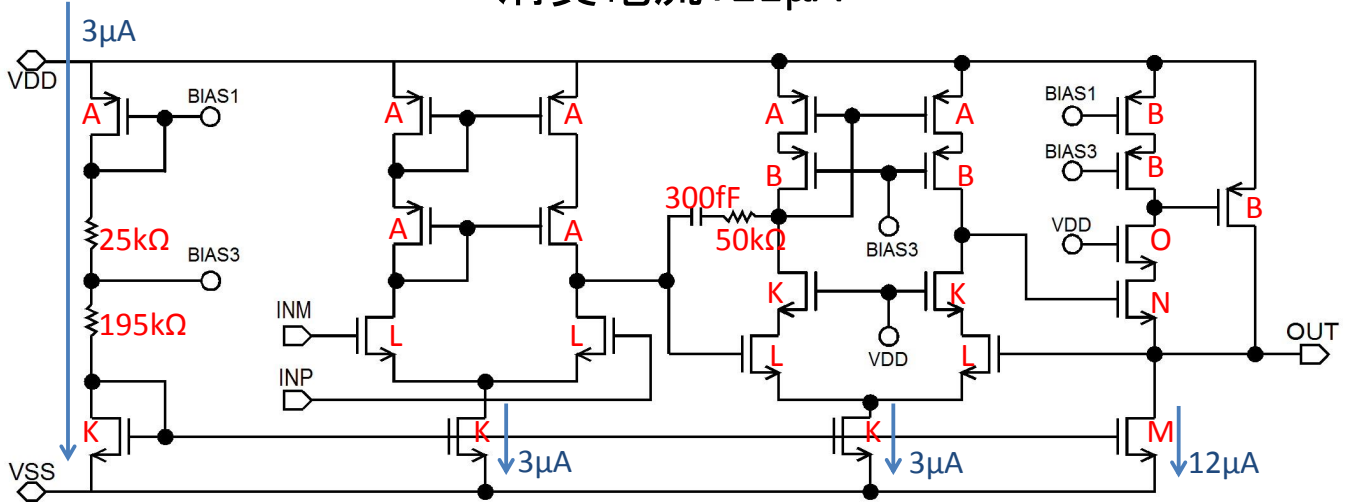
負帰還アンプ+
カスコード
スーパーソースフォロワ

18



部門2 提出回路：パラメータ

消費電流: 21 μ A



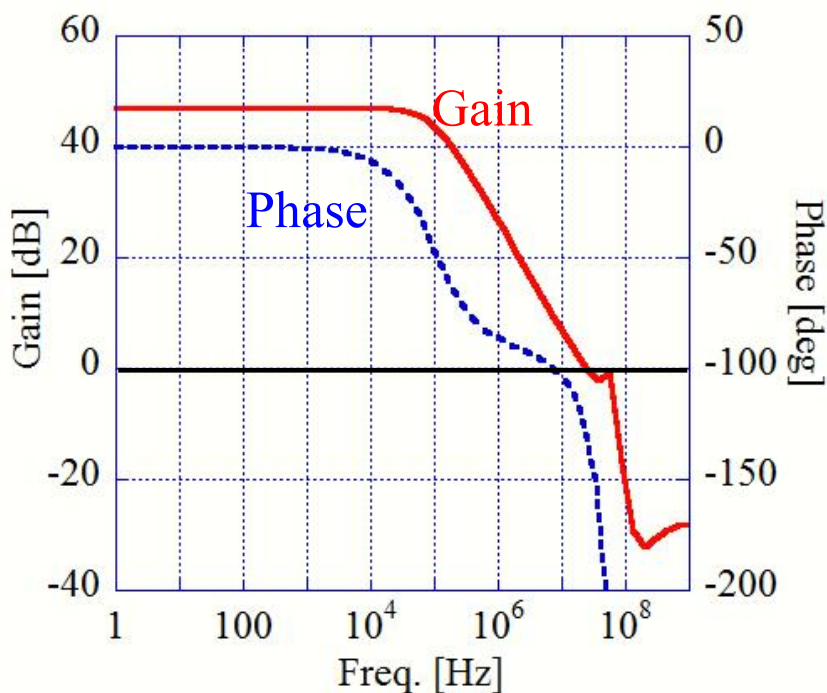
PMOS(W/L) : A(5 μ m/1 μ m) B(10 μ m/1 μ m)

NMOS(W/L) : K(1 μ m/1 μ m) L(10 μ m/1.5 μ m) M(4 μ m/1 μ m) N(20 μ m/1 μ m) O(6 μ m/1 μ m)

19



部門2 評価性能：周波数特性



直流利得:

47 dB

位相余裕:

56 deg

利得帯域幅積:

15 MHz

20



部門2 スコアとまとめと感想

消費電力	3.0169e-05	W
出力抵抗	1.0000e-01	Ω
入力換算雑音	3.9367e-03	V
利得帯域幅積	1.4670e+07	Hz
位相余裕	5.5630e+01	deg
スコア	2.2776e+21	

- ◆ カスコードスーパーソースフォロワ構成 + 負帰還アンプ
- ◆ 最小出力抵抗0.1 Ω を達成した
- ◆ 入力をPMOSにすることで入力換算雑音の改善が可能?

21



部門3 評価式

部門3 3位

電源電圧変動除去比[dB]

×

出力電圧範囲[%]

×

位相余裕[deg]

- ◆ 出力電圧範囲は100%
- ◆ 位相余裕は90degを達成しつつ...
- ◆ 電源電圧変動除去比(PSRR)を高くする
→差動利得を上げるしか考えつかなかった...

PSRR=Ad/Add,ss

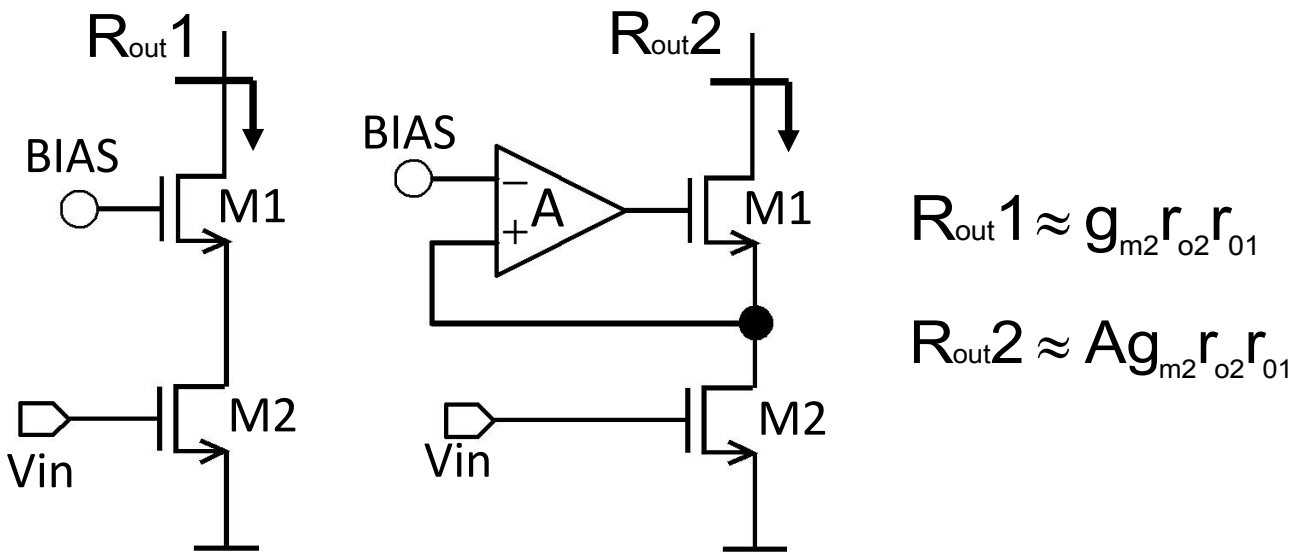
Ad:差動利得

Add:VDD側電源利得 Ass:VSS側電源利得

22



部門3 ゲインブースト



→ゲインブーストにより出力抵抗が大幅に増加

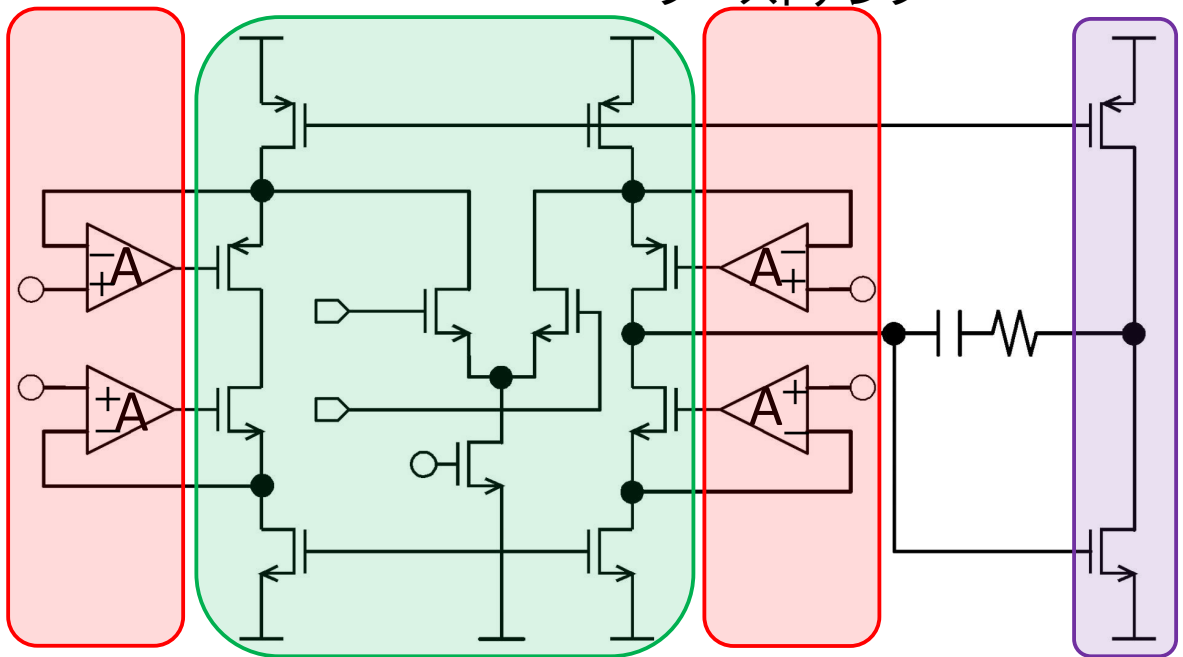
→利得の増加



部門3 提出回路：構成

ブーストアンプ

ブーストアンプ



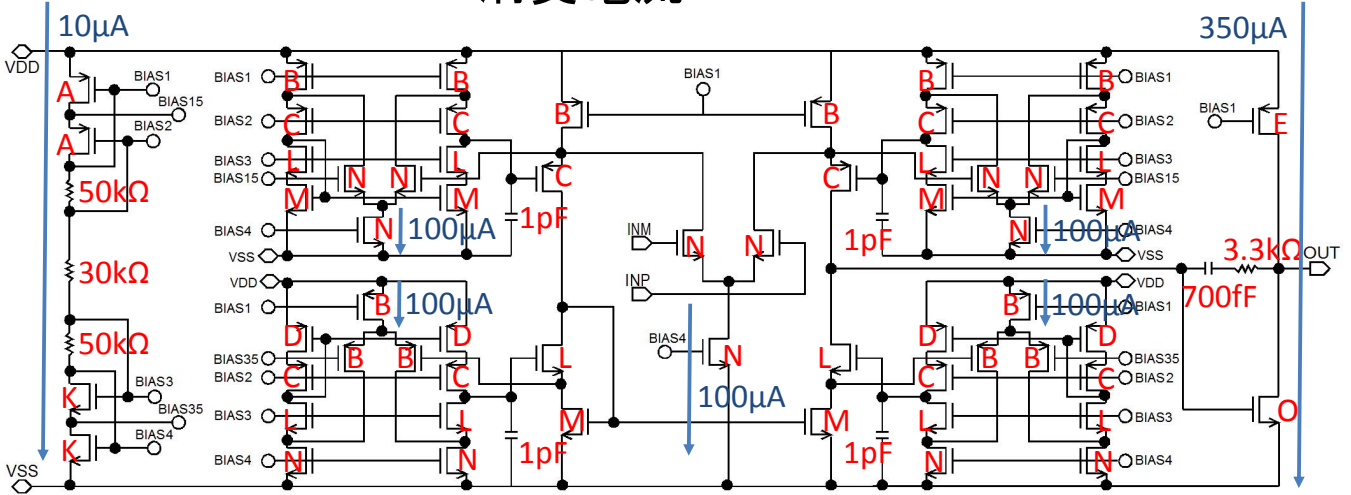
差動段
(フォールデッドカスコード)

出力段
(ソース接地)



部門3 提出回路：パラメータ

消費電流：1.4 mA



PMOS(W/L):

A(2μm/1μm) B(20μm/1μm) C(40μm/1μm) D(10μm/1μm) E(70μm/1μm)

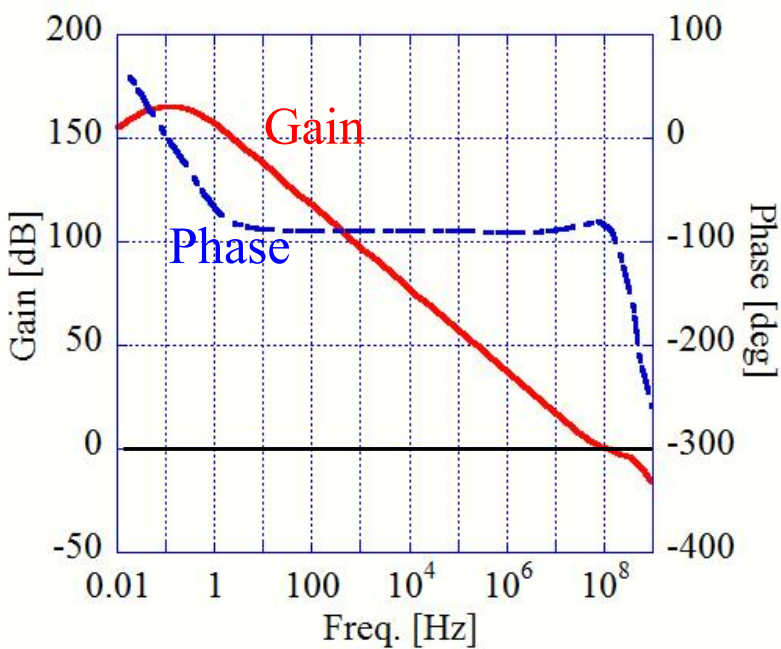
NMOS(W/L):

K(0.55μm/1μm) L(11μm/1μm) M(2.75μm/1μm) N(5.5μm/1μm) O(19.25μm/1μm)

25



部門3 評価性能：周波数特性



直流利得:

165 dB

位相余裕:

90 deg

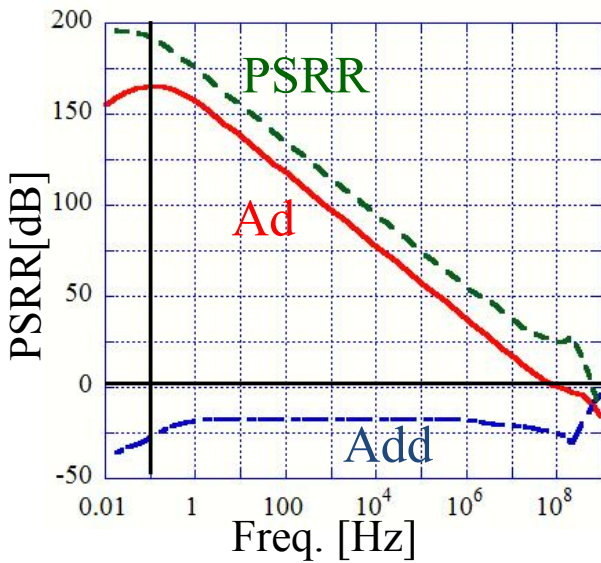
利得帯域幅積:

113MHz

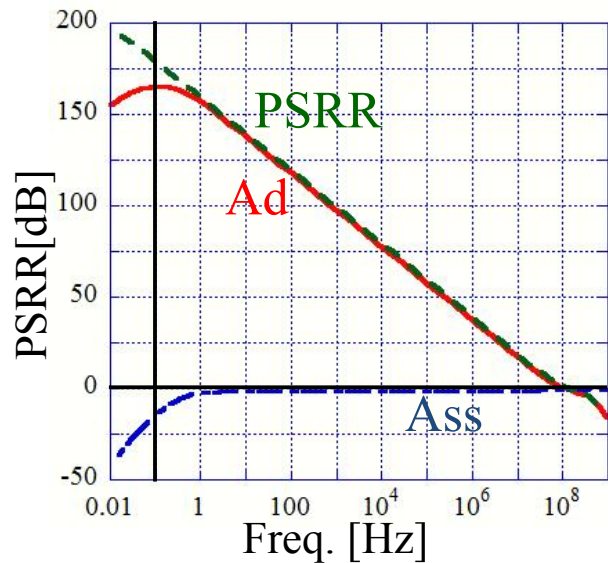
26



部門3 評価性能：電源電圧変動除去比（PSRR）



Vdd側 : 193dB



Vss側 : 179dB

27



部門3 スコアとまとめと感想

項目	評価結果	単位
電源電圧変動除去比	1.7832e+02	dB
出力電圧範囲	1.0000e+02	%
位相余裕	8.9807e+01	deg
スコア	1.6014e+06	

- ◆ ゲインブーストを採用することにより高い差動利得を実現
→その結果高い電源電圧変動除去比を達成した
- ◆ 電源電圧変動除去比に対する理解が足りていなかったと感じている。

28



- ◆ 各部門それぞれに特徴があるため、色々な演算増幅器を設計するよい機会となった。
- ◆ 評価式が変わり、例年とは違う回路を考えなければならず、新しい気持ちで楽しむことができた。
- ◆ このような勉強のできる良い機会を与えて下さった演算増幅器設計コンテスト運営に関わる方々、及び協賛企業の方々に厚く感謝申し上げます。

演算増幅器コンテスト 試作の部 2位

東京理科大学 兵庫研究室
修士2年 薄木崇

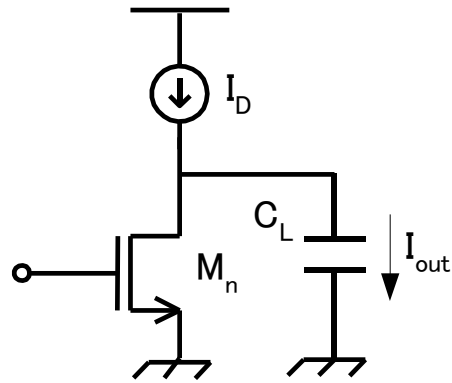
要件

- 利得誤差 $\pm 10\%$ 以内
- -3dB 帯域幅 10kHz 以上
- 最大入力電圧 0.1V 以上
- スルーレート(SR) $1\text{V}/\mu\text{s}$ 以上

以上を満たして消費電力で評価

消費電力とSRのトレードオフ

$$SR_{\text{out,up}} = \frac{I_{\text{out}}}{C_L}$$



負荷容量 C_L は 1nF のため $SR=1\text{V}/\mu\text{s}$ を満たすためには
出力電流 I_{out} ($=I_D$) は 1mA 必要になる

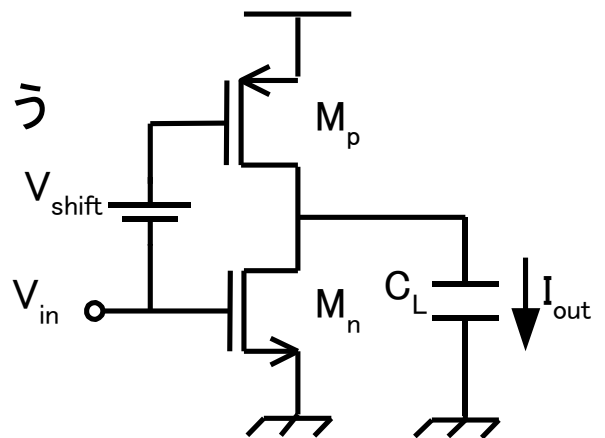


低消費電力が難しい

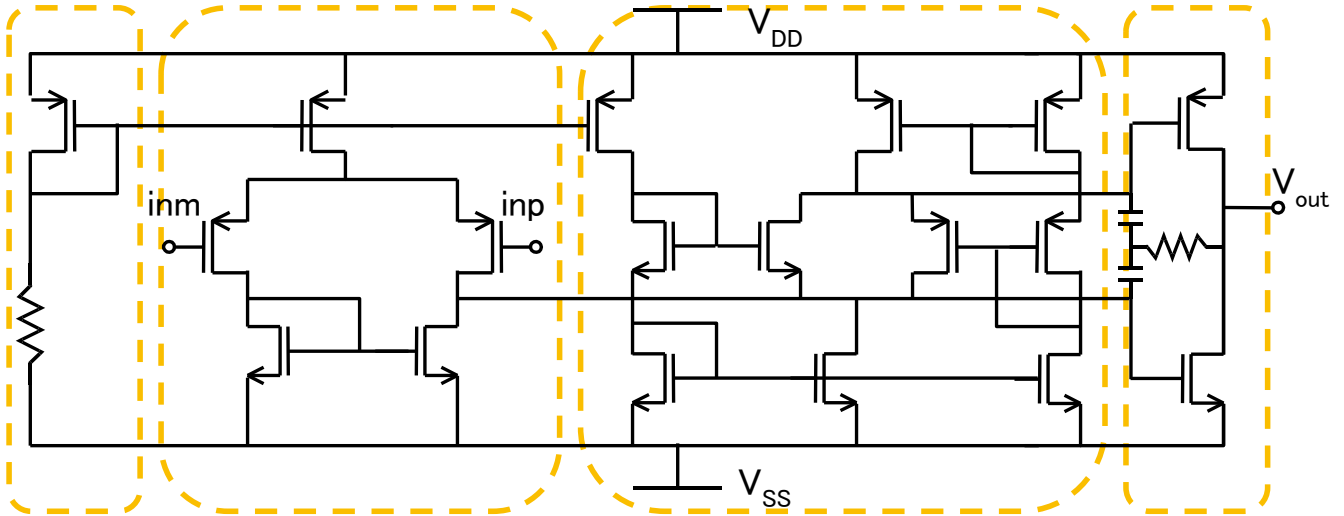
AB級出力回路

電流源を用いた出力回路では
SRが電流源に制限されてしまう

AB級出力回路を用いることで
SRを満たしつつ消費電流を
抑えることができる



提出回路



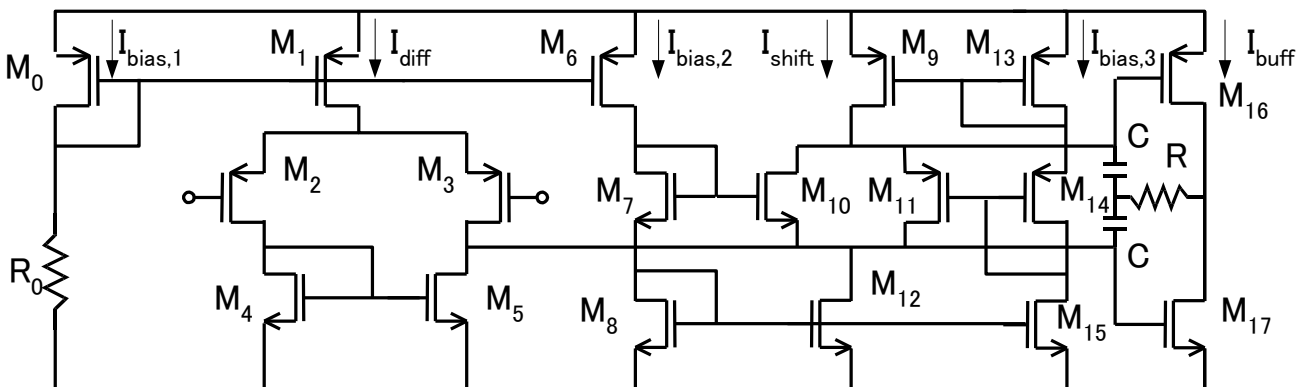
バイアス段

差動増幅

レベルシフト

AB級出力段

素子値と電流比



素子値(μm)	M ₀ ~15	M ₁₆ ~17
PMOS	16/4	48/1
NMOS	3.4/3	12/1 × 2

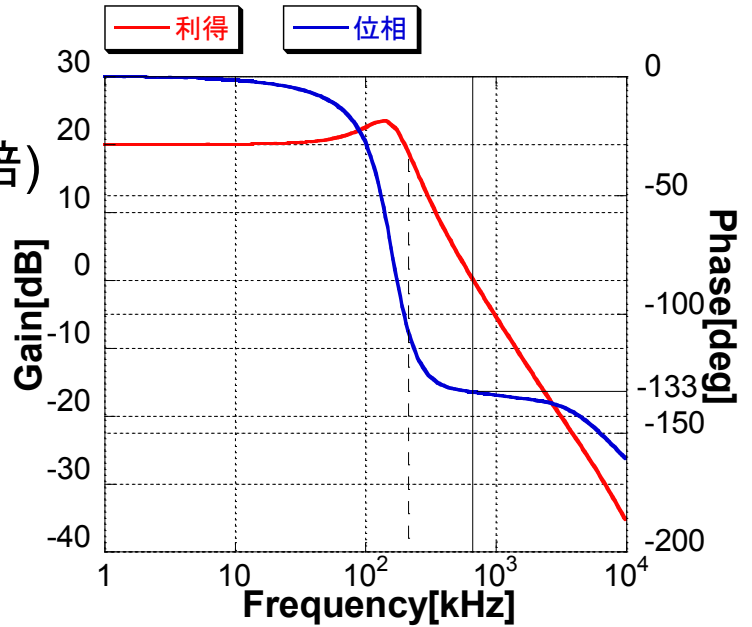
	素子値
R ₀ (kΩ)	399
R(kΩ)	189
C(pF)	1.04

	I _{bias,1}	I _{bias,2}	I _{bias,3}	I _{shift}	I _{diff}	I _{buff}
電流(μA)	5	1.25	1.25	2.5	12.5	20
電流比	4	1	1	2	10	

シミュレーション結果

- 周波数特性

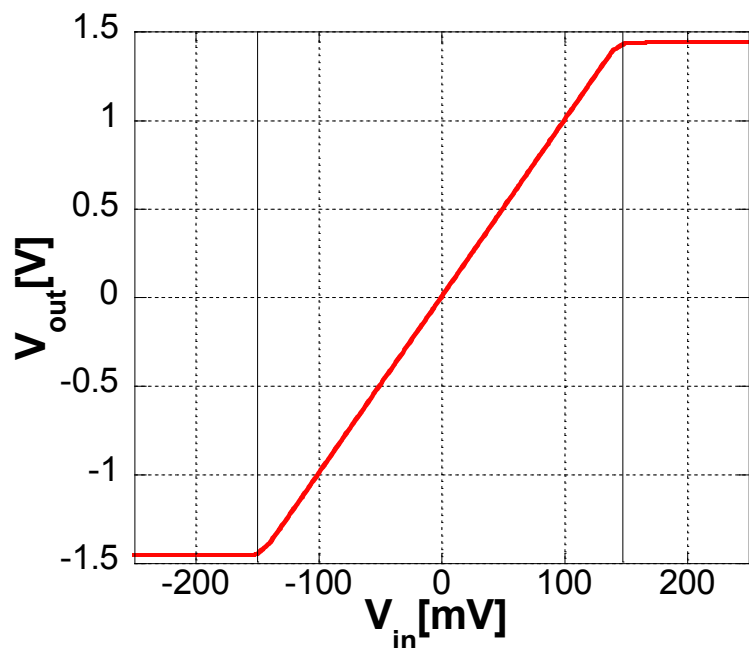
直流利得:19.96dB(9.95倍)
-3dB帯域幅:235kHz
位相余裕:47deg



シミュレーション結果

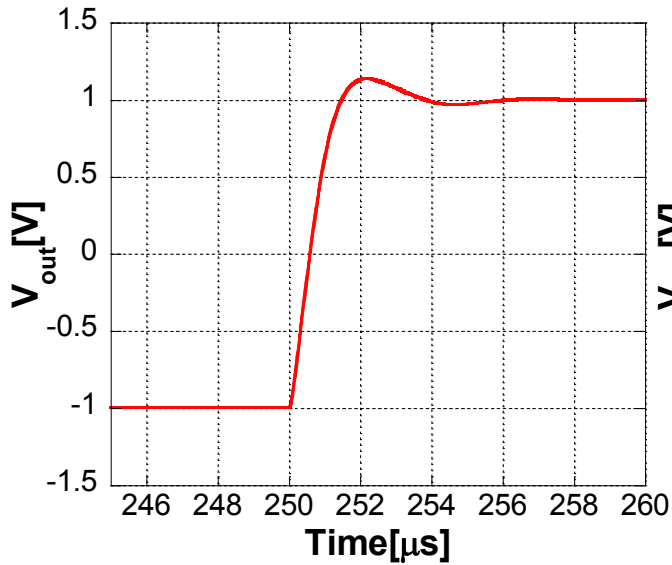
- 最大入力電圧範囲

最大入力電圧
±142mV

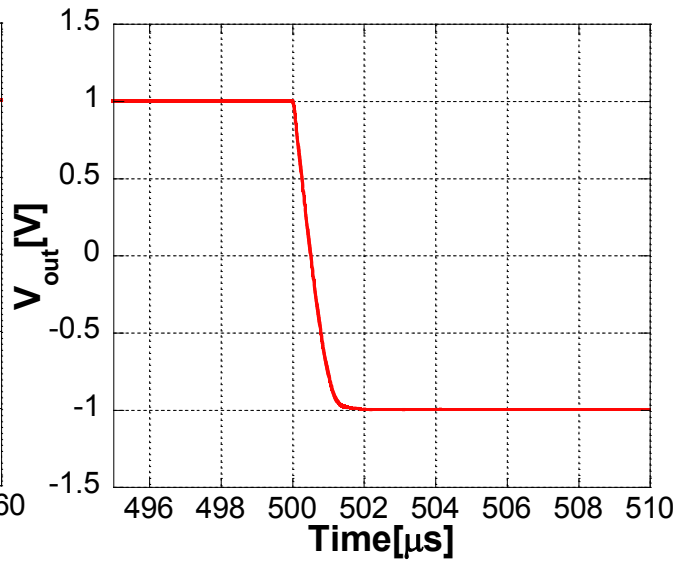


シミュレーション結果

• スルーレート



立ち上がり: $1.50\text{V}/\mu\text{s}$



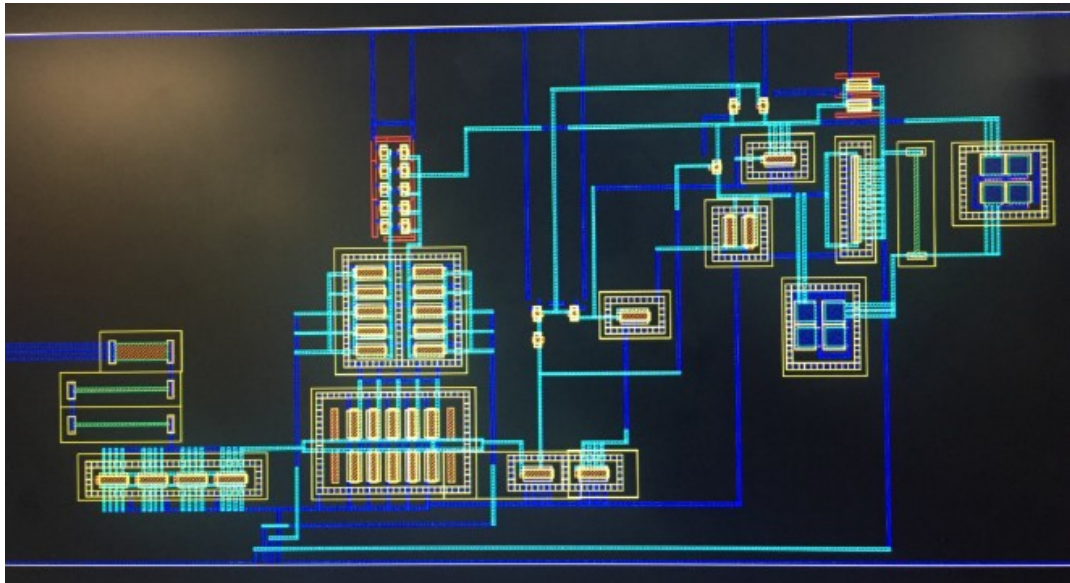
立ち下がり: $1.62\text{V}/\mu\text{s}$

シミュレーション結果まとめ

	結果
直流利得	9.95倍
帯域幅	235kHz
最大入力電圧	142mV
SR上がり	$1.5\text{V}/\mu\text{s}$
SR下がり	$1.62\text{V}/\mu\text{s}$
消費電流	$42.12\mu\text{A}$

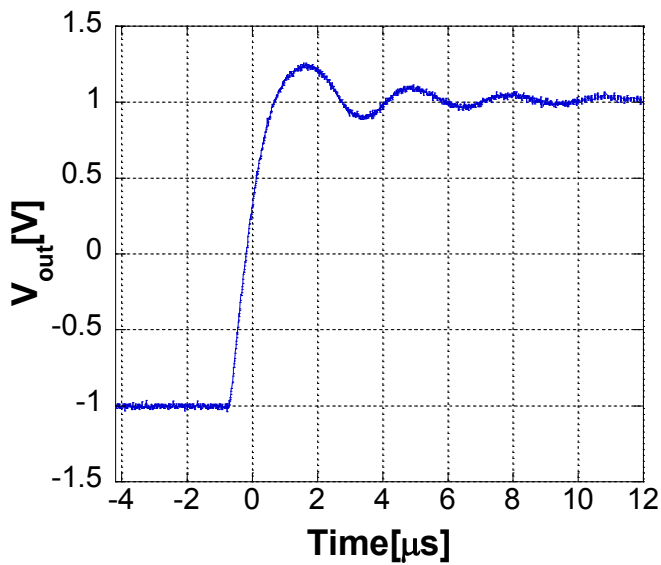
要件を満たし消費電流は **$42.12\mu\text{A}$** となった

試作レイアウト

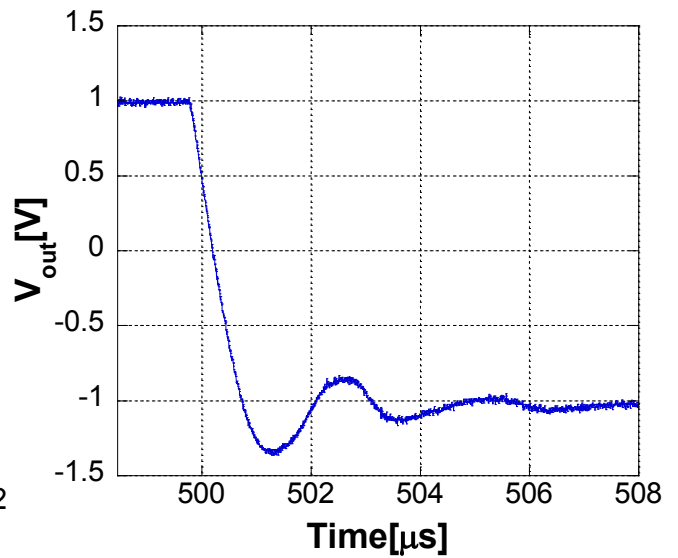


測定結果

・スルーレート



立ち上がり : 1.5V/μs



立ち下がり : 2.1V/μs

シミュレーションとの結果比較

	シミュレーション	試作
直流利得	9.95倍	9.84倍
帯域幅	235kHz	506kHz
最大入力電圧	142mV	140mV
SR上がり	1.5 μ s/V	1.5 μ s/V
SR下がり	1.62 μ s/V	2.1 μ s/V
消費電流	42.12μA	52.8μA

試作の消費電流は52.8 μ Aとなり、シミュレーションと比較し25%増加した

感想

去年の試作の部では回路が動作しなかったが今年はずっと動作し良い結果を残せたことに満足している

反省としてはMOSFETをアスペクト比が大きかったと考える(4,12,48)
これでは素子のばらつきによる影響を受けやすくなる
→アスペクト比を小さくしmultiplierを多用する

2016.12.09

演算増幅器設計コンテスト

試作の部 (公開用スライド)

第1部門 3位

第4部門 2位

試作の部 1位

東京理科大学 電気工学研究科 2年 遠藤大司

今年のご目標

2015年の成績

自分(3位) AB級アンプ 消費電流 $264 \mu A$

1位の方 AB級アンプ 消費電流 $211 \mu A$

目標レベル1 $200 \mu A$ 2015年ならギリギリ1位

目標レベル2 $150 \mu A$ 感覚的に可能そう

目標レベル3 $100 \mu A$ 頑張れば実現可能?

2016年は入力差動段もAB級とした
AB/AB級アンプを設計する

目標

目標

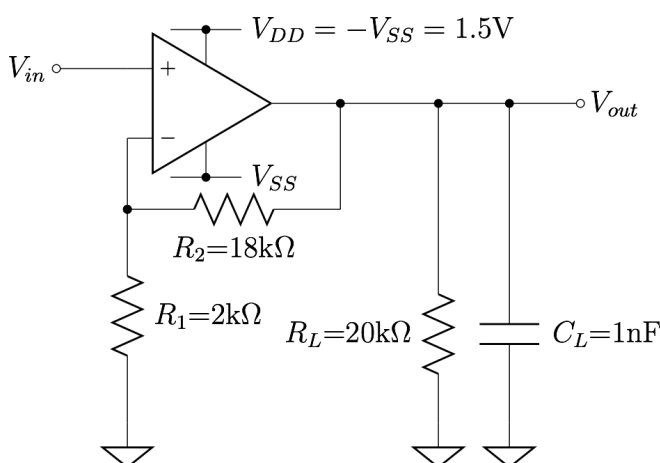
1. MOSのサイズは統一
2. AB級出力段のバイアスをしっかり設計
3. 差動段もAB級にする
4. システムチックに工夫してレイアウト
5. ミスマッチを考慮した素子配置を意識

自分ルール

手の内は隠さない **積極的に技術を流出させる**

3

要件とポイント



審査回路

10倍の非反転増幅回路

○求められる要件

直流利得	10倍 ± 10%
-3dB帯域幅	10kHz以上
最大入力電圧	±0.1V以上
スルーレート	1V/μs以上
回路の安定性	発振しない

消費電力の低さを競う

$$P = |I_{Bp}V_{DD}| + |I_{Bn}V_{SS}|$$

I_{Bp} と I_{Bn} は無信号時に正負電源端子に流れる電流

※平成28年度演算増幅器設計コンテスト

<https://www.ec.ict.e.titech.ac.jp/opamp/2016/exp.html>より

4

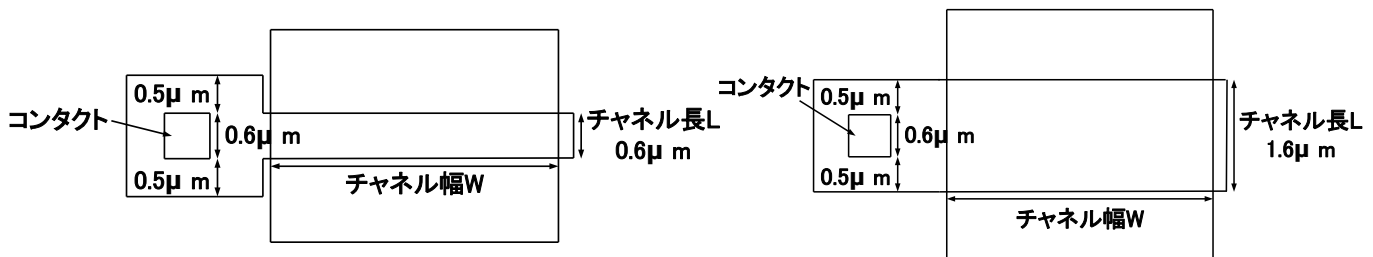
MOSTランジスタのサイズ決定法

0.6 μm プロセスを使用

チャンネル長 $L=1.6 \mu\text{m}$ に決定

理由

1. 要件の直流利得を満たしやすい出力抵抗
2. デザインルールの関係でレイアウトが楽



チャンネル長 L を $1.6 \mu\text{m}$ にすると

レイアウト上のMOSTランジスタの形が単純

5

MOSTランジスタの V_{gs} の決定法

飽和領域動作の条件式

$$V_{ds} \geq V_{gs} - V_{th}$$

g_m の条件式

$$g_m = \frac{2I_d}{V_{gs} - V_{th}}$$

$V_{gs} - V_{th}$ を弱反転領域にならない程度に小さく

NMOS $V_{gs} - V_{th} = 0.1[V]$ 程度と決める

$$V_{th} = 0.78[V], V_{gs} = 0.88[V] \text{ 程度}$$

PMOS $V_{sg} - V_{th} = 0.13[V]$ 程度と決める

$$V_{th} = 0.91[V], V_{sg} = 1.04[V] \text{ 程度}$$

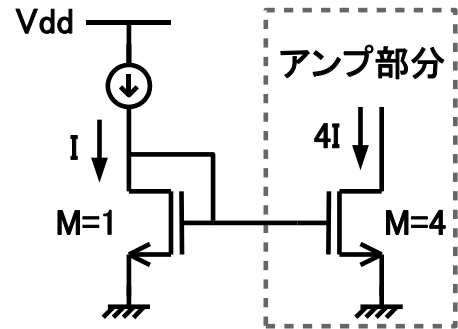
PMOS 差動対入力に使用 \rightarrow 入力振幅 $\pm 0.1V$ より V_{sg} 大きく

6

MOSTランジスタのIdの決定法

- バイアスの基準電流を小さくしすぎる
- アンプ部分のMOSのサイズがでかくなる
- スルーレートの劣化

基準電流との電流パスの比
1 : 4 と決める

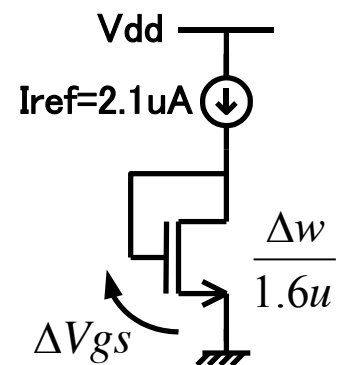
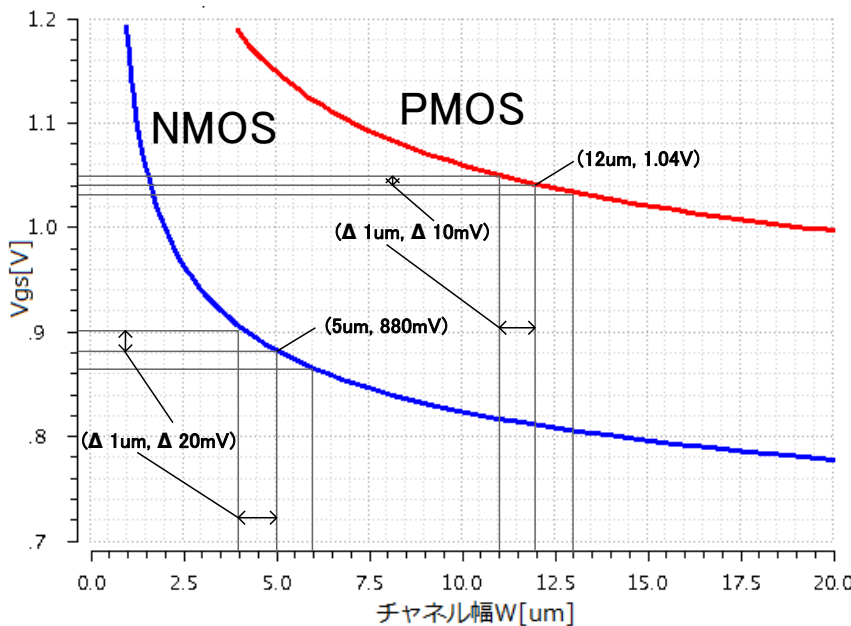


最終的に基準電流 $I_{ref} = 2.1[\mu A]$ と決めた

※設計初期は消費電流 $160 \mu A$ を目指し基準電流 $I_{ref} = 10[\mu A]$ としていた

7

MOSTランジスタのサイズ決定法

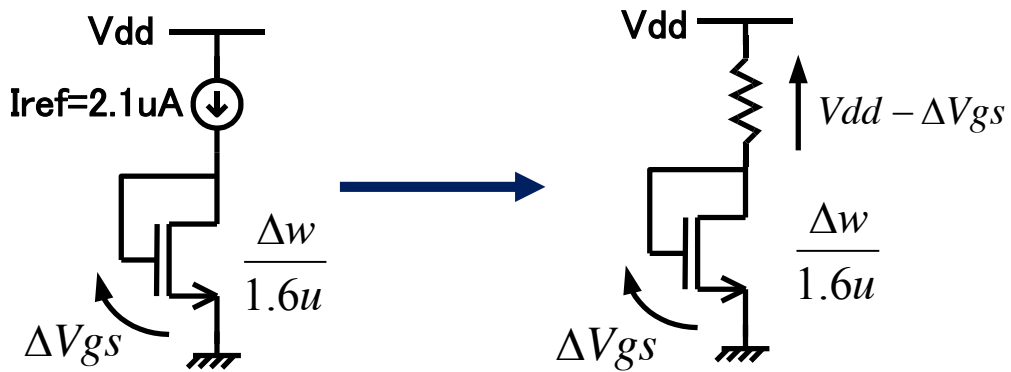


NMOS $W = 5 \mu m$
PMOS $W = 12 \mu m$

ダイオード接続から $V_{gs}-W$ グラフを作り
決めた V_{gs} を基準に W を決定

8

Vgsの変化の影響

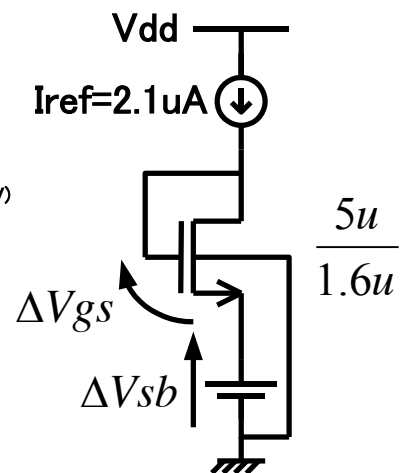
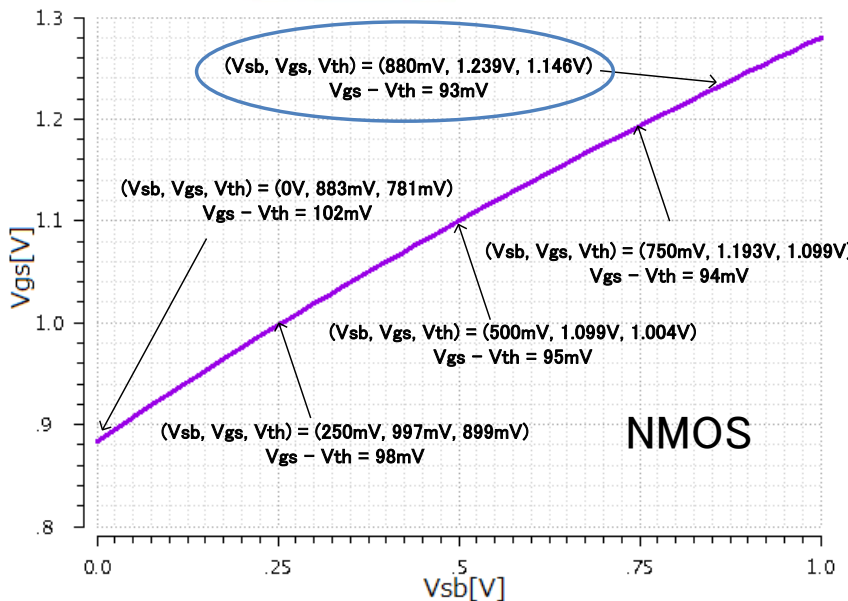


Wの変化に対するVgsの変化が少ない



基準電流源を抵抗にした時
電流の変化が少ない

基板バイアス効果によるVgsの変化



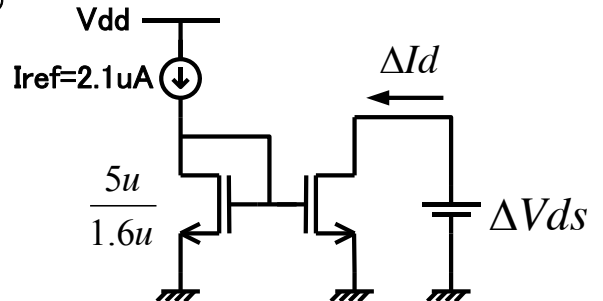
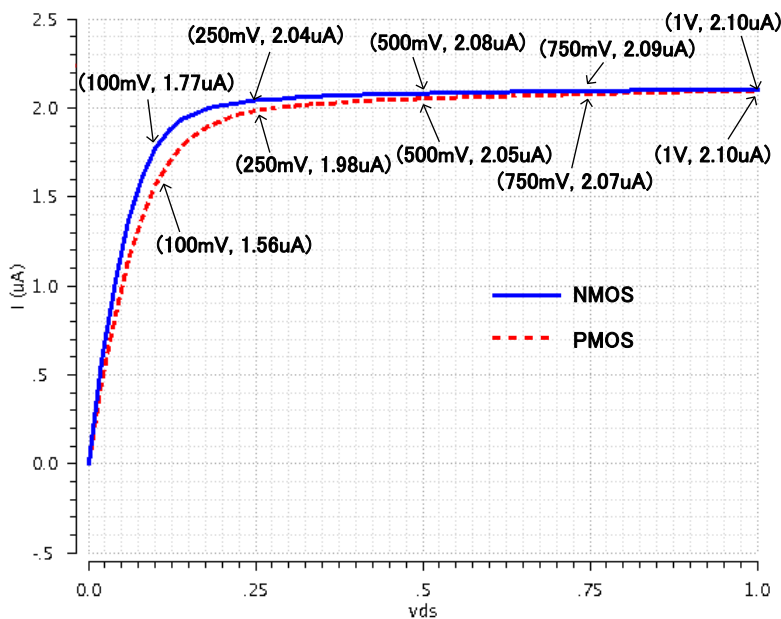
※PMOSの特性は割愛

同サイズのダイオード接続したNMOSを二つ縦積みすると

$$880\text{mV} + 1.24\text{V} = 2.12\text{V}$$

電源電圧は3V(±1.5V)なので縦積み可能

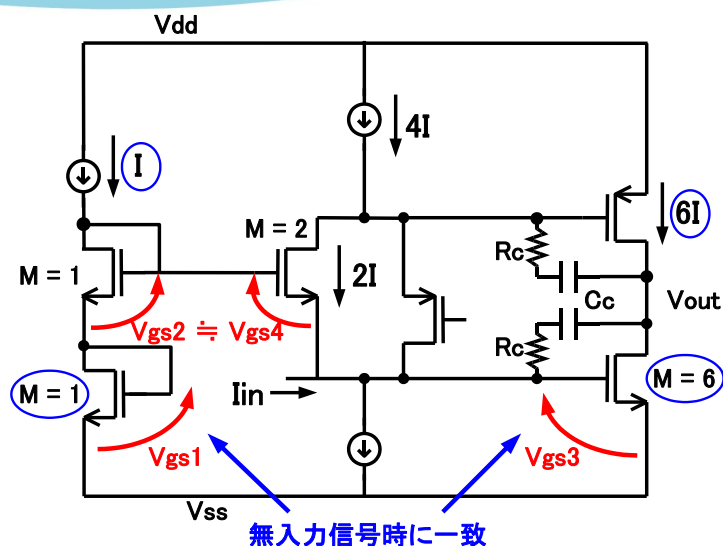
Id-Vds特性



飽和領域動作を実現するために
 $V_{ds} \geq 250m$ とする

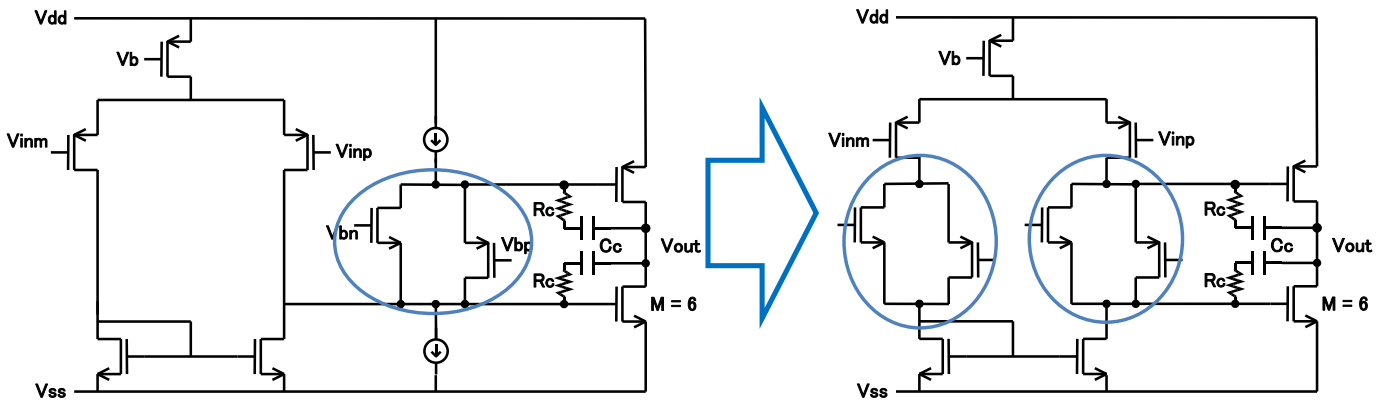
※本資料では I_d - V_{gs} 特性は割愛

AB級出力段バイアス設計



LとWを変更するとMOSの特性が変わるため
 Multiplireの比で無信号時の出力段の電流を決定
 MOSサイズ同じ V_{gs1} と V_{gs3} を一致させる

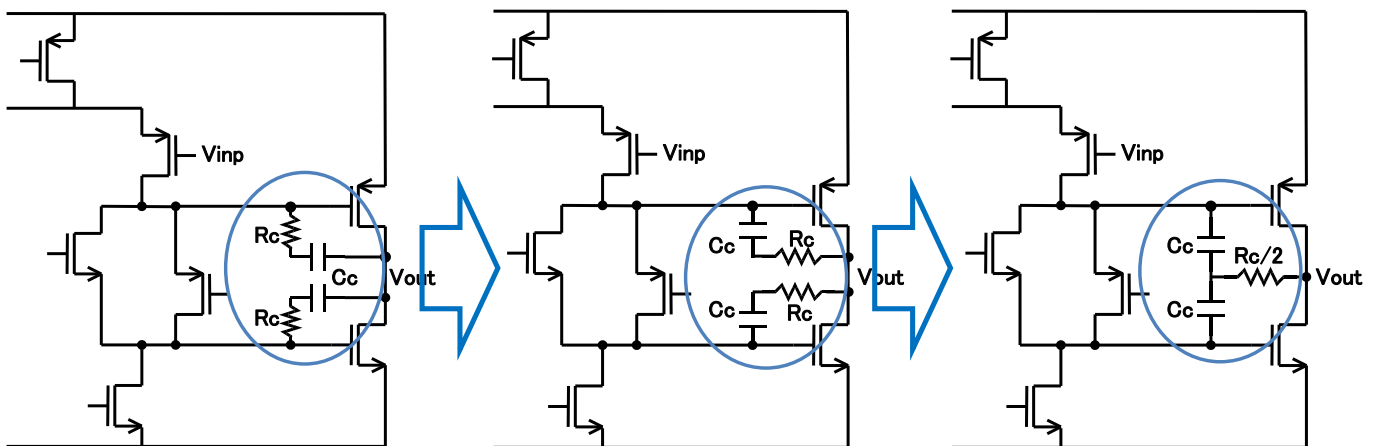
AB級出力段 Floating bias



電流パスを減らすため
バイアス回路を差動段に挿入する

13

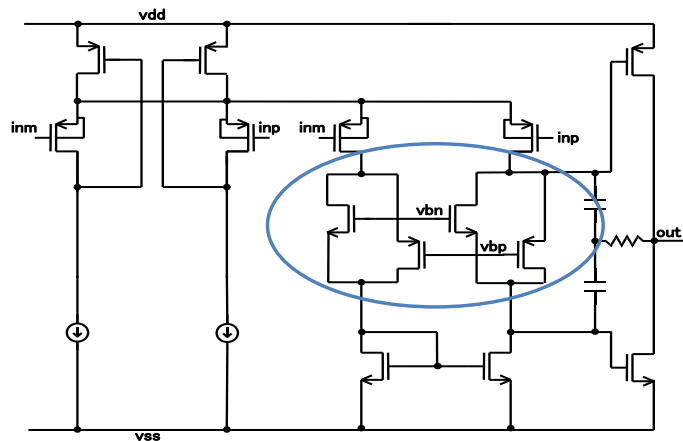
位相補償部分のT字繋ぎ



位相補償用の抵抗 R_c をT字繋ぎする
抵抗値を2分の1にできる
スルーレート上昇

14

AB/AB級OPアンプ

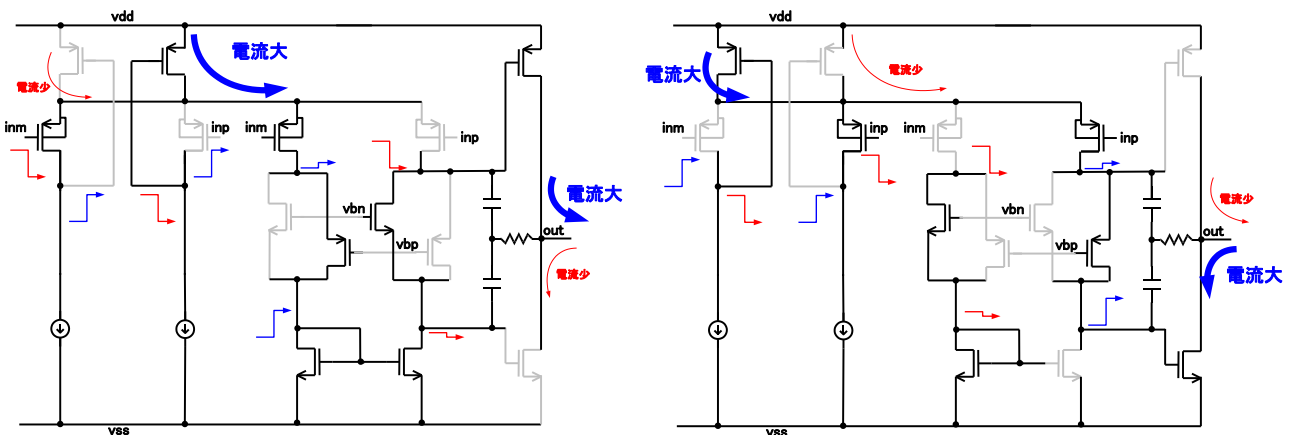


参考文献[1]の回路にFloating Biasを挿入。
AB/AB級アンプの電流パスが減少

[1]S. Thoutam, J. Ramirez-Angulo, A. -Lopez-Martin and R.G. Carvajal, "POWER EFFICIENT FULLY DIFFERENTIAL LOW-VOLTAGE TWO STAGE CLASS AB/AB OP-AMP ARCHITECTURES", ISCAS, 2004,p733-p736

15

AB/AB級OPアンプの動作

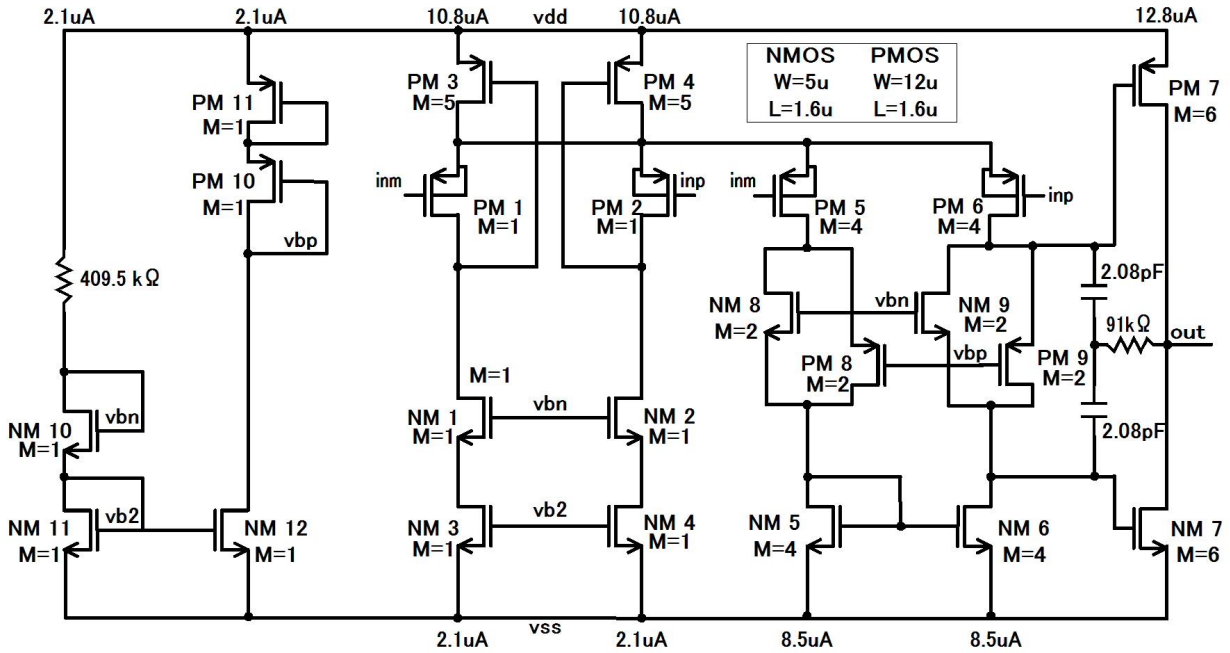


大振幅入力時 テール電流源と出力電流が上昇

AB/AB級動作により
内部・外部スルーレート上昇

16

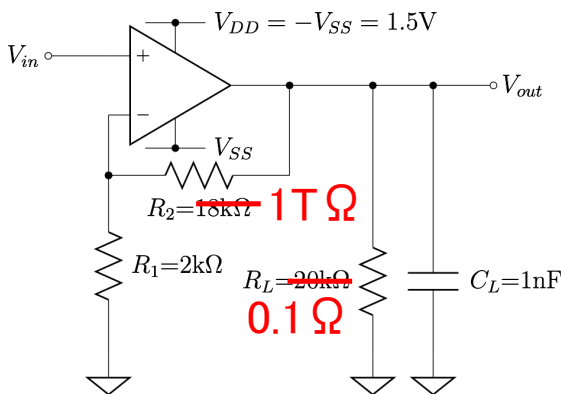
設計したAB/AB級OPアンプ



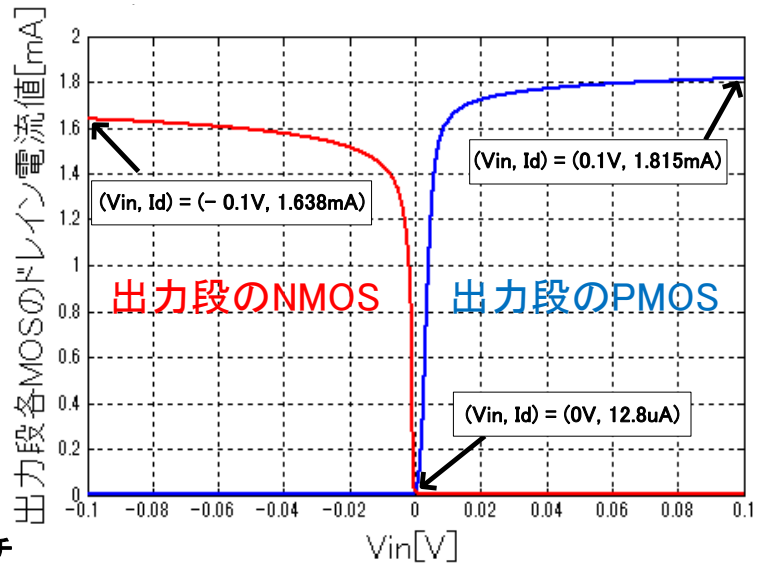
17

設計したAB/AB級OPアンプの駆動力

入力電圧 V_{in} を
 $-0.1V \sim 0.1V$ の範囲で可変



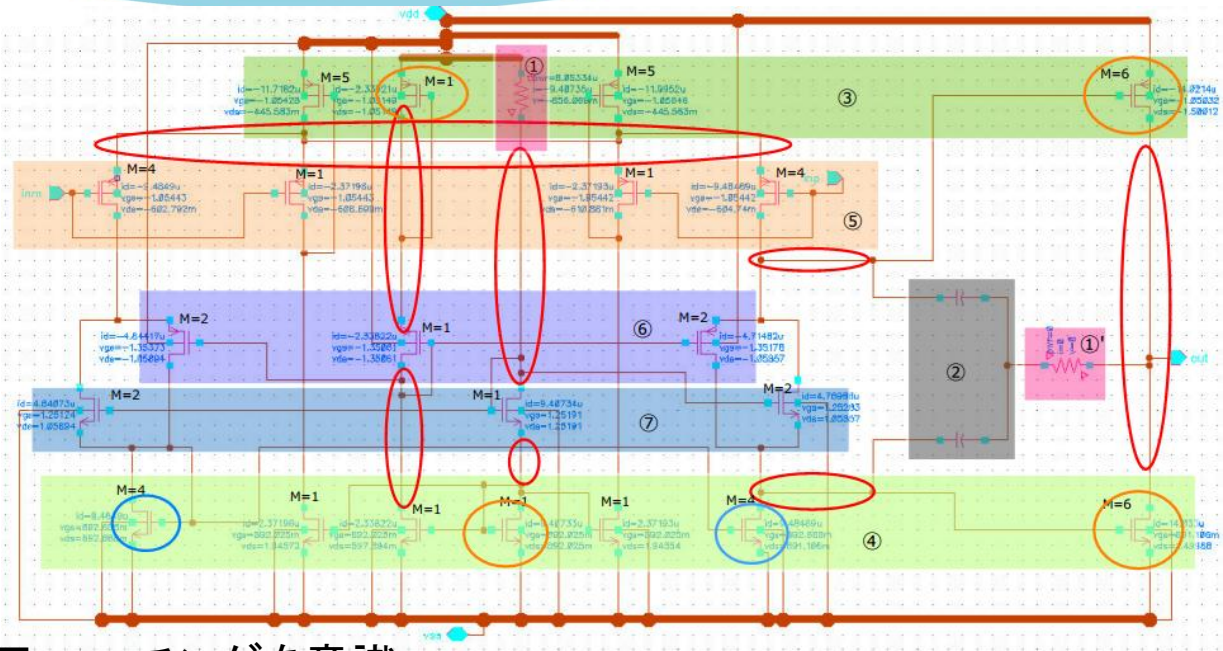
駆動力測定用の擬似的な開ループテストベンチ



駆動力は、負荷 0.1Ω ・開ループのとき
 入力 $-0.1V$ で $1.6mA$ 、入力 $0.1V$ で $1.8mA$
 無信号時は $12.8\mu A$ 程度

18

自分へのレイアウト指示



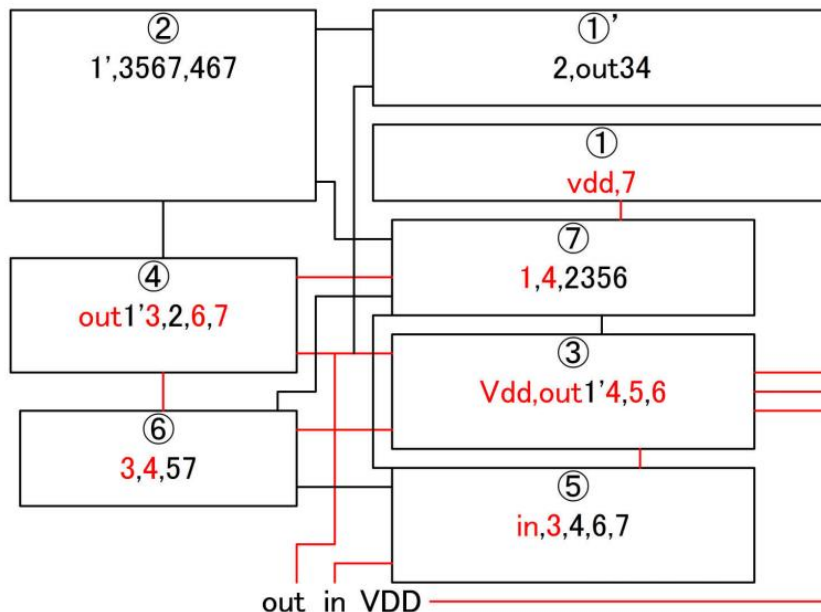
□: マッチングを意識

□内の番号: ブロック番号(後述)

赤○: 配線を短く その他の○: 個別のマッチングを意識

19

配置図



前述のブロック番号ごとに配置を決定

あとはMOSTランジスタを並べて配線するだけ

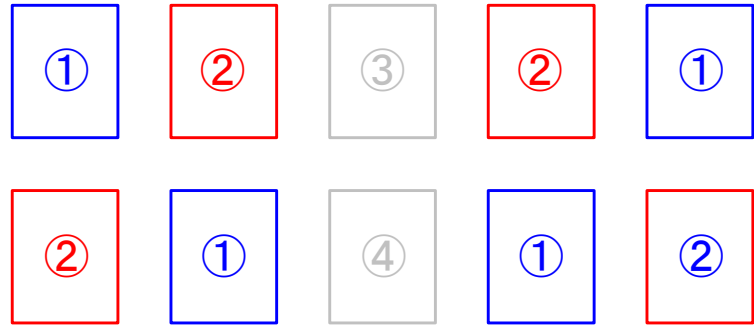
20

ミスマッチ対策

コモンセントロイド

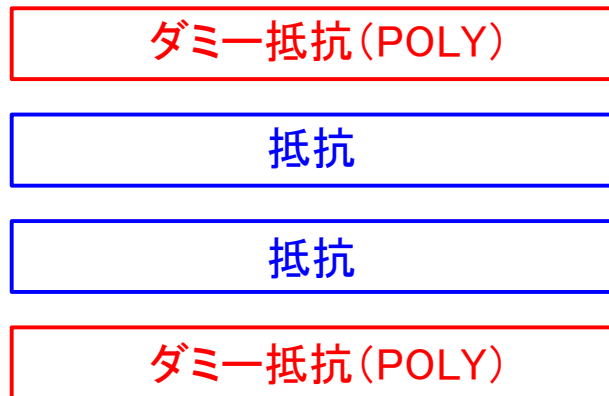
①②は入力対

③④はテール電流源駆動用

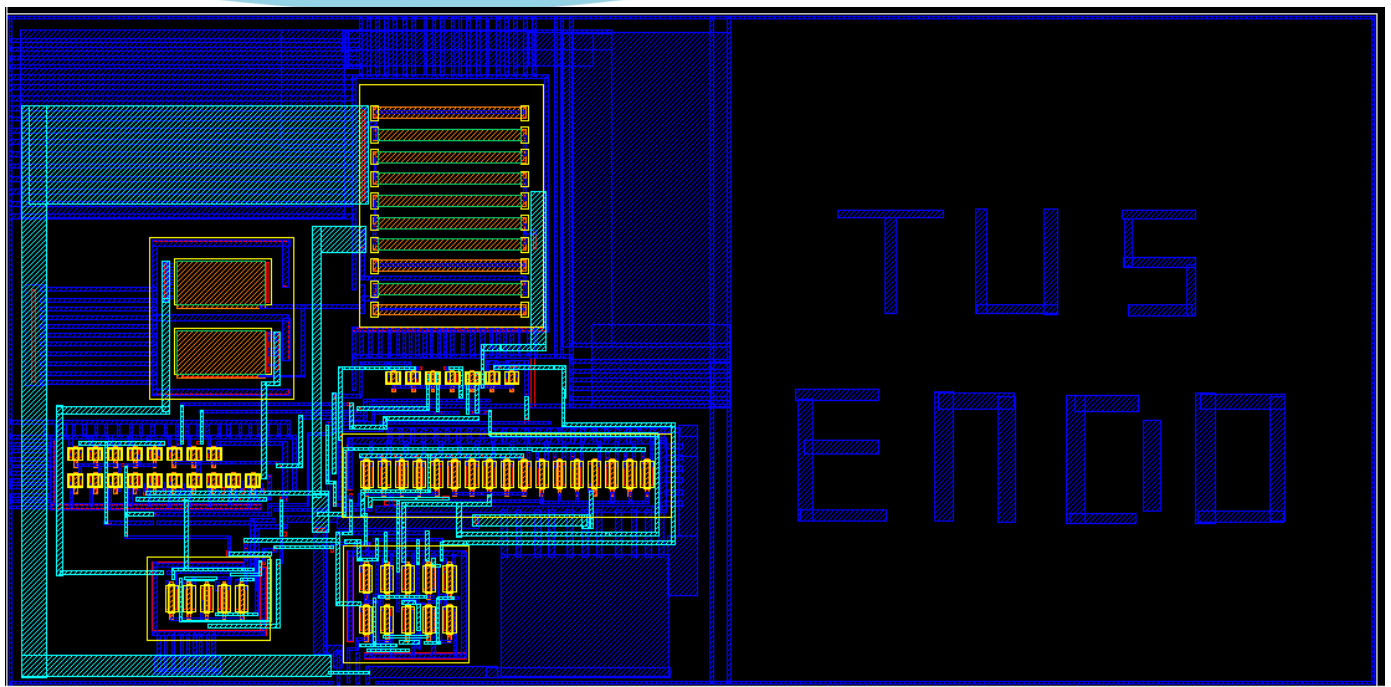


抵抗は

ダミー抵抗で挟む



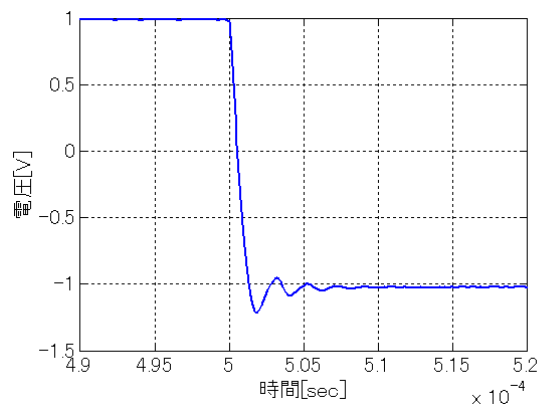
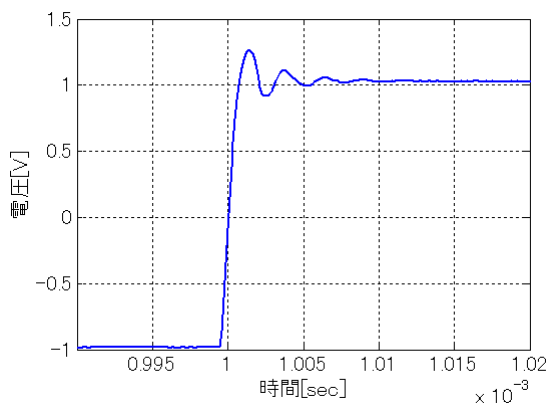
全体のレイアウト



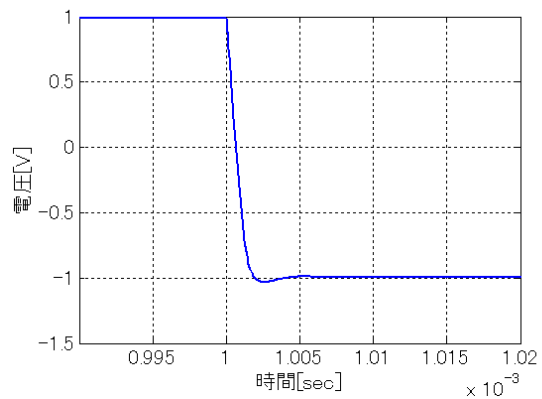
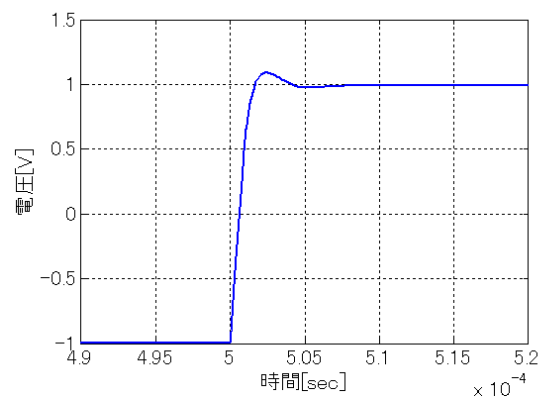
データの取り違いを防ぐため名前を書いた

測定 スルーレート

測定波形



シミュレーション波形



23

測定

測定項目	単位	シミュレーション	チップ1	チップ2	チップ3	チップ4	チップ5	チップ6
直流利得	倍	9.88	9.84	9.87	9.84	9.81	9.78	9.72
-3dB帯域幅	kHz	177.8	507	512	497	499	477	501
最大入力電圧	mV	143	142	143	142	142	146	143
立ち上がりSR	V/μs	1.34	1.63	1.64	1.62	1.59	1.43	1.73
立ち下がりSR	V/μs	1.24	1.58	1.5	1.57	1.51	1.53	1.41
消費電流VDD側	uA	38.4	41.2	39.4	41.2	44.1	35.5	37.8
消費電流VSS側	uA	38.4	41	41.9	38.4	39.6	42.2	40.7
消費電力	uW	115.2	123.3	121.95	119.4	125.55	116.55	117.75

24

考察

測定値がシミュレーションと比較して

- 1、リングングが激しい
- 2、-3dB帯域幅が約2.8倍
- 3、VDD側とVSS側の消費電流がバラつく
- 4、スルーレートが高くなる
- 5、利得が若干下がる傾向にある
- 6、最大入力電圧はほぼ一致

25

考察

・AB級出力段のバイアスのミスマッチにより
AB級出力段の V_{gs} がバラついた？

- 1、リングングが激しい
- 2、-3dB帯域幅が約2.8倍
→ゼロ点補償抵抗と g_m のミスマッチ？
- 3、VDD側とVSS側の消費電流がバラつく
- 4、スルーレートが高くなる
→AB出力段の V_{gs} がバラつき、電流が増えた？
- 5、利得が若干下がる傾向にある
→出力段の電流増加による出力抵抗の若干の低下？

26

感想

- ・初期は消費電流 $100\ \mu\text{A}$ を目指していたが、研究室内の競争が激化し、 $100\ \mu\text{A}$ では上位入賞が危ういほどインフレ！
- ・最終的に消費電流 $38.4\ \mu\text{A}$ まで下げることができた。
- ・基本的なAB級でもかなり消費電流は下げられることがわかった。
- ・実際に試作することで、アナログ電子回路設計に関する多くの学びを得られた。

27

演算増幅器設計コンテストを通じて
多くの貴重な経験をすることができました。

演算増幅器設計コンテスト運営の皆様
協賛企業の皆様
参加者の皆様
真にありがとうございました。

28